

ĐỖ XUÂN THỤ (*chủ biên*) - ĐẶNG VĂN CHUYẾT - NGUYỄN VIỆT NGUYÊN
NGUYỄN VỮ SƠN - NGUYỄN ĐỨC THUẬN - NGÔ LỆ THỦY - NGỌ VĂN TOÀN

TRƯỜNG TRUNG HỌC CƠ ĐIỆN VÀ
KỸ THUẬT NÔNG NGHIỆP NAM BỘ
THƯ VIỆN

KỸ THUẬT ĐIỆN TỬ

(Đã được hội đồng môn học của Bộ Giáo dục và Đào tạo thông qua
dùng làm tài liệu giảng dạy trong các trường đại học kỹ thuật)

(Tái bản lần thứ mười lăm)

NHÀ XUẤT BẢN GIÁO DỤC

Bản quyền thuộc HEVOBCO – Nhà xuất bản Giáo dục

04 – 2008/CXB/101– 1999/GD

Mã số : 7B231y8 – DAI

LỜI NÓI ĐẦU

Giáo trình "KỸ THUẬT ĐIỆN TỬ" do tập thể cán bộ khoa "Kỹ thuật Điện tử - Tin học" trường đại học Bách khoa Hà Nội biên soạn để làm tài liệu giảng dạy và học tập cho sinh viên các trường đại học kỹ thuật, bổ túc cho kỹ sư đã tốt nghiệp cũng như để tham khảo cho cán bộ các ngành có liên quan. Nội dung giáo trình đề cập một cách hệ thống những kiến thức cơ bản và hiện đại của ngành Kỹ thuật Điện tử. Những kiến thức này là cần thiết cho các kỹ sư và cán bộ kỹ thuật hoạt động trong điều kiện kỹ thuật tự động hóa và tin học ngày càng phổ cập.

Giáo trình này được chia làm 5 chương.

Chương 1 : Giới thiệu những khái niệm cơ bản về các thông số của mạch điện, về tín tức, tín hiệu điện, các tính chất tổng quát của chúng và nét tổng quát của vài hệ thống điện tử điển hình. Chương này do T.S. Nguyễn Viết Nguyên biên soạn.

Chương 2 : Đề cập đến kỹ thuật xử lý các tín hiệu tương tự, các cấu kiện dụng cụ điện tử có hiệu ứng chỉnh lưu và khuếch đại, các mạch điện cơ bản sử dụng chúng với mục đích gia công, xử lý tín hiệu theo phương pháp tương tự. Chương này do T.S. Đỗ Xuân Thu, kỹ sư giảng viên Ngô Văn Toàn, T.S. Nguyễn Đức Thuận và T.S. Nguyễn Viết Nguyên biên soạn.

Chương 3 : Đề cập đến các vấn đề của kỹ thuật xung - số.

Các cấu kiện, phần tử sử dụng trong các mạch xung - số. Các mạch và khối chức năng gia công tín hiệu theo phương pháp rời rạc. Chương này do T.S. Nguyễn Viết Nguyên biên soạn.

Chương 4 : Đề cập đến kỹ thuật biến đổi điện áp và dòng điện. Các mạch chỉnh lưu và nghịch lưu công suất lớn. Các khối chức năng và các mạch cơ bản của hệ thống điều khiển các bộ biến đổi điện năng. Chương này do kỹ sư, giảng viên Ngô Lệ Thủy biên soạn.

Chương 5 : Đề cập đến các vấn đề của hệ thống vi xử lý công nghiệp ; Sơ lược về các khối chức năng và nguyên lý xây dựng hệ vi xử lý ; Ví dụ ứng dụng. Chương này do T.S. Nguyễn Vũ Sơn và T.S. Đặng Văn Chuyết biên soạn.

c) Điện áp giữa hai điểm A và B khác nhau của mạch nếu đo theo mọi nhánh bất kì có điện trở khác không (xem khái niệm nhánh ở 1.1.4) nối giữa A và B là giống nhau và bằng U_{AB} . Nghĩa là điện áp giữa 2 đầu của nhiều phần tử hay nhiều nhánh nối song song với nhau luôn bằng nhau. (Quy tắc vòng đối với điện áp).

1.1.2. Tính chất điện của một phần tử⁽¹⁾

1. Định nghĩa : Tính chất điện của một phần tử bất kì trong một mạch điện được thể hiện qua mối quan hệ tương hỗ giữa điện áp U trên hai đầu của nó và dòng điện I chạy qua nó và được định nghĩa là điện trở (hay điện trở phức - trở kháng) của phần tử. Nghĩa là khái niệm điện trở gắn liền với quá trình biến đổi điện áp thành dòng điện hoặc ngược lại từ dòng điện thành điện áp.

a) Nếu mối quan hệ này là tỉ lệ thuận, ta có định luật ôm :

$$U = R.I \quad (1-1)$$

Ở đây, R là một hằng số tỉ lệ được gọi là điện trở của phần tử và phần tử tương ứng được gọi là một điện trở thuần.

b) Nếu điện áp trên phần tử tỉ lệ với tốc độ biến đổi theo thời gian của dòng điện trên nó, tức là :

$$U = L \frac{dI}{dt} \quad (\text{ở đây } L \text{ là một hằng số tỉ lệ}) \quad (1-2)$$

ta có phần tử là một cuộn dây có giá trị điện cảm là L .

c) Nếu dòng điện trên phần tử tỉ lệ với tốc độ biến đổi theo thời gian của điện áp trên nó, tức là :

$$I = C \frac{dU}{dt} \quad (\text{ở đây } C \text{ là một hằng số tỉ lệ}) \quad (1-3)$$

ta có phần tử là một tụ điện có giá trị điện dung là C .

d) Ngoài các quan hệ đã nêu trên, trong thực tế còn tồn tại nhiều quan hệ tương hỗ đa dạng và phức tạp giữa điện áp và dòng điện trên một phần tử. Các phần tử này gọi chung là các phần tử không tuyến tính và có nhiều tính chất đặc biệt. Điện trở của chúng được gọi chung là các điện trở phi tuyến, điển hình nhất là diốt, tranzito, thiristo... và sẽ được đề cập tới ở các phần tiếp sau.

2. Các tính chất quan trọng của phần tử tuyến tính là :

a) Đặc tuyến Vôn - Ampe (thể hiện quan hệ $U(I)$) là một đường thẳng ; điện trở là một đại lượng có giá trị không thay đổi ở mọi điểm.

b) Tuân theo nguyên lí chồng chất. Tác động tổng cộng bằng tổng các tác động riêng lẻ lên nó.

Đáp ứng tổng cộng (kết quả chung) bằng tổng các kết quả thành phần do tác động thành phần gây ra.

c) Không phát sinh thành phần tần số lạ khi làm việc với tín hiệu xoay chiều (không gây méo phi tuyến).

(1) Ghi chú : khái niệm phần tử ở đây là tổng quát, đại diện cho một yếu tố cấu thành mạch điện hay một tập hợp nhiều yếu tố tạo nên một bộ phận của mạch điện.

Đổi lập lại, với phần tử phi tuyến, ta có các tính chất sau :

a) Đặc tuyến VA là một đường cong (điện trở thay đổi theo điểm làm việc).

b) Không áp dụng được nguyên lí chồng chất.

c) Luôn phát sinh tần số lạ (đầu vào không có) khi có tín hiệu xoay chiều tác động.

3. Ứng dụng - Các phần tử tuyến tính (R, L, C), có một số ứng dụng quan trọng sau :

a) Điện trở luôn là thông số đặc trưng cho hiện tượng tiêu hao năng lượng (chủ yếu dưới dạng nhiệt) và là một thông số không quán tính. Mức tiêu hao năng lượng của điện trở được đánh giá bằng công suất trên nó, xác định bởi:

$$P = U.I = I^2R = U^2/R \quad (1-4)$$

• Trong khi đó, cuộn dây và tụ điện là các phần tử về cơ bản không tiêu hao năng lượng (xét lí tưởng) và có quán tính. Chúng đặc trưng cho hiện tượng tích lũy năng lượng từ trường hay điện trường của mạch khi có dòng điện hay điện áp biến thiên qua chúng. Ở đây tốc độ biến đổi của các thông số trạng thái (điện áp, dòng điện) có vai trò quyết định giá trị trở kháng của chúng, nghĩa là chúng có điện trở phụ thuộc vào tần số (vào tốc độ biến đổi của điện áp hay dòng điện tính trong một đơn vị thời gian). Với tụ điện, từ hệ thức (1-3), dung kháng của nó giảm khi tăng tần số và ngược lại với cuộn dây, từ (1-2) cảm kháng của nó tăng theo tần số.

b) Giá trị điện trở tổng cộng của nhiều điện trở nối tiếp nhau luôn lớn hơn của từng cái và có tính chất cộng tuyến tính. Điện dẫn (giá trị nghịch đảo của điện trở) của nhiều điện trở nối song song nhau luôn lớn hơn điện dẫn riêng rẽ của từng cái và cũng có tính chất cộng tuyến tính.

Hệ quả là :

*) Có thể thực hiện việc chia nhỏ một điện áp (hay dòng điện) hay còn gọi là thực hiện việc dịch mức điện thế (hay mức dòng điện) giữa các điểm khác nhau của mạch bằng cách nối nối tiếp (hay song song) các điện trở.

*) Trong cách nối nối tiếp, điện trở nào lớn hơn sẽ quyết định giá trị chung của dây. Ngược lại, trong cách nối song song, điện trở nào nhỏ hơn sẽ quyết định.

Việc nối nối tiếp (hay song song) các cuộn dây sẽ dẫn tới kết quả tương tự như đối với các điện trở : sẽ làm tăng (hay giảm) trị số điện cảm chung. Đối với tụ điện, khi nối song song chúng, điện dung tổng cộng tăng :

$$C_{ss} = C_1 + C_2 + \dots + C_n \quad (1-5)$$

còn khi nối nối tiếp, điện dung tổng cộng giảm :

$$1/C_{nt} = 1/C_1 + 1/C_2 + \dots + 1/C_n \quad (1-6)$$

c) Nếu nối nối tiếp hay song song R với L hoặc C sẽ nhận được một kết cấu mạch có tính chất chọn lọc tần số (trở kháng chung phụ thuộc vào tần số gọi là các mạch lọc tần số).

Nếu nối nối tiếp hay song song L với C sẽ dẫn tới một kết cấu mạch vừa có tính chất chọn lọc tần số, vừa có khả năng thực hiện quá trình trao đổi qua lại giữa hai dạng năng lượng điện - từ trường, tức là kết cấu có khả năng phát sinh dao động điện áp hay dòng điện nếu ban đầu được một nguồn năng lượng ngoài kích thích, (vấn đề này sẽ gặp ở mục 2.4).

triển và tiến bộ nhanh chóng của kĩ thuật điện tử, nhu cầu này ngày càng được thỏa mãn sâu sắc trong điều kiện của một sự bùng nổ thông tin của xã hội hiện đại.

Tính chất quan trọng nhất của tin tức là nó mang ý nghĩa *xác suất thống kê*, thể hiện ở các mặt sau :

a) Nội dung chứa trong một sự kiện càng có ý nghĩa lớn (ta nói sự kiện có lượng tin tức cao) khi nó xảy ra càng *bất ngờ*, càng ít được chờ đợi. Nghĩa là lượng tin có độ lớn tỉ lệ với độ bất ngờ hay *tỉ lệ ngược với xác suất* xuất hiện của sự kiện và có thể dùng xác suất là mức đo lượng tin tức.

b) Mặc dù đã nhận được "nội dung" của một sự kiện nào đó, trong hầu hết mọi trường hợp, người ta chỉ khẳng định được tính chắc chắn, xác thực của nó với một độ tin cậy nào đó. Mức độ chắc chắn càng cao khi cùng một nội dung được lặp lại (về cơ bản) nhiều lần, nghĩa là tin tức còn có tính chất *trung bình thống kê* phụ thuộc vào mức độ hỗn loạn của nguồn tin, của môi trường (kênh) truyền tin và cả vào nơi nhận tin, vào tất cả khả năng gây sai nhảm có thể của một hệ thống thông tin. Người ta có thể dùng Entropy để đánh giá lượng tin thông qua các giá trị entropy riêng rẽ của nguồn tin, kênh truyền tin và nơi nhận tin.

c) Tin tức không tự nhiên sinh ra hoặc mất đi mà chỉ là một biểu hiện của các quá trình chuyển hóa năng lượng hay quá trình trao đổi năng lượng giữa hai dạng vật chất và trường. Phần lớn các quá trình này là mang tính ngẫu nhiên tuân theo các quy luật phân bố của lí thuyết xác suất thống kê. Tuy nhiên có thể thấy rằng nếu một hệ thống có năng lượng ổn định, mức độ trật tự cao thì càng khó thu thập được tin tức từ nó và ngược lại.

Cơ sở toán học để đánh giá định lượng các nhận xét trên được trình bày trong các giáo trình chuyên ngành về lí thuyết thông tin [10;11].

1.2.2. *Tín hiệu* là khái niệm để mô tả các *biểu hiện vật lý* của tin tức. Các biểu hiện này đa dạng và thường được phân chia thành hai nhóm : có bản chất điện từ và không có bản chất điện từ. Tuy nhiên, dạng cuối cùng thường gặp trong các hệ thống điện tử, thể hiện qua thông số trạng thái điện áp hay dòng điện, là có bản chất điện từ.

• Có thể coi tín hiệu nói chung (dù dưới dạng nào) là một lượng vật lý biến thiên theo thời gian và biểu diễn nó dưới dạng một hàm số hay đồ thị theo thời gian là thích hợp hơn cả.

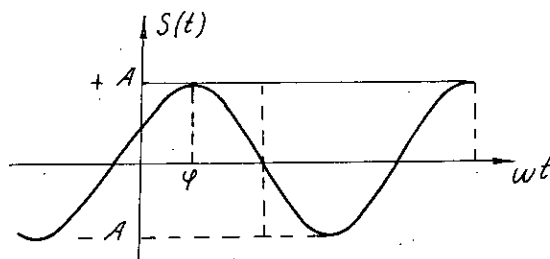
• Nếu biểu thức theo thời gian của một tín hiệu là $s(t)$ thỏa mãn điều kiện :

$$s(t) = s(t + T) \quad (1 - 10)$$

Với mọi t và ở đây T là một hằng số thì $s(t)$ được gọi là một tín hiệu tuần hoàn theo thời gian. Giá trị nhỏ nhất trong tập $\{T\}$ thỏa mãn (1-10) gọi là chu kỳ của $s(t)$. Nếu không tồn tại một giá trị hữu hạn của T thỏa mãn (1-10) thì ta có $s(t)$ là một tín hiệu không tuần hoàn.

Dao động hình sin (h.1.2) là dạng đặc trưng nhất của các tín hiệu tuần hoàn, có biểu thức dạng

$$s(t) = A \cos(\omega t - \varphi) \quad (1-11)$$

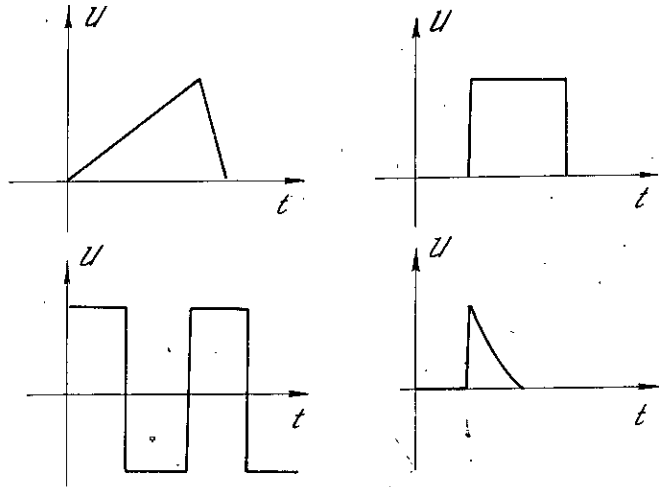


Hình 1.2 : Tín hiệu hình sin với các tham số đặc trưng A, T, ω, φ .

trong (1-11) A , ω , φ là các hằng số và lần lượt được gọi là biên độ, tần số góc và góc pha ban đầu của $s(t)$, có các mối liên hệ giữa ω , T và f như sau :

$$\omega = \frac{2\pi}{T} ; f = \frac{1}{T} \quad (1-12)$$

• Cũng có thể chia tín hiệu theo cách khác thành hai dạng cơ bản là biến thiên liên tục theo thời gian (tín hiệu tương tự - analog) hay biến thiên không liên tục theo thời gian (tín hiệu xung số - digital). Theo đó sẽ có hai dạng mạch điện tử cơ bản làm việc (gia công, xử lí) với từng loại trên.



Hình 1.3 : Các dạng xung thường gặp.

Các dạng tín hiệu vừa nêu trên, nếu có biểu thức $s(t)$ hay đồ thị biểu diễn xác định, được gọi là loại tín hiệu xác định rõ ràng. Ngoài ra, còn một lớp các tín hiệu mang tính ngẫu nhiên và chỉ xác định được chúng qua các phép lấy mẫu nhiều lần và nhờ các quy luật của phân bố xác suất thống kê, được gọi là các tín hiệu ngẫu nhiên.

1.2.3. Các tính chất của tín hiệu theo cách biểu diễn thời gian

a) Độ dài và trị trung bình của một tín hiệu

Độ dài của tín hiệu là khoảng thời gian tồn tại của nó (từ lúc bắt đầu xuất hiện đến lúc mất đi). Độ dài mang ý nghĩa là khoảng thời gian mắc bận với tín hiệu của một mạch hay hệ thống điện tử. Nếu tín hiệu $s(t)$ xuất hiện lúc t_0 có độ dài là τ thì giá trị trung bình của $s(t)$, ký hiệu là $\overline{s(t)}$, được xác định bởi :

$$\overline{s(t)} = \frac{1}{\tau} \int_{t_0}^{t_0 + \tau} s(t) dt \quad (1-13)$$

b) Năng lượng, công suất và trị hiệu dụng :

Năng lượng E_s của tín hiệu $s(t)$ được xác định bởi :

$$E_s = \int_{t_0}^{t_0 + \tau} s^2(t) dt = \int_{-\infty}^{+\infty} s^2(t) dt \quad (1-14)$$

Công suất trung bình của $s(t)$ trong thời gian tồn tại của nó được định nghĩa bởi :

$$\overline{s^2(t)} = \frac{1}{\tau} \int_{t_0}^{t_0 + \tau} s^2(t) dt = \frac{E_s}{\tau} \quad (1-15)$$

Giá trị hiệu dụng của $s(t)$ được định nghĩa là :

$$s_{hd} = \sqrt{\frac{1}{\tau} \int_{t_0}^{t_0 + \tau} s^2(t) dt} = \sqrt{\overline{s^2(t)}} = \sqrt{\frac{E_s}{\tau}} \quad (1-16)$$

Nếu $\vec{s}(t) = a + jb$ thì $A = \sqrt{a^2 + b^2}$
 và $\varphi = \text{arctg} \frac{b}{a}$ (1-30)

trong đó $a \equiv \text{Re} \vec{s}(t)$; $b = \text{Im} \vec{s}(t)$

Theo quy tắc nhân chia các số phức ta có các hệ thức sau :

$$\vec{s}_1(t) \vec{s}_2(t) = A_1 A_2 \exp j(\varphi_1 + \varphi_2)$$

$$\frac{\vec{s}_1(t)}{\vec{s}_2(t)} = \frac{A_1}{A_2} \exp j(\varphi_1 - \varphi_2) \quad (A_2 \neq 0)$$

trong đó A_1, A_2 lần lượt là môđun và argumen của $\vec{s}_1(t)$ và φ_1, φ_2 được xác định theo (1-30).

1.3. CÁC HỆ THỐNG ĐIỆN TỬ ĐIỂN HÌNH

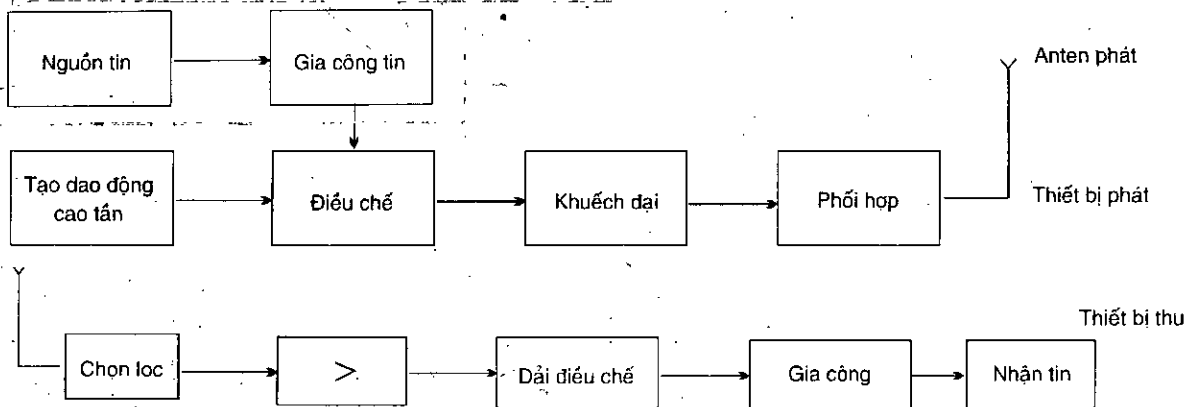
Hệ thống điện tử là một tập hợp các thiết bị điện tử nhằm thực hiện một nhiệm vụ kỹ thuật nhất định như gia công xử lý tin tức, truyền thông tin dữ liệu, đo lường thông số điều khiển tự chỉnh...

Về cấu trúc một hệ thống điện tử có hai dạng cơ bản : dạng hệ kín ở đó thông tin được gia công xử lý theo cả hai chiều nhằm đạt tới một điều kiện tối ưu định trước hay hệ hở ở đó thông tin được truyền chỉ theo một hướng từ nguồn tin tới nơi nhận tin.

1.3.1. Hệ thống thông tin thu - phát

Có nhiệm vụ truyền một tin tức dữ liệu theo không gian (trên một khoảng cách nhất định) từ nguồn tin tới nơi nhận tin.

1. Cấu trúc sơ đồ khối :



Hình 1.5. - Sơ đồ khối hệ thống thông tin dẫn dụng.

2. Các đặc điểm chủ yếu :

- a) Là dạng hệ thống hở.
- b) Bao gồm 2 quá trình cơ bản.

Quá trình gán tin tức cần gửi đi vào một tải tin tần số cao bằng cách bắt dao động tải tin có một thông số biến thiên theo quy luật của tin tức gọi là quá trình điều chế tại thiết bị phát.

Quá trình tách tin tức khỏi tải tin để lấy lại nội dung tin tức tần số thấp tại thiết bị thu gọi là quá trình *dài điều chế*.

c) Chất lượng và hiệu quả cũng như các đặc điểm của hệ đo 3 yếu tố quy định : đặc điểm của thiết bị phát, đặc điểm của thiết bị thu và môi trường thực hiện quá trình truyền tin (địa hình, thời tiết, nhiễu...).

Ba yếu tố này được đảm bảo nâng cao chất lượng một cách riêng rẽ để đạt hiệu quả thông tin cao, trong đó tại nguồn tin là các điều kiện chủ động, hai yếu tố còn lại là yếu tố bị động.

d) Các chỉ tiêu quan trọng nhất của hệ :

Dạng điều chế (AM, FM, analog, digital), Công suất bức xạ của thiết bị phát, khoảng cách và điều kiện môi trường truyền, độ nhảy và độ chọn lọc của thiết bị thu.

1.3.2. Hệ đo lường điện tử

Hệ loại này có nhiệm vụ thu thập tin tức dữ liệu về một đối tượng hay quá trình nào đó để đánh giá thông số hoặc trạng thái của chúng.

1. Cấu trúc khối :



Hình 1.6: Sơ đồ khối hệ thống đo lường.

2. Các đặc điểm cơ bản :

a) Là hệ cấu trúc dạng hở

b) Có hai phương pháp cơ bản thực hiện quá trình đo : phương pháp tiếp xúc (thiết bị đầu vào tiếp xúc trực tiếp với đối tượng đo là nguồn tin) và phương pháp không tiếp xúc.

Bộ biến đổi đầu vào là quan trọng nhất, có nhiệm vụ biến đổi thông số đại lượng cần đo (thường ở dạng một đại lượng vật lý) về dạng tín hiệu điện tử có tham số tỷ lệ với đại lượng cần đo. (Ví dụ : áp suất biến đổi thành điện áp, nhiệt độ hoặc độ ẩm hay vận tốc biến đổi ; thành điện áp hoặc dòng điện...).

c) Sự can thiệp của bất kỳ thiết bị đo nào vào đối tượng đo dẫn tới hệ quả là đối tượng đo không còn đứng độc lập và do đó xảy ra quá trình mất thông tin tự nhiên dẫn đến sai số đo.

d) Mọi cố gắng nhằm nâng cao độ chính xác của phép đo đều làm tăng tính phức tạp ; tăng chi phí kỹ thuật và làm xuất hiện các nguyên nhân gây sai số mới và đôi khi làm giảm độ tin cậy của phép đo.

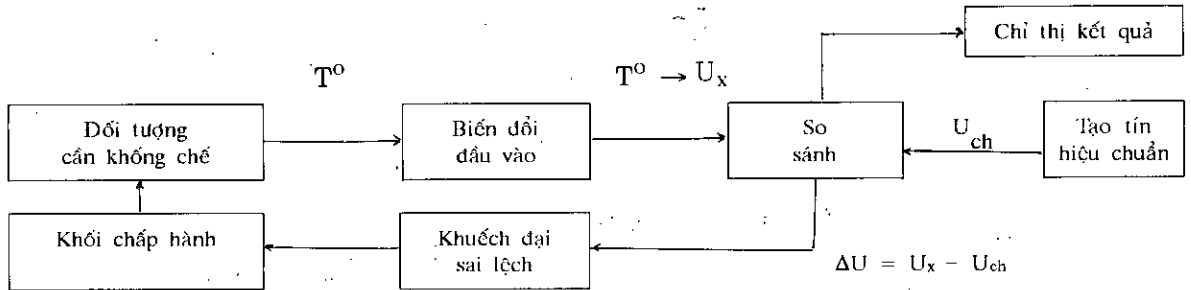
e) Về nguyên tắc có thể thực hiện gia công tín tức đo liên tục theo thời gian (phương pháp analog) hay gia công rời rạc theo thời gian (phương pháp digital). Yếu tố này quy định các đặc điểm kỹ thuật và cấu trúc : cụ thể là ở phương pháp analog : đại lượng đo được theo dõi liên tục theo thời gian còn ở phương pháp digital đại lượng đo được lấy mẫu giá trị ở những thời điểm xác định và so với các mức cường độ chuẩn xác định. Phương pháp digital cho phép tiết kiệm năng lượng, nâng cao độ chính xác và khả năng phối ghép với các thiết bị xử lý tin tự động.

f) Có khả năng đo nhiều thông số (nhiều kênh) hay đo xa nhờ kết hợp thiết bị đo với một hệ thống thông tin truyền dữ liệu, đo tự động nhờ một chương trình vạch sẵn (đo điều khiển bằng μp)...

1.3.3. Hệ tự điều chỉnh

Hệ có nhiệm vụ theo dõi khống chế một hoặc vài thông số của một quá trình sao cho thông số này phải có giá trị nằm trong một giới hạn đã định trước (hoặc ngoài giới hạn này) tức là có nhiệm vụ ổn định thông số (tự động) ở một trị số hay một dải trị số cho trước.

1. Sơ đồ cấu trúc :



Hình 1.7 : Sơ đồ khối tổng quát hệ tự động điều chỉnh nhiệt độ.

2. Các đặc điểm chủ yếu :

- a) Là hệ dạng cấu trúc kín : thông tin truyền theo hai hướng nhờ các mạch phản hồi.
- b) Thông số cần đo và khống chế được theo dõi liên tục và duy trì ở mức hoặc giới hạn định sẵn.

Ví dụ : T^0 (cần theo dõi khống chế) được biến đổi trước tiên thành U_x sau đó, so sánh U_x và U_{ch} để phát hiện ra dấu và độ lớn của sai lệch (U_{ch} tương ứng với mức chuẩn T_{ch} được định sẵn mà đối tượng cần được khống chế ở đó).

Sau khi được khuếch đại lượng sai lệch $\Delta u = U_x - U_{ch}$ được đưa tới khối chấp hành để điều khiển tăng hoặc giảm T_x theo yêu cầu tùy dấu và độ lớn của Δu . Sẽ có 3 khả năng :

- Khi $\Delta u = 0$, ta có $T_x = T_{ch}$ ($U_x = U_{ch}$) đối tượng đang ở trạng thái mong muốn, nhánh thông tin ngược không hoạt động

- Khi $\Delta u > 0$ ($U_x > U_{ch}$) $T_x > T_{ch}$ hệ điều chỉnh làm giảm T_x

- Khi $\Delta u < 0$ $T_x < T_{ch}$ hệ điều chỉnh làm tăng T_x quá trình điều chỉnh T_x chỉ ngừng khi $\Delta u = 0$.

c) Độ mịn (chính xác) khi điều chỉnh phụ thuộc vào

- Độ chính xác của quá trình biến đổi từ T_{ch} thành U_{ch}
- Độ phân dải của phân tử so sánh (độ nhỏ của Δu)
- Độ chính xác của quá trình biến đổi T_x thành U_x
- Tính chất quán tính của hệ.

d) Có thể điều chỉnh liên tục theo thời gian (analog) hay gián đoạn theo thời gian miễn sao đạt được giá trị trung bình mong đợi.

Phương pháp digital cho phép, tiết kiệm năng lượng của hệ và ghép nối với hệ thống tự động tính toán.

e) Chú ý rằng thông thường nếu chọn một ngưỡng U_{ch} , ta nhận được kết quả là hệ điều khiển có hành động hay không tùy theo U_x đang lớn hơn hay nhỏ hơn U_{ch} (và do đó tham số vật lý cần theo dõi đang lớn hơn hay nhỏ hơn giá trị ngưỡng định sẵn từ trước). Khi chọn được hai mức ngưỡng U_{ch1} và U_{ch2} hệ sẽ hành động mỗi khi U_x nằm lọt vào trong khoảng hai giá trị ngưỡng hoặc ngược lại, điều này mang ý nghĩa thực tế hơn của một hệ tự động điều chỉnh còn tương hợp với một mức ngưỡng hệ mang ý nghĩa dùng để điều khiển trạng thái (hành vi) của đối tượng.

Chương 2

KÍ THUẬT TƯƠNG TỰ

2.1 - CHẤT BÁN DẪN ĐIỆN - PHẦN TỬ MỘT MẶT GHEP P-N

2.1.1. Chất bán dẫn nguyên chất và chất bán dẫn tạp chất

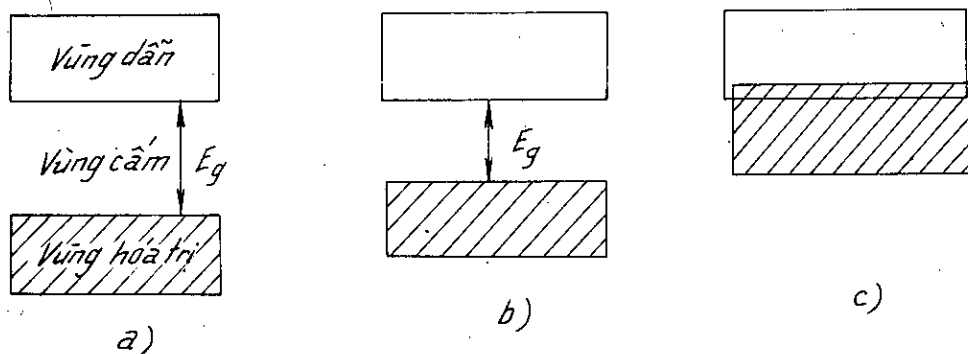
a - Cấu trúc vùng năng lượng của chất rắn tinh thể

Ta đã biết cấu trúc năng lượng của một nguyên tử đứng cô lập có dạng là các mức rời rạc. Khi đưa các nguyên tử lại gần nhau, do tương tác, các mức này bị suy biến thành những dải gồm nhiều mức sát nhau được gọi là các vùng năng lượng. Đây là dạng cấu trúc năng lượng điển hình của vật rắn tinh thể [2].

Tùy theo tình trạng các mức năng lượng trong một vùng có bị điện tử chiếm chỗ hay không, người ta phân biệt 3 loại vùng năng lượng khác nhau :

- Vùng hóa trị (hay còn gọi là vùng đầy), trong đó tất cả các mức năng lượng đều đã bị chiếm chỗ, không còn trạng thái (mức) năng lượng tự do.
- Vùng dẫn (vùng trống), trong đó các mức năng lượng đều còn bỏ trống hay chỉ bị chiếm chỗ một phần.
- Vùng cấm, trong đó không tồn tại các mức năng lượng nào để điện tử có thể chiếm chỗ hay xác suất tìm hạt tại đây bằng 0.

Tùy theo vị trí tương đối giữa 3 loại vùng kể trên, xét theo tính chất dẫn điện của mình, các chất rắn cấu trúc tinh thể được chia thành 3 loại (xét ở 0 K) thể hiện trên hình 2.1.



Hình 2.1 : Phân loại vật rắn theo cấu trúc vùng năng lượng :

a) Chất cách điện $E_g > 2eV$; b) Chất bán dẫn điện $E_g \leq 2eV$; c) Chất dẫn điện.

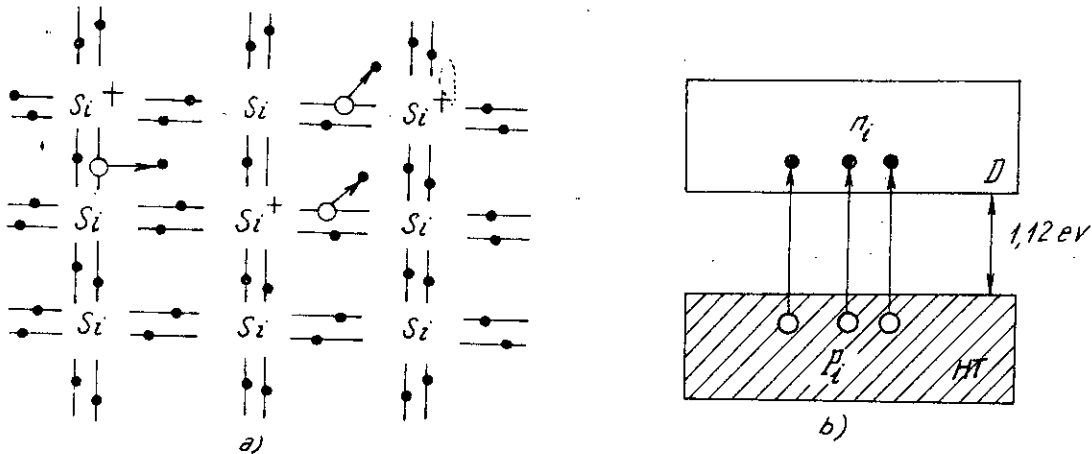
Chúng ta đã biết, muốn tạo dòng điện trong vật rắn cần hai quá trình đồng thời : quá trình tạo ra hạt dẫn tự do nhờ được kích thích năng lượng và quá trình chuyển động có hướng của các hạt dẫn điện này dưới tác dụng của trường. Dưới đây ta xét tới cách dẫn điện của chất bán dẫn nguyên chất (bán dẫn thuần) và chất bán dẫn tạp

chất mà điểm khác nhau chủ yếu liên quan tới quá trình sinh (tạo) các hạt tự do trong mạng tinh thể.

b - Chất bán dẫn thuần

Hai chất bán dẫn thuần điển hình là Germanium (Ge) và Silicium (Si) có cấu trúc vùng năng lượng dạng hình 2.1b với $E_g = 0,72\text{eV}$ và $E_g = 1,12\text{eV}$, thuộc nhóm bốn bảng tuần hoàn Mendeleev. Mô hình cấu trúc mạng tinh thể (1 chiều) của chúng có dạng hình 2.2a với bản chất là các liên kết ghép đôi điện tử hóa trị vành ngoài. Ở 0 K chúng là các chất cách điện. Khi được một nguồn năng lượng ngoài kích thích, xảy ra hiện tượng ion hóa các nguyên tử nút mạng và sinh từng cặp hạt dẫn tự do : điện tử bứt khỏi liên kết ghép đôi trở thành hạt tự do và để lại 1 liên kết bị khuyết (lỗ trống). Trên đồ thị vùng năng lượng hình 2.2b, điều này tương ứng với sự chuyển điện tử từ 1 mức năng lượng trong vùng hóa trị lên 1 mức trong vùng dẫn để lại 1 mức tự do (trống) trong vùng hóa trị. Các cặp hạt dẫn tự do này, dưới tác dụng của 1 trường ngoài hay một Gradient nồng độ có khả năng dịch chuyển có hướng trong mạng tinh thể tạo nên dòng điện trong chất bán dẫn thuần.

Kết quả là : 1) Muốn tạo hạt dẫn tự do trong chất bán dẫn cần có năng lượng kích thích đủ lớn $E_{kt} \geq E_g$.



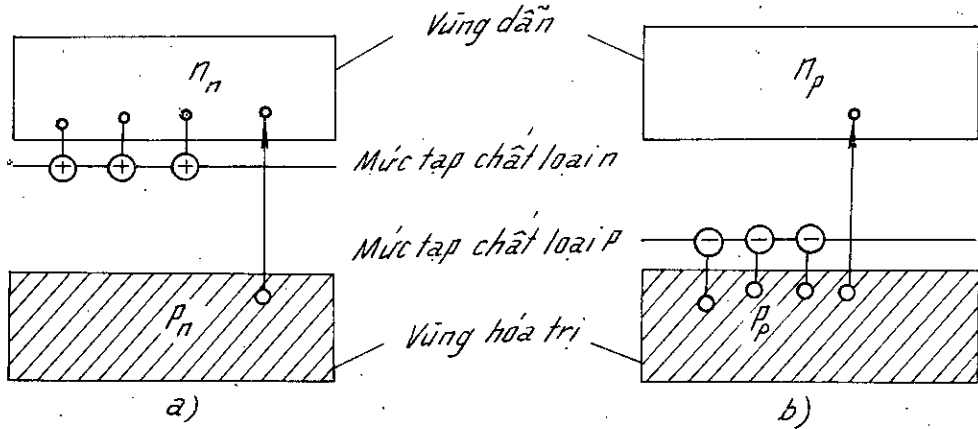
Hình 2.2 : a) Cấu trúc mạng tinh thể một chiều của chất bán dẫn thuần Si
b) Đồ thị vùng giải thích cơ chế phát sinh từng cặp hạt dẫn tự do.

2) Dòng điện trong chất bán dẫn thuần gồm hai thành phần tương đương nhau do quá trình phát sinh từng cặp hạt dẫn tạo ra ($n_i = p_i$) [2, 8].

c - Chất bán dẫn tạp chất loại n

Người ta tiến hành pha thêm các nguyên tử thuộc nhóm 5 bảng Mendeleev vào mạng tinh thể chất bán dẫn nguyên chất nhờ các công nghệ đặc biệt, với nồng độ khoảng 10^{10} đến 10^{18} nguyên tử/cm³. Khi đó các nguyên tử tạp chất thừa một điện tử vành ngoài, liên kết yếu với hạt nhân, dễ dàng bị ion hóa nhờ 1 nguồn năng lượng yếu tạo nên 1 cặp ion dương tạp chất - điện tử tự do. Ở điều kiện bình thường (25°C) toàn bộ các nguyên tử tạp chất đã bị ion hóa. Ngoài ra hiện tượng phát sinh hạt giống như cơ chế của chất bán dẫn thuần vẫn xảy ra như được mô tả trên hình 2.3a, với mức độ yếu hơn. Trên đồ thị vùng năng lượng, các mức năng lượng tạp chất loại này (gọi là tạp chất loại n hay loại cho điện tử - Donor) phân bố bên trong vùng cấm, nằm sát đáy vùng dẫn (khoảng cách cỡ vài % eV).

Kết quả là trong mạng tinh thể tồn tại nhiều ion dương của tạp chất bất động và dòng điện trong chất bán dẫn loại n gồm hai thành phần không bằng nhau tạo ra :



Hình 2.3 : Đồ thị vùng năng lượng và cơ chế sinh hạt dẫn trong chất bán dẫn tạp chất :
a) loại n b) loại p

điện tử được gọi là loại hạt dẫn đa số có nồng độ là n_n , lỗ trống - loại thiểu số có nồng độ p_n (chênh nhau nhiều cấp : $n_n \gg p_n$).

d - Chất bán dẫn tạp chất loại p

Nếu tiến hành pha tạp chất thuộc nhóm 3 bảng tuần hoàn Mendeleev vào mạng tinh thể chất bán dẫn thuần ta được chất bán dẫn tạp chất loại p với đặc điểm chủ yếu là nguyên tử tạp chất thiếu một điện tử vành ngoài nên 1 liên kết hóa trị (ghép đôi) bị khuyết, ta gọi đó là lỗ trống liên kết, có khả năng nhận điện tử, khi nguyên tử tạp chất bị ion hóa sẽ sinh ra đồng thời 1 cặp : ion âm tạp chất - lỗ trống tự do. Mức năng lượng tạp chất loại p nằm trong vùng cấm sát đỉnh vùng hóa trị. Hình 2.3b cho phép giải thích cách sinh hạt dẫn của chất bán dẫn loại này. Vậy trong mạng tinh thể chất bán dẫn tạp chất loại p tồn tại nhiều ion âm tạp chất có tính chất định xứ từng vùng và dòng điện trong chất bán dẫn loại p gồm hai thành phần không tương đương nhau : lỗ trống được gọi là các hạt dẫn đa số, điện tử hạt thiểu số, với các nồng độ tương ứng là p_p và n_p ($p_p \gg n_p$).

e - Vai hiện tượng vật lý thường gặp

Cách sinh hạt dẫn và tạo thành dòng điện trong chất bán dẫn thường liên quan trực tiếp tới các hiện tượng vật lý sau :

Hiện tượng ion hóa nguyên tử (của chất bán dẫn thuần hay của chất bán dẫn tạp chất) là hiện tượng gắn liền với quá trình tạo hạt dẫn tự do hay chuyển dời mức năng lượng của các hạt. Rõ ràng số hạt sinh ra bằng số mức năng lượng bị chiếm trong vùng dẫn hay số mức bị trống đi trong vùng hóa trị. Kết quả của vật lý thống kê lượng tử cho phép tính nồng độ các loại hạt này dựa vào hàm thống kê Fermi-Dirac [2, 8] :

$$n = \int_{E_c}^{E_{\max}} N(E)F(E)dE ; \quad p = \int_{E_{\min}}^{E_v} N(E)F(E)dE \quad (2-1)$$

với n , p là nồng độ điện tử trong vùng dẫn và lỗ trống trong vùng hóa trị.

E_c là mức năng lượng của đáy vùng dẫn,

E_v là mức năng lượng của đỉnh vùng hóa trị,
 E_{\max} là trạng thái năng lượng cao nhất có điện tử,
 E_{\min} là trạng thái năng lượng thấp nhất của lỗ trống,
 $N_{(E)}$ là hàm mật độ trạng thái hạt theo năng lượng,
 $F_{(E)}$ là hàm phân bố thống kê hạt theo năng lượng.

Theo đó người ta xác định được :

$$n = N_c \exp\left(-\frac{E_c - E_F}{KT}\right) ; p = N_v \exp\left(-\frac{E_F - E_v}{KT}\right) \quad (2-2)$$

với N_c, N_v là mật độ trạng thái hiệu dụng trong các vùng tương ứng, E_F là mức thế hóa học (mức Fermi).

Kết quả phân tích cho phép có các kết luận chủ yếu sau :

• Ở trạng thái cân bằng, tích số nồng độ hai loại hạt dẫn là một hằng số (trong bất kì chất bán dẫn loại nào)

$$n_n \cdot p_n = p_p n_p = n_i p_i = n_i^2 = N_c N_v \exp\left(-\frac{E_g}{KT}\right) = \text{const} \quad (2-3)$$

nghĩa là việc tăng nồng độ 1 loại hạt này luôn kèm theo việc giảm nồng độ tương ứng của loại hạt kia.

• Trong chất bán dẫn loại n có $n_n \gg n_i \gg p_n$ do đó số điện tử tự do luôn bằng số lượng ion dương tạp chất : $n_n = N_D^+$. Tương tự, trong chất bán dẫn loại p có $p_p \gg n_i \gg n_p$ do đó số lỗ trống luôn bằng số lượng ion âm tạp chất : $p_p = N_A^-$.

- Hiện tượng tái hợp của các hạt dẫn

Hiện tượng sinh hạt dẫn phá hủy trạng thái cân bằng nhiệt động của hệ hạt ($n \cdot p \neq n_i^2$). Khi đó người ta thường quan tâm tới số gia tăng nồng độ của các hạt thiếu số vì chúng có vai trò quyết định tới nhiều cơ chế phát sinh dòng điện trong các dụng cụ bán dẫn. Hiện tượng tái hợp hạt dẫn là quá trình ngược lại, liên quan tới các chuyển dời điện tử từ mức năng lượng cao trong vùng dẫn về mức thấp hơn trong vùng hóa trị. Hiện tượng tái hợp làm mất đi đồng thời 1 cặp hạt dẫn và đưa hệ hạt về lại 1 trạng thái cân bằng mới.

Khi đó, trong chất bán dẫn loại n, là sự tái hợp của lỗ trống với điện tử trong điều kiện nồng độ điện tử cao :

$$\Delta p(t) = \Delta p(0) \exp\left(-\frac{t}{\tau_p}\right) \quad (2-4)$$

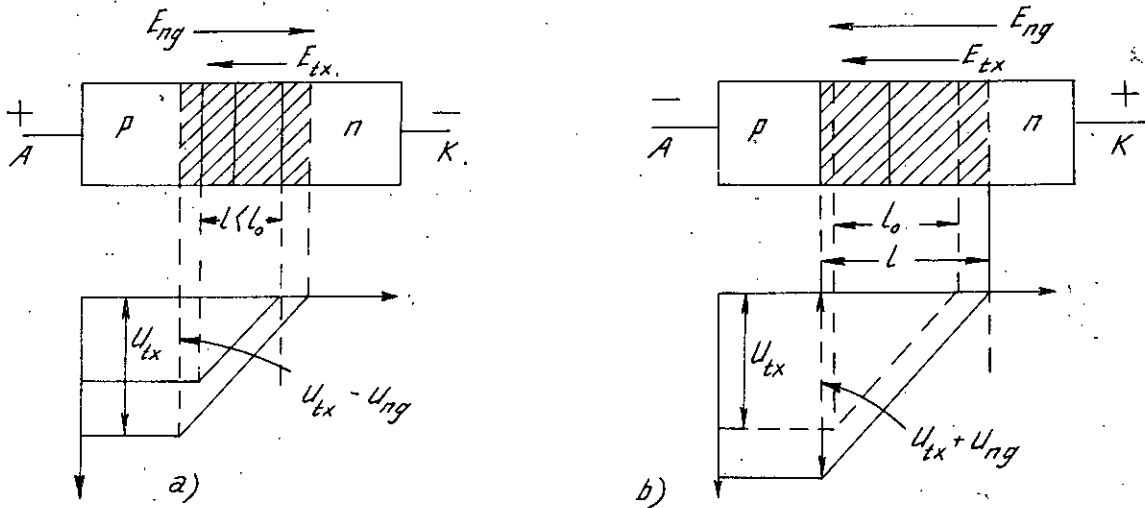
Ở đây : $\Delta p(t)$ là mức giảm của lỗ trống theo thời gian

$\Delta p(0)$ là số lượng lỗ trống lúc $t = 0$ (có được sau 1 quá trình sinh hạt)

τ_p là thời gian sống của lỗ trống trong chất bán dẫn loại n (là khoảng thời gian trong đó nồng độ lỗ trống dư giảm đi e lần).

Tương tự, trong chất bán dẫn loại p có

$$\Delta n(t) = \Delta n(0) \exp\left(-\frac{t}{\tau_n}\right) \quad (2-5)$$



Hình 2.5 : Mặt ghép p-n khi phân cực thuận (a) và phân cực ngược (b).

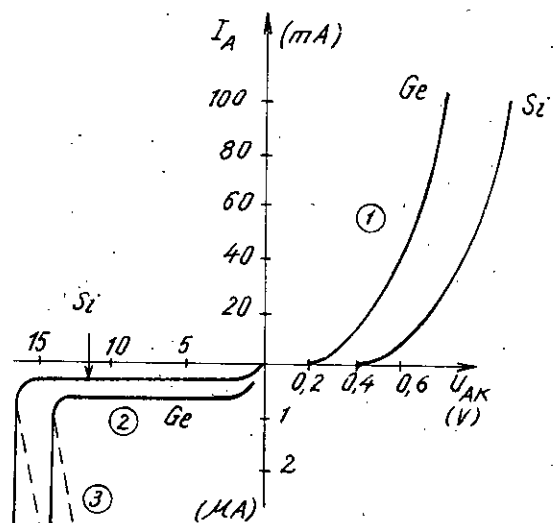
• Khi điện trường ngoài (E_{ng}) ngược chiều với E_{tx} (tức là có cực tính dương đặt tới p, âm tới n). Khi đó do E_{ng} chủ yếu đặt lên vùng nghèo và xếp chống với E_{tx} nên cường độ trường tổng cộng tại vùng l_0 giảm đi do đó làm tăng chuyển động khuếch tán $I_{kt} \uparrow$ người ta gọi đó là hiện tượng phun hạt đa số qua miền tiếp xúc p-n khi nó được mở. Dòng điện trôi do E_{xt} gây ra gần như giảm không đáng kể do nồng độ hạt thiểu số nhỏ. Trường hợp này ứng với hình 2.5a gọi là phân cực thuận cho tiếp xúc p-n. Khi đó bề rộng vùng nghèo giảm đi so với l_0 .

Khi E_{ng} cùng chiều với E_{tx} (nguồn ngoài có cực dương đặt tới n, âm đặt tới p), do tác dụng xếp chống điện trường tại vùng nghèo, dòng I_{kt} giảm tới không, dòng I_{tr} có tăng chút ít và nhanh đến một giá trị bão hòa gọi là dòng điện ngược bão hòa của tiếp xúc p-n. Bề rộng vùng nghèo tăng lên so với trạng thái cân bằng. Người ta gọi đó là sự phân cực ngược cho tiếp xúc p-n.

Kết quả là mặt ghép p-n khi đặt trong 1 điện trường ngoài có tính chất van : dẫn điện không đối xứng theo 2 chiều. Người ta gọi đó là hiệu ứng chỉnh lưu của tiếp xúc p-n : theo chiều phân cực thuận ($U_{AK} > 0$), dòng có giá trị lớn tạo bởi dòng hạt đa số phun qua tiếp giáp p-n mở, theo chiều phân cực ngược ($U_{sk} < 0$) dòng có giá trị nhỏ hơn vài cấp do hạt thiểu số trôi qua tiếp giáp p-n khóa. Đây là kết quả trực tiếp của hiệu ứng điều biến điện trở của lớp nghèo của mặt ghép p-n dưới tác động của trường ngoài.

c - Đặc tuyến Von-Ampe và các tham số cơ bản của diốt bán dẫn

Diốt bán dẫn có cấu tạo là một chuyển tiếp p-n với hai điện cực nối ra phía miền p gọi là anốt, phía miền



Hình 2.6 : Đặc tuyến Von-Ampe của diốt bán dẫn.

n gọi là catôt. Nối tiếp điốt bán dẫn với 1 nguồn điện áp ngoài qua 1 điện trở hạn chế dòng, biến đổi cường độ và chiều của điện áp ngoài, người ta thu được đặc tuyến Von-Ampe của điốt có dạng hình 2.6. Đây là 1 đường cong có dạng phức tạp, chia làm 3 vùng rõ rệt : Vùng (1) ứng với trường hợp phân cực thuận, vùng (2) tương ứng với trường hợp phân cực ngược và vùng (3) được gọi là vùng đánh thủng tiếp xúc p-n. Qua việc phân tích đặc tính Von-Ampe giữa lí thuyết và thực tế người ta rút được các kết luận chủ yếu sau :

- Trong vùng (1) và (2) phương trình mô tả đường cong có dạng (xem [8])

$$I_A = I_s(T) \left[\exp\left(\frac{U_{AK}}{m \cdot U_T}\right) - 1 \right] \quad (2-12)$$

trong đó

$$I_s(T) = q \cdot s \cdot \left(\frac{D_n \cdot n_{po}}{L_n} + \frac{D_p p_n}{L_p} \right)$$

gọi là dòng điện ngược bão hòa có giá trị gần như không phụ thuộc vào U_{AK} , chỉ phụ thuộc vào nồng độ hạt thiểu số lúc cân bằng, vào độ dài và hệ số khuếch tán tức là vào bản chất cấu tạo chất bán dẫn tạp chất loại n và p và do đó phụ thuộc vào nhiệt độ.

$$U_T = \frac{kT}{q} \text{ gọi là thế nhiệt ; ở } T = 300^\circ\text{K với } q = 1,6 \cdot 10^{-19}\text{C, } k = 1,38 \cdot 10^{-23} \text{ J/K}$$

U_T có giá xấp xỉ 25,5mV ; $m = (1 \div 2)$ là hệ số hiệu chỉnh giữa lí thuyết và thực tế.

- Tại vùng mở (phân cực thuận) : U_T và I_s có phụ thuộc vào nhiệt độ nên dạng đường cong phụ thuộc vào nhiệt độ với hệ số nhiệt được xác định bởi đạo hàm riêng U_{AK} theo nhiệt độ.

$$\left. \frac{\partial U_{AK}}{\partial T} \right|_{I_A = \text{const}} \approx -2 \frac{\text{mV}}{\text{K}}$$

nghĩa là khi giữ cho dòng điện thuận qua van không đổi, điện áp thuận giảm tỉ lệ theo nhiệt độ với tốc độ -2mV/K .

- Tại vùng khóa (phân cực ngược) giá trị dòng bão hòa I_s nhỏ (10^{-12} A/cm^2 với Si và 10^{-6} A/cm^2 với Ge và phụ thuộc mạnh vào nhiệt độ với mức độ +10% giá trị/ $^\circ\text{K}$: $\Delta I_s (\Delta T = 10^\circ\text{K}) = I_s$ tức là dòng điện ngược tăng gấp đôi khi gia số nhiệt độ tăng 10°C .

- Các kết luận vừa nêu đối với I_s và U_{AK} chỉ rõ hoạt động của điốt bán dẫn phụ thuộc mạnh vào nhiệt độ và trong thực tế các mạch điện tử có sử dụng tới điốt bán dẫn hoặc tranzito sau này, người ta cần có nhiều biện pháp nghiêm ngặt để duy trì sự ổn định của chúng khi làm việc, chống (bù) lại các nguyên nhân kể trên do nhiệt độ gây ra.

- Tại vùng đánh thủng (khi $U_{AK} < 0$ và có trị số đủ lớn) dòng điện ngược tăng đột ngột trong khi điện áp giữa anốt và katôt không tăng. Tính chất van của điốt khi đó bị phá hoại. Tồn tại hai dạng đánh thủng chính :

- Đánh thủng vì nhiệt do tiếp xúc p-n bị nung nóng cục bộ, vì va chạm của hạt thiểu số được gia tốc trong trường mạnh. Điều này dẫn tới quá trình sinh hạt ô at (ion hóa nguyên tử chất bán dẫn thuận, có tính chất thác lũ) làm nhiệt độ nơi tiếp xúc tiếp tục tăng... dòng điện ngược tăng đột biến và mặt ghép p-n bị phá hỏng.

• Đánh thủng vì điện do hai hiệu ứng : ion hóa do va chạm (giữa hạt thiếu số được gia tốc trong trường mạnh cỡ 10^5V/cm với nguyên tử của chất bán dẫn thuận thường xảy ra ở các mặt ghép p-n rộng (hiệu ứng Zener) và hiệu ứng xuyên hầm (Tunen) xảy ra ở các tiếp xúc p-n hẹp do pha tạp chất với nồng độ cao liên quan tới hiện tượng nhảy mức trực tiếp của điện tử hóa trị bên bán dẫn p xuyên qua rào thế tiếp xúc sang vùng dẫn bên bán dẫn n.

Khi phân tích hoạt động của diốt trong các mạch điện cụ thể, người ta thường sử dụng các đại lượng (tham số) đặc trưng cho nó. Có hai nhóm tham số chính với một diốt bán dẫn là nhóm các tham số giới hạn đặc trưng cho chế độ làm việc giới hạn của diốt và nhóm các tham số định mức đặc trưng cho chế độ làm việc thông thường.

- Các tham số giới hạn là :

• Điện áp ngược cực đại để diốt còn thể hiện tính chất van (chưa bị đánh thủng) : U_{ngcmax} (thường giá trị U_{ngcmax} chọn khoảng 80% giá trị điện áp đánh thủng U_{dt}).

• Dòng cho phép, cực đại qua van lúc mở : I_{Acf} .

• Công suất tiêu hao cực đại cho phép trên van để chưa bị hỏng vì nhiệt : P_{Acf} .

• Tần số giới hạn của điện áp (dòng điện) đặt lên van để nó còn có tính chất van f_{max} .

- Các tham số định mức chủ yếu là :

• Điện trở 1 chiều của diốt

$$R_d = \frac{U_{AK}}{I_A} = \frac{U_T}{I_A} \ln \left(\frac{I_A}{I_s} + 1 \right) \quad (2-13)$$

• Điện trở vi phân (xoay chiều) của diốt :

$$r_d = \frac{\partial U_{AK}}{\partial I_A} = \frac{U_T}{(I_A + I_s)} \quad (2-14)$$

với nhánh thuận $\frac{U_T}{I_A} \approx r_{dth}$ do I_A lớn nên giá trị r_d nhỏ và giảm nhanh theo mức tăng

của I_A ; với nhánh ngược $r_{dngc} \approx \frac{U_T}{I_s}$ lớn và ít phụ thuộc vào dòng giá trị r_{dth} và r_{dngc}

càng chênh lệch nhiều thì tính chất van càng thể hiện rõ.

• Điện dung tiếp giáp p-n : lớp điện tích khối l_0 tương đương như 1 tụ điện gọi là điện dung của mặt ghép p-n : $C_{pn} = C_{kt} + C_{rào}$.

trong đó $C_{rào}$ là thành phần điện dung chỉ phụ thuộc vào điện áp ngược (vài phần chục pF) và C_{kt} là thành phần chỉ phụ thuộc vào điện áp thuận (vài pF).

Ở những tần số làm việc cao, người ta phải để ý tới ảnh hưởng của C_{pn} tới các tính chất của mạch điện. Đặc biệt khi sử dụng diốt ở chế độ khóa điện tử đóng mở với nhịp cao, diốt cần một thời gian quá độ để hồi phục lại tính chất van lúc chuyển từ mở sang khóa. Điện áp mở van U_D là giá trị điện áp thuận đặt lên van tương ứng để dòng thuận đạt được giá trị $0,1I_{max}$.

Người ta phân loại các diốt bán dẫn theo nhiều quan điểm khác nhau :

• Theo đặc điểm cấu tạo có loại diốt tiếp điểm, diốt tiếp mặt, loại vật liệu sử dụng : Ge hay Si.

• Theo tần số giới hạn f_{max} có loại diốt tần số cao, diốt tần số thấp.

- Theo công suất P_{Acf} có loại diốt công suất lớn, công suất trung bình hoặc công suất nhỏ ($I_{Acf} < 300 \text{ mA}$)

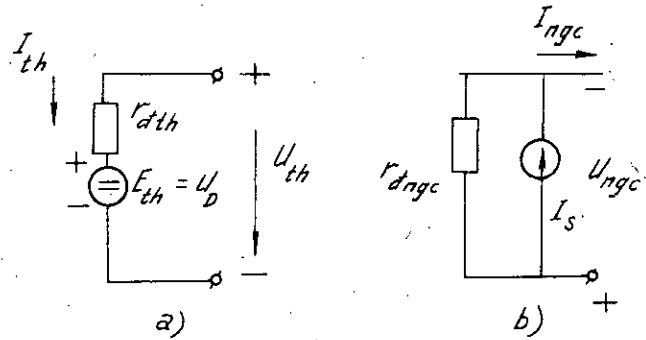
- Theo nguyên lí hoạt động hay phạm vi ứng dụng có các loại diốt chỉnh lưu, diốt ổn định điện áp (diốt Zener), diốt biến dung (Varicap), diốt sử dụng hiệu ứng xuyên hầm (diốt Tunen)...

Chi tiết hơn, có thể xem thêm trong các tài liệu chuyên ngành về dụng cụ bán dẫn điện [1, 8].

Khi xét diốt trong mạch thực tế, người ta thường sử dụng sơ đồ tương đương của diốt tương ứng với 2 trường hợp mở và khóa của nó (xem h.2.7)

từ đó ta có
$$I_{th} = \frac{U_{th} - E_{th}}{r_{dth}}$$

$$I_{ngc} = I_s + \frac{U_{ngc}}{r_{dngc}}$$



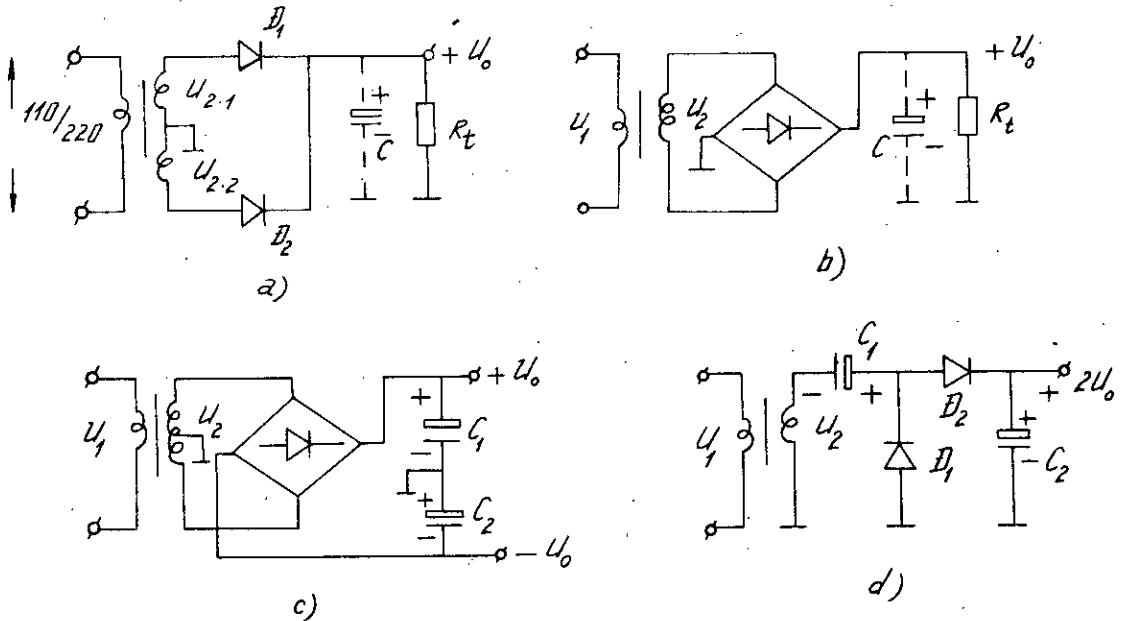
Hình 2.7 : Sơ đồ tương đương của diốt bán dẫn lúc mở (a) và lúc khóa (b).

với $r_{dth} \approx r_B$ điện trở phân để bazơ của diốt hay độ dốc trung

bình của vùng (1) đặc tuyến Von-Ampe. Và r_{dngc} là độ dốc trung bình của nhánh ngược (2) của đặc tuyến Von-Ampe.

2.1.3. Vai ứng dụng điển hình của diốt bán dẫn

Trong phần này, chúng ta xét tới một số ứng dụng điển hình của diốt trong các mạch chỉnh lưu, hạn chế biên độ, ổn định điện áp.



Hình 2.8 : Các mạch chỉnh lưu công suất nhỏ thông dụng
 a) Mạch chỉnh lưu hai nửa chu kì, b) Mạch chỉnh lưu cầu,
 c) Mạch chỉnh lưu cho điện áp ra đối xứng, d) Mạch chỉnh lưu nhân đôi điện áp.

a - Bộ chỉnh lưu công suất nhỏ

Sử dụng tính chất van của điốt bán dẫn, các mạch chỉnh lưu điện hình nhất (công suất nhỏ), được cho trên hình 2.8a, b, c, d.

Để đơn giản cho việc phân tích hoạt động và rút ra các kết luận chính với các mạch trên, chúng ta xét với trường hợp tải của mạch chỉnh lưu là điện trở thuần, sau đó có lưu ý các đặc điểm khi tải có tính chất điện dung hay điện cảm và với giả thiết các van điốt là lí tưởng, điện áp vào có dạng hình sin phù hợp với thực tế điện áp mạng 110V/220V xoay chiều, 50 Hz.

- *Mạch chỉnh lưu hai nửa chu kì* : Nhờ biến áp nguồn, điện áp mạng đưa tới sơ cấp được biến đổi thành hai điện áp hình sin $U_{2.1}$ và $U_{2.2}$ ngược pha nhau trên thứ cấp. Tương ứng với nửa chu kì dương ($U_{2.1} > 0, U_{2.2} < 0$) D_1 mở D_2 khóa. Trên R_t dòng nhận được có dạng 1 chiều là điện áp nửa hình sin do $U_{2.1}$ qua D_1 mở tạo ra. Khi điện áp vào đổi dấu (nửa chu kì âm) $U_{2.1} < 0, U_{2.2} > 0$) D_1 khóa D_2 mở và trên R_t nhận được dòng do D_2 tạo ra, (h.2.9).

- Giá trị trung bình của điện áp trên tải được xác định theo hệ thức (1.13) :

$$U_o = \frac{1}{\pi} \int_0^{\pi} \sqrt{2} \cdot U_2 \sin \omega t d\omega t = \frac{2\sqrt{2}}{\pi} U_2 = 0,9U_2 \quad (2-15)$$

với U_2 là giá trị hiệu dụng của điện áp trên 1 cuộn của thứ cấp biến áp.

- Giá trị trung bình của dòng trên tải đối với trường hợp tải thuần trở

$$I_t = \frac{U_o}{R_t} \quad (2-16)$$

Khi đó dòng qua các điốt D_1 và D_2 là

$$I_{a1} = I_{a2} = \frac{I_t}{2} \quad (2-17)$$

và dòng cực đại đi qua điốt là

$$I_{amax} = \pi, I_a = \frac{\pi}{2} I_t \quad (2-18)$$

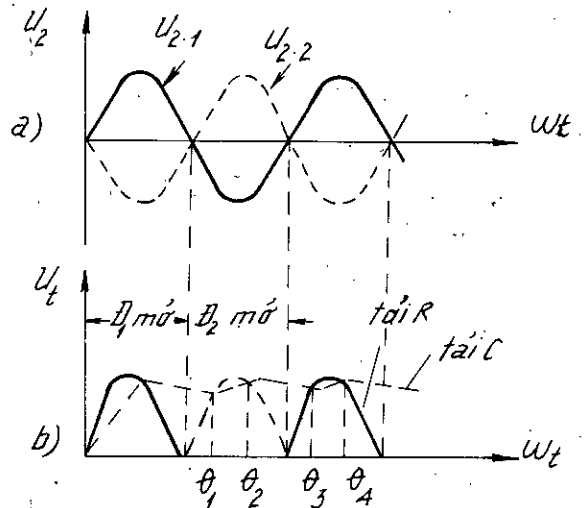
- Để đánh giá độ bằng phẳng của điện áp trên tải sau khi chỉnh lưu, thường sử dụng hệ số đập mạch (gợn sóng), được định nghĩa đối với thành phần sóng bậc n :

$$q_n = \frac{U_{nm}}{U_o} \quad (2-19)$$

Trong đó U_{nm} là biên độ sóng có tần số $n \cdot \omega$; U_o là thành phần điện áp 1 chiều trên tải.

$$q_1 = \frac{U_{1m}}{U_o} = \frac{2}{m^2 - 1} \text{ với } m \text{ là số pha chỉnh lưu}$$

$$q_1 = 0,67 \text{ (với mạch hai nửa chu kì } m = 2).$$



Hình 2.9 : Giản đồ điện áp của bộ chỉnh lưu 2 nửa chu kì

- a) Điện áp thứ cấp U_2
- b) Điện áp trên tải.

• Điện áp ngược cực đại đặt vào van khóa bằng tổng điện áp cực đại trên 2 cuộn thứ cấp của biến áp:

$$U_{ngcmax} = 2\sqrt{2}U_2 = 3,14 U_0 \quad (2-20)$$

Khi đó cần chọn van D_1, D_2 có điện áp ngược cho phép

$$U_{ngccf} > U_{ngcmax} = 3,14 U_0$$

• Khi dùng tải là tụ lọc C (đường đứt nét trên hình 2.8a) ở chế độ xác lập, do hiện tượng nạp và phóng điện của tụ C mạch lúc đó làm việc ở chế độ không liên tục như trường hợp với tải điện trở. Trên hình 2.9b với trường hợp tải điện dung, ta thấy rõ khác với trường hợp tải điện trở lúc này mỗi van chỉ làm việc trong khoảng thời gian $\theta_1 \div \theta_2$ (với van D_2) và $\theta_3 \div \theta_4$ (với van D_1) nhỏ hơn nửa chu kì và thông mạch nạp cho tụ từ nguồn $U_{2,2}$ và $U_{2,1}$.

Trong khoảng thời gian còn lại, các van đều khóa (do điện áp trên tụ đã nạp lớn hơn giá trị tức thời của điện áp pha tương ứng $U_{2,2}$ và $U_{2,1}$). Lúc đó tụ C phóng điện và cung cấp điện áp ra trên R_L .

Các tham số chính của mạch trong trường hợp này có thay đổi, khi đó

$$U_0 = 1,41 U_2 \quad (2-21)$$

và $q_1 \leq 0,02$

(khi chọn hằng số thời gian mạch phóng của tụ $\tau = R_L C$ lớn) còn U_{ngcmax} không đổi so với trước đây.

• Nếu xét mạch hình 2.8a với từng nửa cuộn thứ cấp biến áp nguồn làm việc với 1 van tương ứng và mạch tải ta có 2 mạch chỉnh lưu một nửa chu kì là dạng sơ đồ đơn giản nhất của các mạch chỉnh lưu. Dựa vào các kết quả đã phân tích trên, dễ dàng suy ra các tham số của mạch này tuy nhiên chúng chỉ được sử dụng khi các yêu cầu về chất lượng nguồn (hiệu suất năng lượng, chỉ tiêu bằng phẳng của U_L ...) đòi hỏi thấp.

- Mạch chỉnh lưu cầu

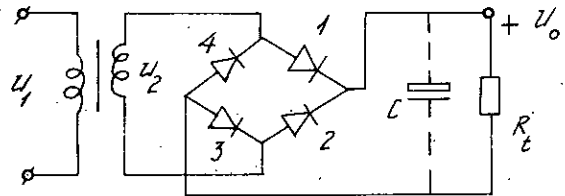
Mạch điện nguyên lí của bộ chỉnh lưu cầu cho trên hình 2.8b, trong đó cầu gồm 4 van diốt đã được kí hiệu thu gọn: nếu vẽ đầy đủ cầu chỉnh lưu ta có hình 2.10.

Trong từng nửa chu kì của điện áp thứ cấp U_2 , một cặp van có anôt dương nhất và katôt âm nhất mở, cho dòng một chiều ra R_L , cặp van còn lại khóa và chịu 1 điện áp ngược cực đại bằng biên độ U_{2m} . Ví dụ ứng với nửa chu kì dương của U_2 , cặp van $D_1 D_3$ mở, $D_2 D_4$ khóa. Rõ ràng điện áp ngược cực đại đặt lên van lúc khóa có giá trị bằng một nửa so với trường hợp bộ chỉnh lưu hai nửa chu kì đã xét trên, đây là ưu điểm quan trọng nhất của sơ đồ cầu. Ngoài ra, kết cấu thứ cấp của biến áp nguồn đơn giản hơn. Các tham số chính của mạch là:

• Điện áp 1 chiều lúc hở mạch R_L .

$$U_{rao} = \sqrt{2}U_2 - 2U_D \quad (2-22)$$

với U_D là điện áp thuận trên các van mở.



Hình 2.10 : Sơ đồ nguyên lí bộ chỉnh lưu cầu một pha.

- Điện áp 1 chiều lúc có tải R_t :

$$U_{ra\infty} = U_{ra0} (1 - \sqrt{R_t/2R_v}) \quad (2-23)$$

với R_t là nội trở tương đương của nguồn xoay chiều

$$R_t = \frac{U_2}{I_2} \left[\frac{U_{20}}{U_2} - 1 \right] \text{ các giá trị } U_2, I_2 \text{ là điện áp và dòng điện cuộn thứ cấp biến áp.}$$

$$R_v \text{ là điện trở tương đương của tải } R_v = \frac{U_{ra\infty}}{I_{ra}}$$

- Công suất danh định của biến áp nguồn

$$P_{ba} = 1,2I_{ra} (U_{ra\infty} + 2U_D) \quad (2-24)$$

- Điện áp ngược cực đại trên van khóa :

$$U_{ngc\max} = \sqrt{2}U_2 = (\pi/2)U_{ra0} \quad (2-25)$$

Khi có tải điện dung, mạch làm việc ở chế độ xung liên quan tới thời gian phóng của tụ C lúc các van đều khóa và thời gian nạp lúc một cặp van mở giống như đã phân tích với mạch chỉnh lưu hai nửa chu kì. Lúc đó, dòng điện xung qua cặp van mở nạp cho tụ C là :

$$I_D = \frac{U_{ra0} - U_{ra\infty}}{R_t} = \frac{U_{ra0}}{\sqrt{2} \cdot R_t R_v} \quad (2-26)$$

có phụ thuộc vào nội trở R_t của nguồn xoay chiều và càng lớn khi R_t càng nhỏ. Điện áp ra tối thiểu lúc này xác định bởi :

$$U_{ra\min} = U_{ra\infty} - \frac{2}{3} U_{gs\max} \quad (2-27)$$

trong đó $U_{gs\max}$ là điện áp gợn sóng cực đại :

$$U_{gs\max} = \frac{I_{ra}}{2 \cdot C \cdot f} (1 - \sqrt{R_t/2R_v}) \quad (2-28)$$

Mạch hình 2.8c, cho phép nhận được 1 điện áp ra 2 cực tính đối xứng với điểm chung, có thể phân tích như hai mạch hình 2.8a làm việc với hai nửa thứ cấp của biến áp nguồn có điểm giữa nối đất.

Mạch hình 2.8d cho phép nhận được điện áp 1 chiều có giá trị gấp đôi điện áp ra trong các mạch đã xét trên và có tên là mạch chỉnh lưu bội áp. Ở nửa chu kì đầu (nửa chu kì âm) của U_2 , van D_1 mở nạp cho tụ C_1 tới điện áp $U_{c1} \approx U_{2m} = \sqrt{2}U_2$. Ở nửa chu kì tiếp sau (nửa chu kì dương) D_2 mở và điện áp nạp cho tụ C_2 có giá trị định :

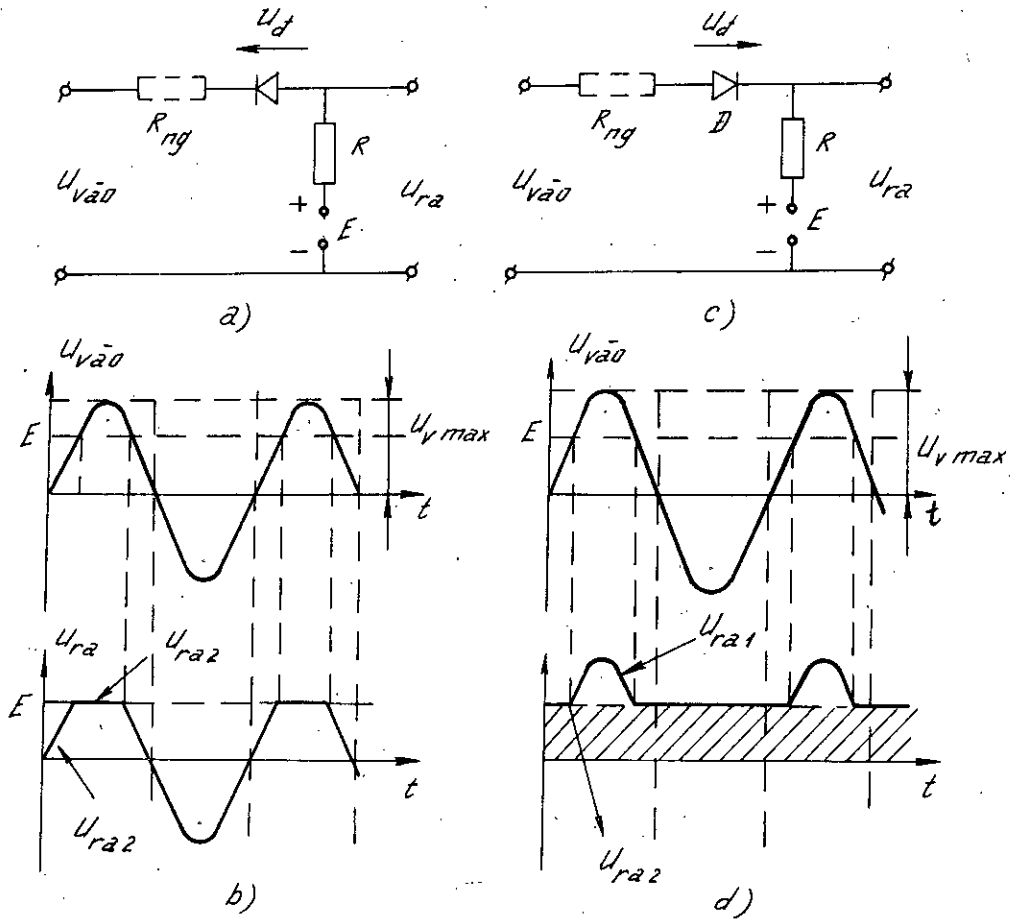
$$U_{c2} \approx U_{c1} + U_{2m} \approx 2U_{2m} = 2\sqrt{2}U_2 \quad (2-29)$$

Nếu để ý các điều kiện thực tế (khi độ lớn của C_1, C_2 hữu hạn) giá trị điện áp 1 chiều sau bộ chỉnh lưu bội áp có độ lớn cỡ hai lần giá trị này ở bộ chỉnh lưu cầu tải điện dung.

Ngoài ứng dụng trong các mạch chỉnh lưu như đã kể trên, diôt còn được sử dụng trong lĩnh vực chỉnh lưu công suất lớn (xem chương 4).

b - Các mạch ghim

Một ứng dụng điển hình khác của diốt bán dẫn là sử dụng trong mạch ghim (mạch hạn chế biên độ).



Hình 2.11 : Các mạch hạn chế nối tiếp.
Mạch hạn chế trên mức E (a) và đồ thị thời gian minh họa (b) ;
Mạch hạn chế dưới mức E (c) và đồ thị thời gian minh họa (d).

Hình 2.11 là các mạch hạn chế nối tiếp. (Điốt hạn chế mắc nối tiếp với mạch tải).

Xét trong trường hợp đơn giản khi $U_{vào}$ là một điện áp hình sin không có thành phần 1 chiều và giả thiết diốt là lí tưởng (ngưỡng mở khóa xảy ra tại giá trị điện áp giữa 2 cực của nó bằng không $U_d = 0$).

Khi $U_d \geq 0$ diốt mở và điện áp ra bằng :

$$U_{ra1} = \frac{R}{R + R_{th} + R_{ng}} \cdot U_v + \frac{R_{th} + R_{ng}}{R + R_{th} + R_{ng}} \cdot E \quad (2-30)$$

với R_{th} là giá trị trung bình của điện trở thuận diốt, R_{ng} là điện trở trong của nguồn U vào

Khi $U_d < 0$ diốt khóa điện áp ra bằng :

$$U_{ra2} = \frac{R}{R + R_{ngc} + R_{ng}} \cdot U_v + \frac{R_{ngc} + R_{ng}}{R + R_{ngc} + R_{ng}} \cdot E \quad (2-31)$$

với R_{ngc} là giá trị trung bình của điện trở ngược diốt.

Nếu thực hiện điều kiện $R_{th} + R_{ng} \ll R \ll R_{ngc} + R_{ng}$ thì

$$\frac{R}{R + R_{ngc} + R_{ng}} \approx 0 \text{ và } \frac{R}{R + R_{th} + R_{ng}} \approx 1$$

do đó : $U_{ra1} = U_{vào}, U_{ra2} \approx E$

Điều kiện $U_d = 0$ xảy ra khi $U_{vào} = E$ nên ngưỡng hạn chế của mạch bằng E .
Tức là với mạch hạn chế trên (a) thực hiện điều kiện :

$$\begin{cases} \text{Khi } U_v \geq E, U_d < 0 \text{ có } U_{ra2} = E \\ \text{Khi } U_v < E, U_d > 0 \text{ có } U_{ra1} = U_{vào} \end{cases}$$

và với mạch hạn chế dưới (c) có :

$$\begin{cases} \text{Khi } U_v \geq E, U_d > 0, U_{ra1} = U_{vào} \\ \text{Khi } U_v < E, U_d < 0, U_{ra2} = E \end{cases}$$

Khi thay đổi giá trị E , ngưỡng hạn chế sẽ thay đổi trong 1 dải rộng từ $-U_{vmax} < E < U_{vmax}$ với U_{vmax} là biên độ của điện áp vào.

Trường hợp riêng khi chọn $E = 0$ ta có mạch hạn chế ở mức 0 (mạch ghim lấy 1 cực tính của tín hiệu vào hay mạch chỉnh lưu nửa chu kì đã xét trước).

Cũng có thể mắc diốt song song với mạch ra như hình 2.12, lúc đó ta có mạch hạn chế kiểu song song.

Từ điều kiện : $R_{th} \leq R_o \leq R_t \leq R_{ngc}$ có

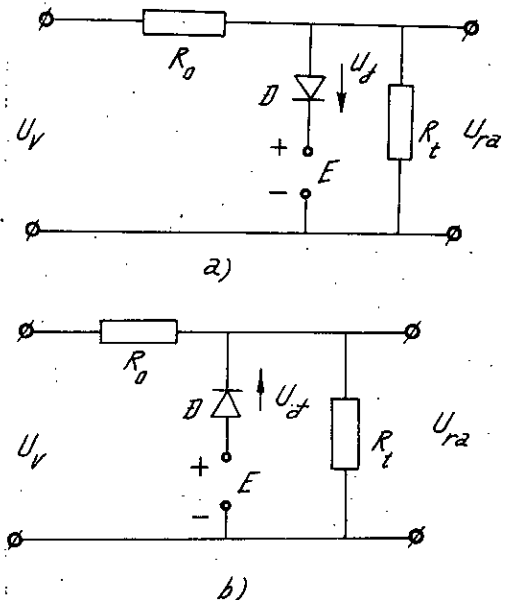
Với mạch hình 2.12a $\begin{cases} \text{khi } U_v \geq E, U_d > 0, U_{ra} = E \\ \text{khi } U_v < E, U_d < 0, U_{ra} = U_v \end{cases}$

Với mạch hình 2.12b $\begin{cases} \text{khi } U_v \geq E, U_d < 0, U_{ra} = U_v \\ \text{khi } U_v < E, U_d > 0, U_{ra} = E \end{cases}$

Lưu ý rằng nếu để ý đến ngưỡng mở của diốt thực thể (loại Si cỡ + 0,6V và loại Ge cỡ + 0,3V) thì ngưỡng hạn chế của các mạch trên bị thay đổi đi 1 giá trị tương ứng với các mức này.

c - Ổn định điện áp bằng diốt Zener

Diốt ổn áp làm việc nhờ hiệu ứng đánh thủng Zener và hiệu ứng đánh thủng thác lũ của chuyển tiếp p-n khi phân cực ngược. Trong các diốt thông thường hiện tượng đánh thủng này sẽ làm hỏng diốt, nhưng trong các diốt ổn định, do được chế tạo đặc biệt và khi làm việc mạch ngoài có điện trở hạn chế dòng ngược (không cho phép nó tăng quá dòng ngược cho phép) nên diốt luôn làm việc ở chế độ đánh thủng nhưng không hỏng. Khác với diốt thông dụng, các diốt ổn định công tác ở chế độ phân cực ngược. Những tham số kĩ thuật của diốt Zener là :



Hình 2.12 : Các mạch hạn chế trên (a) và dưới (b) kiểu song song.

- Điện áp ổn định U_Z (điện áp Zener) là điện áp ngược đặt lên diốt làm phát sinh ra hiện tượng đánh thủng. Trên thực tế đối với mọi diốt ổn áp chỉ có một khoảng rất hẹp mà nó có thể ổn định được. Khoảng này bị giới hạn một mặt bởi khoảng đặc tuyến của diốt từ phạm vi dòng bão hòa sang phạm vi đánh thủng làm dòng tăng đột ngột, mặt khác bởi công suất tiêu hao cho phép. Hay dòng cực đại cho phép.

- Điện trở động r_{dz} của diốt Zener được định nghĩa là độ dốc đặc tuyến tĩnh của diốt tại điểm làm việc:

$$r_{dz} = dU_Z/dI_Z \quad (2-32)$$

Căn cứ vào (2-32) có thể thấy rằng độ dốc của đặc tuyến ở phần đánh thủng có tác dụng quyết định đến chất lượng ổn định của diốt. Khi điện trở động bằng không (lúc đó phần đặc tuyến đánh thủng song song với trục tung) thì sự ổn định điện áp đạt tới mức lí tưởng.

Như hình 2.13a, để thực hiện chức năng ổn định người ta thường mắc nối tiếp với diốt Zener một điện trở và tác dụng ổn định được chứng minh bằng đồ thị trên hình 2.13b.

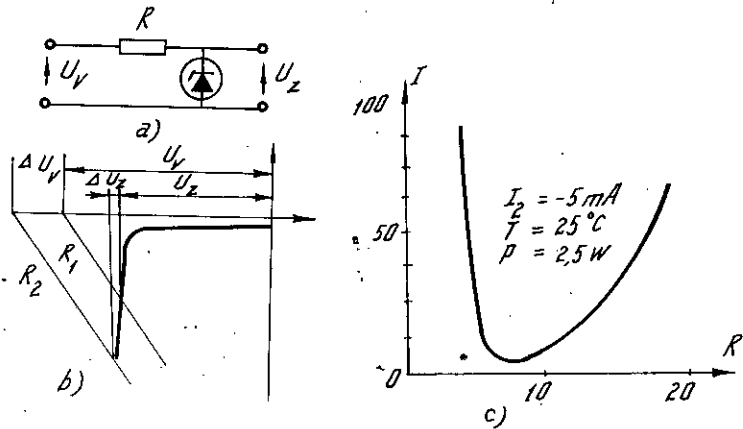
Có thể thiết lập quan hệ hàm số giữa điện trở động và điện áp ổn định của diốt. Ví dụ đối với diốt Zener Si, công suất tiêu hao 0,5W có dạng đồ thị như hình 2.13c. Từ đồ thị này thấy điện trở động cực tiểu khi điện áp vào khoảng 6 đến 8V. Vì trong khoảng điện áp này xuất hiện đồng thời hiện tượng đánh thủng Zener và đánh thủng thác lũ làm cho dòng ngược tăng lên đột ngột.

- Điện trở tĩnh R_t được tính bằng tỉ số giữa điện áp đặt vào và dòng điện đi qua diốt.

$$R_t = U_Z/I_Z \quad (2-33)$$

Dòng điện và điện áp kể trên được xác định từ điểm công tác của diốt (h.2.13b). Điện trở tĩnh phụ thuộc rất nhiều vào dòng chảy qua diốt.

- Hệ số ổn định được định nghĩa bằng tỉ số giữa các biến đổi tương đối của dòng điện qua diốt và điện áp rơi trên diốt do dòng này gây ra :



Hình 2.13 : a) Ổn định điện áp bằng diốt Zener
b) Phân tích đồ thị đặc tính ổn định ;
c) Sự phụ thuộc của điện trở động vào điện áp ổn định.

$$Z = (dI_Z/I_Z)(dU_Z/U_Z) = R/r_{dz} = R_t/r_{dz} \quad (2-34)$$

Chúng ta thấy hệ số này chính bằng tỉ số giữa điện trở tĩnh và điện trở động tại điểm công tác của diốt.

Để đạt hệ số ổn định cao, với một sự biến đổi dòng điện qua diốt đã cho trước, điện áp rơi trên diốt (do dòng này gây ra) phải biến đổi nhỏ nhất. Các diốt ổn định

Si thường có $Z \geq 100$. Trở kháng ra của mạch ổn định cũng là một thông số chủ yếu đánh giá chất lượng của mạch :

$$R_{ra} = \Delta U_{ra} / \Delta I_{ra}$$

ở đây ΔU_{ra} là gia số của điện áp ra, gây ra bởi gia số ΔI_{ra} của dòng tải.

Rõ ràng tỉ số về phải càng nhỏ thì chất lượng mạch ổn định càng cao, vì thế các mạch ổn định dùng diốt Zener có điện trở ra càng nhỏ càng tốt (điều này phù hợp với vai trò một nguồn điện áp lí tưởng).

- Hệ số nhiệt độ của điện áp ổn định θ_v , hệ số này cho biết sự biến đổi tương đối của điện áp ổn định khi nhiệt độ thay đổi 1°C :

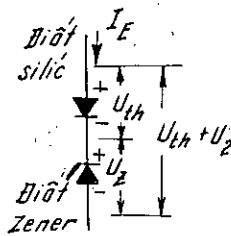
$$\theta_v = (1 / U_z)(du_z / dt) \Big|_{I_z = \text{Const}} \quad (2-35)$$

Hệ số này xác định bởi hệ số nhiệt độ của điện áp đánh thủng chuyển tiếp p-n. Sự phụ thuộc của điện áp ổn định vào nhiệt độ có dạng

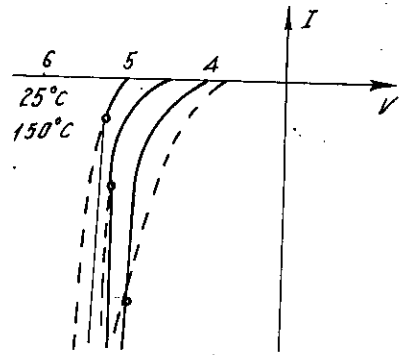
$$U_z = U_{z0} [1 + \theta_T (T - T_0)] \quad (2-36)$$

Trong đó : U_{z0} là điện áp ổn định của diốt Zener ở nhiệt độ T_0 .

Hệ số nhiệt độ θ_v có giá trị âm nếu hiện tượng đánh thủng chủ yếu do hiệu ứng Zener gây ra. Nó có giá trị dương nếu hiện tượng đánh thủng chủ yếu do hiện tượng thác lũ gây ra. Hệ số nhiệt dương của diốt Zener có thể bù trừ cho hệ số nhiệt độ âm của diốt chỉnh lưu ở nhiệt độ thông thường và hệ số nhiệt của cả tổ hợp có thể đạt đến $0,0005\%/^\circ\text{C}$ (h.2.16).



Hình 2.14 : Tổ hợp bù nhiệt độ gồm 2 diốt mắc nối tiếp nhau.



Hình 2.15

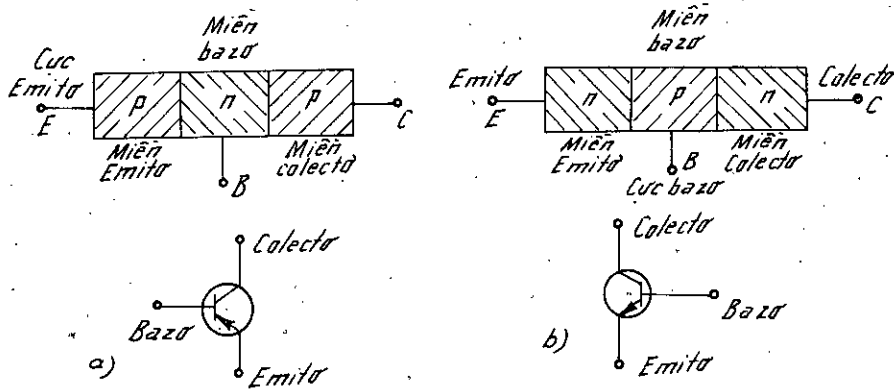
Cần chú ý là hệ số nhiệt độ của điện áp ổn định tại 1 giá trị điện áp nào đó trong khoảng từ 5 đến 7V, bằng không. Sở dĩ như vậy là vì trong khoảng nhiệt độ này tồn tại cả hai hiện tượng đánh thủng là Zener và thác lũ và hệ số nhiệt của hai hiệu ứng này lại ngược dấu cho nên có chỗ chúng triệt tiêu lẫn nhau. Đây là một đặc điểm rất đáng quý, chỉ xuất hiện tại điểm công tác của từng diốt Zener trong khoảng từ 5 đến 7V. Trên hình 2.15 trình bày đặc tuyến của 3 diốt đo ở hai nhiệt độ khác nhau. Những vòng tròn đánh dấu điểm công tác của diốt tại đó hệ số nhiệt bằng không.

2.2. PHẦN TỬ HAI MẶT GHÉP P-N

Nếu trên cùng một đế bán dẫn lần lượt tạo ra hai tiếp giáp công nghệ p-n gần nhau thì ta được một dụng cụ bán dẫn 3 cực gọi là tranzito bipolar, có khả năng khuếch đại tín hiệu điện. Nguyên lí làm việc của tranzito dựa trên đặc tính điện của từng tiếp giáp p-n và tác dụng tương hỗ giữa chúng.

2.2.1. Cấu tạo, nguyên lý làm việc, đặc tuyến và tham số của tranzito bipolar

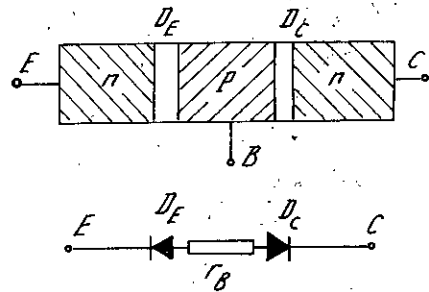
a) Cấu tạo : Tranzito có cấu tạo gồm các miền bán dẫn p và n xen kẽ nhau, tùy theo trình tự sắp xếp các miền P và n mà ta có hai loại cấu trúc điển hình là pnp và npn như trên hình 2.16. Để cấu tạo ra các cấu trúc này người ta áp dụng những phương pháp công



Hình 2.16 : Mô hình lý tưởng hóa và kí hiệu của tranzito pnp (a) và npn (b).

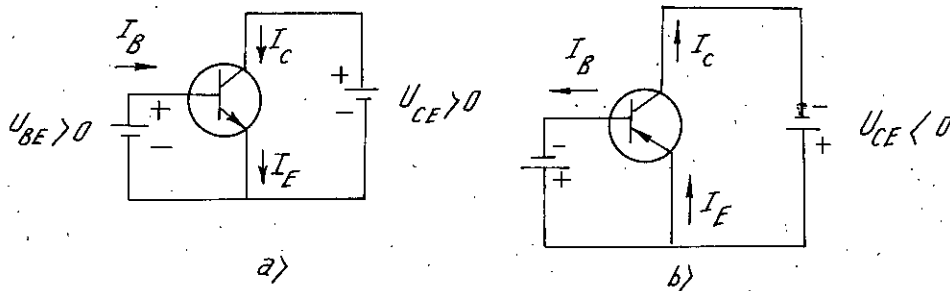
nghệ khác nhau như phương pháp hợp kim, phương pháp khuếch tán, phương pháp epitaxi...

Miền bán dẫn thứ nhất của tranzito là miền emito với đặc điểm là có nồng độ tạp chất lớn nhất, diện tích nối với miền này gọi là cực emito. Miền thứ hai là miền bazơ với nồng độ tạp chất nhỏ nhất và độ dày của nó nhỏ cỡ μm , diện tích nối với miền này gọi là cực bazơ. Miền còn lại là miền colector với nồng độ tạp chất trung bình và diện tích tương ứng là colector. Tiếp giáp p-n giữa miền emito và bazơ gọi là tiếp giáp emito (J_E), tiếp giáp pn giữa miền bazơ và miền colector là tiếp giáp colector (J_C). Về kí hiệu tranzito cần chú ý là mũi tên đặt ở giữa cực emito và bazơ có chiều từ bán dẫn p sang bán dẫn n. Về mặt cấu trúc, có thể coi tranzito như 2 điốt mắc đối nhau như hình 2.17. (Điều này hoàn toàn không có nghĩa là cứ mắc 2 điốt như hình 2-17 là có thể thực hiện được chức năng của tranzito. Bởi vì khi đó không có tác dụng tương hỗ lẫn nhau của 2 tiếp p-n. Hiệu ứng tranzito chỉ xảy ra khi khoảng cách giữa 2 tiếp giáp nhỏ hơn nhiều so với độ dài khuếch tán của hạt dẫn).



Hình 2.17 : Phân tích cấu tạo tranzito thành hai điốt và mạch tương hỗ.

b) Nguyên lý làm việc : Để tranzito làm việc, người ta phải đưa điện áp 1 chiều tới các điện cực của nó, gọi là phân cực cho tranzito. Đối với chế độ khuếch đại thì J_E phân cực thuận và J_C phân cực ngược như hình 2-18.



Hình 2.18 : Sơ đồ phân cực của tranzito npn (a) và pnp (b) ở chế độ khuếch đại.

Để phân tích nguyên lí làm việc ta lấy tranzito pnp làm ví dụ. Do J_E phân cực thuận các hạt đa số (lỗ trống) từ miền E phun qua J_E tạo nên dòng emitơ (I_E). Chúng tới vùng bazơ trở thành hạt thiểu số và tiếp tục khuếch tán sâu vào vùng bazơ hướng tới J_C . Trên đường khuếch tán một phần nhỏ bị tái hợp với hạt đa số của bazơ tạo nên dòng điện cực bazơ (I_B). Do cấu tạo miền bazơ mỏng nên gần như toàn bộ các hạt khuếch tán tới được bờ của J_C và bị trường gia tốc (do J_C phân cực ngược) cuốn qua tới được miền colectơ tạo nên dòng điện colectơ (I_C). Qua việc phân tích trên rút ra được hệ thức cơ bản về các dòng điện trong tranzito (hệ thức gần đúng do bỏ qua dòng ngược của J_C) :

$$I_E = I_B + I_C \quad (2.37)$$

Để đánh giá mức hao hụt dòng khuếch tán trong vùng bazơ người ta định nghĩa hệ số truyền đạt dòng điện α của tranzito.

$$\alpha = \frac{I_C}{I_E} \quad (2.38)$$

hệ số α xác định chất lượng của tranzito và có giá trị càng gần 1 với các tranzito loại tốt.

Để đánh giá tác dụng điều khiển của dòng điện I_B tới dòng colectơ I_C , người ta định nghĩa hệ số khuếch đại dòng điện β của tranzito.

$$\beta = \frac{I_C}{I_B} \quad (2.39)$$

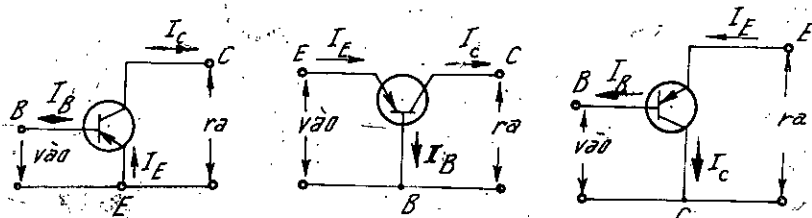
β thường có giá trị trong khoảng vài chục đến vài trăm. Từ các biểu thức (2-37), (2-38), (2-39) có thể suy ra vài hệ thức hay được sử dụng đối với tranzito :

$$I_E = I_B (1 + \beta) \quad (2.40)$$

và
$$\alpha = \frac{\beta}{1 + \beta} \quad (2.41)$$

c) Cách mắc tranzito và tham số ở chế độ tín hiệu nhỏ :

Khi sử dụng về nguyên tắc có thể lấy 2 trong số 3 cực của tranzito là đầu vào và cực thứ 3 còn lại cùng với một cực đầu vào làm đầu ra. Như vậy có tất cả 6 cách mắc mạch khác nhau. Nhưng dù mắc thế nào cũng cần có một cực chung cho cả đầu vào và đầu ra. Trong số 6 cách mắc ấy chỉ có 3 cách là tranzito có thể khuếch đại công suất đó là cách mắc chung emitơ (EC), chung bazơ (BC), chung colectơ (CC) như hình 2.19. Ba cách mắc còn lại không có ứng dụng trong thực tế.



Hình 2.19 : Phương pháp mắc tranzito trong thực tế.
 Từ trái sang phải : Chung emitơ, chung bazơ, chung colectơ.

Từ cách mắc được dùng trong thực tế của tranzito về mặt sơ đồ có thể coi tranzito là một phần tử 4 cực gần tuyến tính có 2 đầu vào và 2 đầu ra (h.2.20).

Có thể viết ra 6 cặp phương trình mô tả quan hệ giữa đầu vào và đầu ra của mạng 4 cực trong đó dòng điện và điện áp là những biến số độc lập. Nhưng trong thực tế tính toán thường dùng nhất là 3 cặp phương trình tuyến tính sau :

Cặp phương trình trở kháng có được khi coi các điện áp là hàm, các dòng điện là biến có dạng sau :

$$\begin{cases} U_1 = f(I_1, I_2) = r_{11} \cdot I_1 + r_{12} \cdot I_2 = \begin{pmatrix} r_{11} & r_{12} \\ r_{21} & r_{22} \end{pmatrix} \begin{pmatrix} I_1 \\ I_2 \end{pmatrix} \\ U_2 = f(I_1, I_2) = r_{21} \cdot I_1 + r_{22} \cdot I_2 \end{cases}$$

Cặp phương trình dẫn nạp có được khi coi các dòng điện là hàm của các biến điện áp :

$$\begin{cases} I_1 = f(U_1, U_2) = g_{11} \cdot U_1 + g_{12} \cdot U_2 = \begin{pmatrix} g_{11} & g_{12} \\ g_{21} & g_{22} \end{pmatrix} \begin{pmatrix} U_1 \\ U_2 \end{pmatrix} \\ I_2 = f(U_1, U_2) = g_{21} \cdot U_1 + g_{22} \cdot U_2 \end{cases}$$

Cặp phương trình hỗn hợp :

$$\begin{cases} U_1 = f(I_1, U_2) = \begin{pmatrix} h_{11} & h_{12} \\ h_{21} & h_{22} \end{pmatrix} \begin{pmatrix} I_1 \\ U_2 \end{pmatrix} \\ U_2 = f(I_1, U_2) = \begin{pmatrix} h_{21} & h_{22} \end{pmatrix} \begin{pmatrix} I_1 \\ U_2 \end{pmatrix} \end{cases}$$

trong đó r_{ij} , g_{ij} và h_{ij} tương ứng là các tham số trở kháng, dẫn nạp và hỗn hợp của tranzito.

Bằng cách lấy vi phân toàn phần các hệ phương trình trên, ta sẽ xác định được các tham số vi phân tương ứng của tranzito. Ví dụ :

$$r_{22} = \left. \frac{\partial U_2}{\partial I_2} \right|_{I_1 = \text{const}} = \frac{1}{h_{22}} \text{ gọi là điện trở ra vi phân} \quad (2-42)$$

$$g_{21} = \left. \frac{\partial I_2}{\partial U_1} \right|_{U_2 = \text{const}} = \frac{1}{r_{12}} = S \text{ được gọi là hổ dẫn truyền đạt} \quad (2-43)$$

$$r_{11} = \left. \frac{\partial U_1}{\partial I_1} \right|_{I_2 = \text{const}} = h_{11} \text{ là điện trở vào vi phân} \quad (2-44)$$

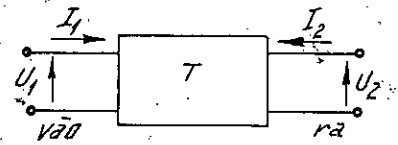
$$h_{21} = \left. \frac{\partial I_2}{\partial I_1} \right|_{U_2 = \text{const}} = \beta \text{ là hệ số khuếch đại dòng điện vi phân} \quad (2-45)$$

Khi xác định đặc tuyến tính (chế độ chưa có tín hiệu đưa tới) của tranzito, dùng hệ phương trình hỗn hợp là thuận tiện vì khi đó dễ dàng xác định các tham số của hệ phương trình này.

d) Đặc tuyến tính dựa vào các hệ phương trình nêu trên có thể đưa ra các tuyến tính của tranzito khi coi một đại lượng là hàm 1 biến còn đại lượng thứ 3 coi như một tham số. Trong trường hợp tổng quát có 4 họ đặc tuyến tính :

$$\text{Đặc tuyến vào} \quad U_1 = f(I_1) \quad \left| \begin{array}{l} U_2 = \text{const} \\ I_2 = \text{const} \end{array} \right.$$

$$\text{Đặc tuyến phản hồi} \quad U_1 = f(U_2) \quad \left| \begin{array}{l} I_1 = \text{const} \\ I_2 = \text{const} \end{array} \right. \quad (2-46)$$



Hình 2.20 : Tranzito như một mạng bốn cực.

Đặc tuyến truyền đạt

$$I_2 = f(I_1) \Big|_{U_2 = \text{const}}$$

Đặc tuyến ra

$$I_2 = f(U_2) \Big|_{I_1 = \text{const}}$$

Tùy theo cách mắc tranzito mà các quan hệ này có tên gọi cụ thể dòng điện và điện áp khác nhau, ví dụ với kiểu mắc EC : đặc tuyến vào là quan hệ $I_B = f(U_{BE}) \Big|_{U_{CE} = \text{const}}$ hay đặc tuyến ra là quan hệ $I_C = f(U_{CE}) \Big|_{I_B = \text{const}}$

Bảng (2.1) dưới đây cho các phương trình của họ đặc tuyến tương ứng suy ra từ hệ phương trình hỗn hợp trong các trường hợp mắc mạch BC, EC và CC.

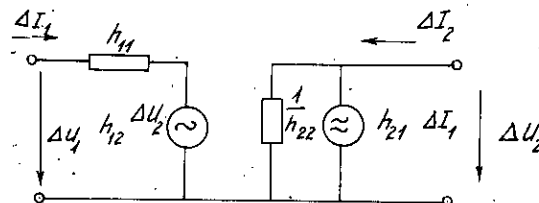
Bảng 2.1. Quan hệ hàm xác định họ đặc tuyến tĩnh của tranzito

Tổng quát	BC	EC	CC
$U_1 = f(I_1) \Big _{U_2 = \text{const}}$	$U_{EB} = f(I_E) \Big _{U_{CB}}$	$U_{BE} = f(I_B) \Big _{U_{CE}}$	$U_{BC} = f(I_B) \Big _{U_{EC}}$
$U_1 = f(U_2) \Big _{I_1 = \text{const}}$	$U_{EB} = f(U_{CB}) \Big _{I_E}$	$U_{BE} = f(U_{CE}) \Big _{I_B}$	$U_{BC} = f(U_{EC}) \Big _{I_B}$
$I_2 = f(I_1) \Big _{U_2 = \text{const}}$	$I_C = f(I_E) \Big _{U_{CB}}$	$I_C = f(I_B) \Big _{U_E}$	$I_E = f(I_B) \Big _{U_{EC}}$
$I_2 = f(U_2) \Big _{I_1 = \text{const}}$	$I_C = f(U_{CB}) \Big _{I_E}$	$I_C = f(U_{CE}) \Big _{I_B}$	$I_E = f(U_{EC}) \Big _{I_B}$

Có thể xây dựng sơ đồ tương đương xoay chiều tín hiệu nhỏ của tranzito theo hệ phương trình tham số hỗn hợp.

$$\begin{cases} \Delta U_1 = h_{11}\Delta I_1 + h_{12}\Delta U_2 \\ \Delta I_2 = h_{21}\Delta I_1 + h_{22}\Delta U_2 \end{cases} \quad (2-47)$$

dạng như trên hình 2.21.



Hình 2.21 : Sơ đồ tương đương mạng 4 cực tuyến tính dựa theo tham số h.

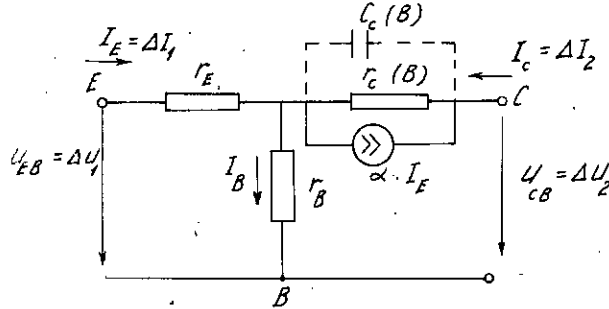
Chú ý : đối với các sơ đồ EC, BC, CC các đại lượng ΔI_1 , ΔU_1 , ΔI_2 , ΔU_2 tương ứng với các dòng vào (ra), điện áp vào (ra) của từng cách mắc. Ngoài ra còn có thể biểu thị sơ đồ tương đương của tranzito theo các tham số vật lý. Ví dụ đối với kiểu mắc BC có sơ đồ hình 2.22

ở đây : - r_E là điện trở vi phân của tiếp giáp emítơ và phân chất bán dẫn làm cực E.

- r_B điện trở khối của vùng bazơ.
- $r_{C(B)}$ điện trở vi phân của tiếp giáp colectơ.
- $C_{c(B)}$ điện dung tiếp giáp colectơ.
- αI_E nguồn dòng tương đương của cực emítơ đưa tới colectơ.

Mối liên hệ giữa các tham số của hai cách biểu diễn trên như sau : Khi $\Delta U_2 = 0$ với mạch đầu vào ta có : $\Delta U_1 = \Delta I_1 [r_E + (1 - \alpha) r_B]$

hay
$$h_{11} = \frac{\Delta U_1}{\Delta I_1} = [r_E + (1 - \alpha)r_B]$$



Hình 2.22 : Sơ đồ tương đương tham số vật lí của tranzito trong sơ đồ mắc BC.

Với mạch đầu ra : $\Delta I_2 = -\alpha \cdot \Delta I_1$ do đó $\alpha = h_{21}$ khi $\Delta I_1 = 0$.

Dòng mạch ra
$$\Delta I_2 = \frac{\Delta U_2}{r_{C(B)} + r_B} \approx \frac{\Delta U_2}{r_{C(B)}}$$
 do đó

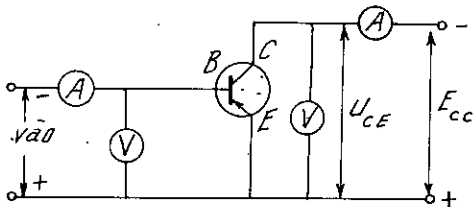
$$h_{22} = \frac{1}{r_{C(B)}}$$

và
$$\begin{cases} \Delta U_1 = \Delta I_2 \cdot r_B \\ \Delta U_2 = \Delta I_2 \cdot r_{C(B)} \end{cases}$$
 nên ta có $h_{12} = \frac{r_B}{r_{C(B)}}$

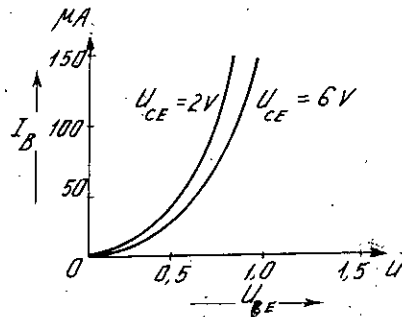
2.2.2. Các dạng mắc mạch cơ bản của tranzito

a - Mạch chung emitor (EC)

Trong cách mắc EC, điện áp vào được mắc giữa cực bazơ và cực emitor, còn điện áp ra lấy từ cực colector và cực emitor. Dòng vào, điện áp vào và dòng điện ra được đo bằng các miliampe kế và vôn kế mắc như hình 2.23. Từ mạch hình 2.23, có thể vẽ được các họ đặc tuyến tính quan trọng nhất của mạch EC :



Hình 2.23 : Sơ đồ tranzito mắc chung emitor dùng để xác định các họ đặc tuyến.

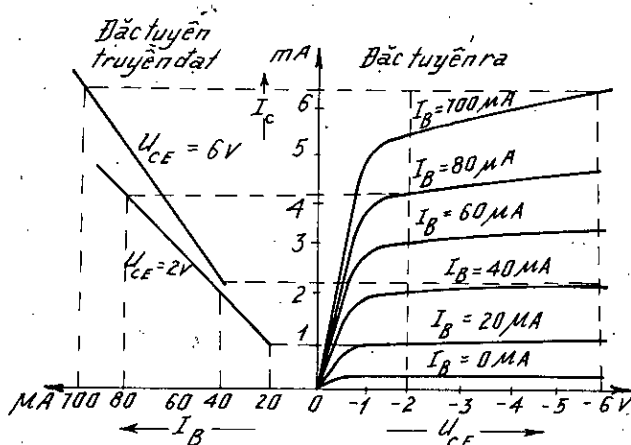


Hình 2.24 : Họ đặc tuyến vào của tranzito mắc chung emitor với các giá trị U_{CE} khác nhau.

Để xác định đặc tuyến vào, cần giữ nguyên điện áp U_{CE} , thay đổi trị số điện áp U_{BE} ghi các trị số I_B tương ứng sau đó dựng đồ thị quan hệ này, sẽ thu được kết quả như hình 2.24. Thay đổi U_{EC} đến 1 giá trị cố định khác và làm lại tương tự sẽ được đường cong thứ hai. Tiếp tục làm như vậy sẽ có một họ đặc tuyến vào của tranzito mắc chung emitor.

Từ hình 2.24, có nhận xét đặc tuyến vào của tranzito mắc chung emitor giống như đặc tuyến của chuyển tiếp p-n phân cực thuận, vì dòng I_B trong trường hợp này là một phần của dòng tổng I_E chảy qua chuyển tiếp emitor phân cực thuận (h.2.23). Ứng với một giá trị U_{CE} nhất định dòng I_B càng nhỏ khi U_{CE} càng lớn vì khi tăng U_{CE} tức là tăng U_{CB} (ở đây các giá trị điện áp là giá trị tuyệt đối) làm cho miền diện tích không gian của chuyển tiếp colectơ rộng ra chủ yếu về phía miền bazơ pha tạp yếu. Điện áp U_{CB} càng lớn thì tỉ lệ hạt dẫn đến colectơ càng lớn, số hạt dẫn bị tái hợp trong miền bazơ và đến cực bazơ để tạo thành dòng bazơ càng ít, do đó dòng bazơ nhỏ đi.

Để vẽ đặc tuyến ra của tranzito mắc CE, cần giữ dòng I_B ở một trị số cố định nào đó, thay đổi điện áp U_{CE} và ghi lại giá trị tương ứng của dòng I_C kết quả vẽ được đường cong sự phụ thuộc của I_C vào U_{CE} ứng với I_B cho trước. Thay đổi I_B đến các giá trị cố định khác và làm tương tự như trên sẽ được một họ đặc tuyến biểu thị quan hệ giữa điện áp ra U_{CE} với dòng I_C khi coi dòng I_B là tham số như hình 2.25. Từ họ đặc tuyến này có nhận xét sau : tại miền khuếch đại độ dốc của đặc tuyến khá lớn vì trong cách mắc này dòng I_E không giữ cố định. Khi tăng U_{CE} độ rộng hiệu



Hình 2.25 : Đặc tuyến ra và đặc tuyến truyền đạt của tranzito mắc chung emitor.

ngột (đường đứt đoạn trên hình 2.25), đó là miền đánh thủng tiếp xúc (điốt) J_c của tranzito. (Tương tự như đặc tuyến ngược của diốt, khi U_{CE} tăng quá lớn tức là điện áp phân cực ngược U_{CB} lớn tới một giá trị nào đó, tại chuyển tiếp colectơ sẽ xảy ra hiện tượng đánh thủng do hiệu ứng thác lũ và hiệu ứng Zener làm dòng I_C tăng đột ngột). Bởi vì khi tranzito làm việc ở điện áp U_{CE} lớn cần có biện pháp hạn chế dòng I_C để phòng tranzito bị phá hủy bởi dòng I_C quá lớn.

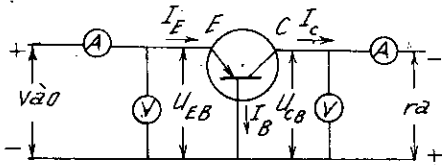
Đặc tuyến truyền đạt biểu thị mối quan hệ giữa dòng ra (I_C) và dòng vào I_B khi U_{CE} cố định. Đặc tuyến này có thể nhận được bằng cách giữ nguyên điện áp U_{CE} , thay đổi dòng bazơ I_B ghi lại các giá trị tương ứng I_C trên trục tọa độ, thay đổi các giá trị của U_{CE} làm tương tự như trên có họ đặc tuyến truyền đạt, cũng có thể suy ra họ đặc tuyến này từ đặc tuyến ra (h. 2.25). Cách làm như sau : Tại vị trí U_{CE}

dùng miền bazơ hẹp lại làm cho hạt dẫn đến colectơ nhiều hơn do đó dòng I_C tăng lên. Khi U_{CE} giảm xuống 0 thì I_C cũng giảm xuống 0 (các đặc tuyến đều qua gốc tọa độ). Sở dĩ như vậy vì điện áp ghi trên trục hoành là $U_{CE} = U_{CB} + U_{BE}$ như vậy tại điểm uốn của đặc tuyến, U_{CB} giảm xuống 0, tiếp tục giảm U_{CE} sẽ làm cho chuyển tiếp colectơ phân cực thuận. Điện áp phân cực này đẩy những hạt dẫn thiểu số tạo thành dòng colectơ quay trở lại miền bazơ, kết quả khi $U_{CE} = 0$ thì I_C cũng bằng 0. Ngược lại nếu tăng U_{CE} lên quá lớn thì dòng I_C sẽ tăng lên đột

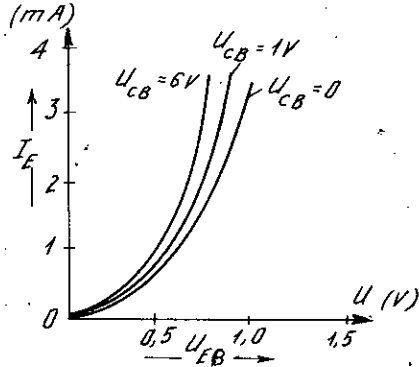
cho trước trên đặc tuyến ra vẽ đường song song với trục tung, đường này cắt họ đặc tuyến ra ở những điểm khác nhau. Tương ứng với các giao điểm này tìm được giá trị I_C . Trên hệ tọa độ I_C, I_B có thể vẽ được những điểm thỏa mãn cặp trị số I_C, I_B vừa tìm được, nối các điểm này với nhau sẽ được đặc tuyến truyền đạt cần tìm.

b - Mạch chung bazơ

Tranzito nối mạch theo kiểu chung bazơ là cực bazơ dùng chung cho cả đầu vào và đầu ra. Tín hiệu vào được đặt giữa hai cực emitơ và bazơ, còn tín hiệu ra lấy từ cực colectơ và bazơ. Để đo điện áp và dòng điện ở đầu ra và đầu vào từ đó xác định các họ đặc tuyến tĩnh cơ bản của tranzito mắc chung bazơ (BC) người ta mắc những von kế và miliampe kế như hình 2.26.



Hình 2.26 : Sơ đồ xác định đặc tuyến của tranzito mắc BC.



Hình 2.27 : Họ đặc tuyến vào chung bazơ.

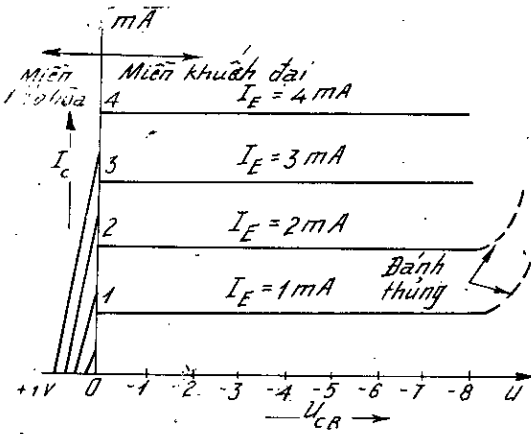
Dựng đặc tuyến vào trong trường hợp này là xác định quan hệ hàm số $I_E = f(U_{EB})$ khi điện áp ra U_{CB} cố định. Muốn vậy cần giữ U_{CB} ở một giá trị không đổi, thay đổi giá trị U_{EB} sau đó ghi lại giá trị dòng I_E tương ứng. Biểu diễn kết quả này trên trục tọa độ $I_E (U_{EB})$ sẽ nhận được đặc tuyến vào ứng với trị U_{CB} đã biết. Thay đổi các giá trị cố định của U_{CB} làm tương tự như trên sẽ được họ đặc tuyến vào như hình 2.27.

Vì chuyển tiếp emitơ luôn luôn phân cực thuận cho nên đặc tuyến vào của mạch chung bazơ cơ bản giống như đặc tuyến thuận của diốt. Qua hình 2.26 còn thấy rằng ứng với điện áp vào U_{EB} cố định dòng vào I_E càng lớn khi điện áp U_{CB} càng lớn, vì điện áp U_{CB} phân cực ngược chuyển tiếp colectơ khi nó tăng lên làm miền điện tích không gian rộng ra, làm cho khoảng cách hiệu dụng giữa chuyển tiếp emitơ và colectơ ngắn lại do đó làm dòng I_E tăng lên.

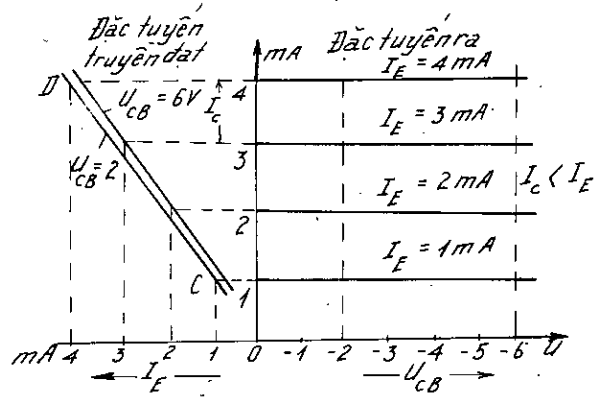
Đặc tuyến ra biểu thị quan hệ $I_C = f(U_{CB})$ khi giữ dòng vào I_E ở một giá trị cố định. Căn cứ vào hình 2.26, giữ dòng I_E ở một giá trị cố định nào đó biến đổi giá trị của U_{CB} ghi lại các giá trị I_C tương ứng, sau đó biểu diễn kết quả trên trục tọa độ $I_C - U_{CB}$ sẽ được đặc tuyến ra. Thay đổi các giá trị I_E sẽ được họ đặc tuyến ra như hình 2.28.

Từ hình 2.28 có nhận xét là đối với I_E cố định, I_C gần bằng I_E . Khi U_{CB} tăng lên I_C chỉ tăng không đáng kể, điều này nói lên rằng hầu hết các hạt dẫn được phun vào miền bazơ từ miền emitơ đều đến được colectơ. Dĩ nhiên dòng I_C bao giờ cũng phải nhỏ hơn dòng I_E . Khi U_{CB} tăng làm cho độ rộng miền điện tích không gian chuyển tiếp colectơ lớn lên, độ rộng hiệu dụng của miền bazơ hẹp lại, số hạt dẫn đến được miền colectơ so với khi U_{CB} nhỏ nhiều hơn, nên dòng I_C lớn lên. Cũng từ hình 2.28 còn nhận xét rằng khác với trường hợp đặc tuyến ra mắc CE khi điện áp ra U_{CB} giảm tới 0, dòng ra I_C vẫn chưa giảm đến 0. Điều này có thể giải thích như sau :

Khi điện áp ngoài U_{CB} giảm đến 0, bản thân chuyển tiếp colectơ vẫn còn điện thế tiếp xúc, chính điện thế tiếp xúc colectơ đã cuốn những hạt dẫn từ bazơ sang colectơ làm cho dòng I_C tiếp tục chảy. Để làm dừng hẳn I_C thì chuyển tiếp colectơ phải được phân cực thuận với giá trị nhỏ nhất là bằng điện thế tiếp xúc, khi ấy điện thế trên chuyển tiếp colectơ sẽ bằng 0 hoặc dương lên, làm cho các hạt dẫn từ bazơ không thể sang được colectơ ($I_C = 0$).



Hình 2.28 : Đặc tuyến ra tranzito mắc chung bazơ.



Hình 2.29 : Đặc tuyến truyền đạt được suy ra từ đặc tuyến ra của tranzito mắc BC.

Miền đặc tuyến trong đó chuyển tiếp colectơ phân cực thuận gọi là miền bão hòa.

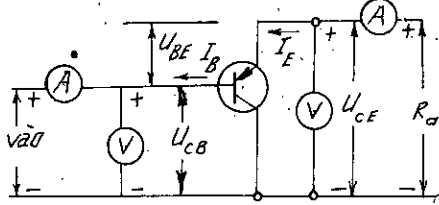
Nếu tăng điện áp ngược U_{CB} đến một giá trị nhất định nào đó (gọi là điện áp đánh thủng) dòng I_C tăng lên đột ngột có thể dẫn đến làm hỏng tranzito. Hiện tượng đánh thủng này do một trong hai nguyên nhân : Hoặc là do hiệu ứng thác lũ hoặc hiệu ứng Zener như trường hợp diốt, hoặc do hiện tượng xuyên thủng (do điện áp ngược U_{CB} lớn làm miền điện tích không gian của chuyển tiếp colectơ mở rộng ra tới mức tiếp xúc với miền điện tích không gian chuyển tiếp emitơ, kết quả làm dòng I_C tăng lên đột ngột).

Đặc tuyến truyền đạt chỉ rõ quan hệ hàm số giữa dòng ra và dòng vào $I_C = f(I_E)$ khi điện áp ra giữ cố định. Để vẽ đặc tuyến này có thể làm bằng 2 cách : hoặc bằng thực nghiệm áp dụng sơ đồ (h.2.25), giữ nguyên điện áp U_{CB} thay đổi dòng vào I_E , ghi lại các kết quả tương ứng dòng I_C , sau đó biểu diễn các kết quả thu được trên tọa độ $I_C - I_E$ sẽ được đặc tuyến truyền đạt. Thay đổi giá trị cố định U_{CB} sẽ được họ đặc tuyến truyền đạt như hình 2.29. Hoặc bằng cách suy ra từ đặc tuyến ra : từ điểm U_{CB} cho trước trên đặc tuyến ta kẻ đường song song với trục tung, đường này sẽ cắt họ đặc tuyến ra tại các điểm ứng với I_E khác nhau. Từ các giao điểm này có thể tìm được trên trục tung các giá trị I_C tương ứng. Căn cứ vào các cặp giá trị I_E, I_C này có thể vẽ đặc tuyến truyền đạt ứng với một điện áp U_{CB} cho trước, làm tương tự với các giá trị U_{CB} khác nhau sẽ được họ đặc tuyến truyền đạt như hình 2.29.

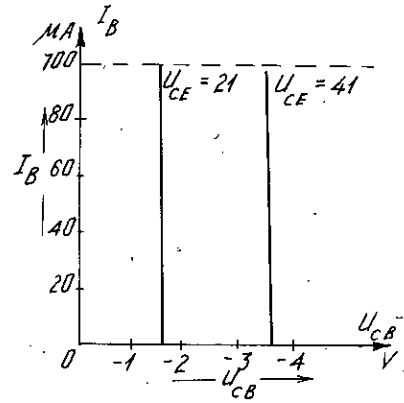
c - Mạch chung colectơ (CC)

Mạch chung colectơ có dạng hình 2.30, cực colectơ được dùng chung cho đầu vào và đầu ra.

Để đo điện áp vào, dòng vào, dòng ra qua đó xác định các đặc tuyến tính cơ bản của mạch CC dùng các von kế và miliampe kế được mắc như hình 2.30.



Hình 2.30 : Sơ đồ xác định các đặc tuyến tính của tranzito khi tranzito mắc CC.

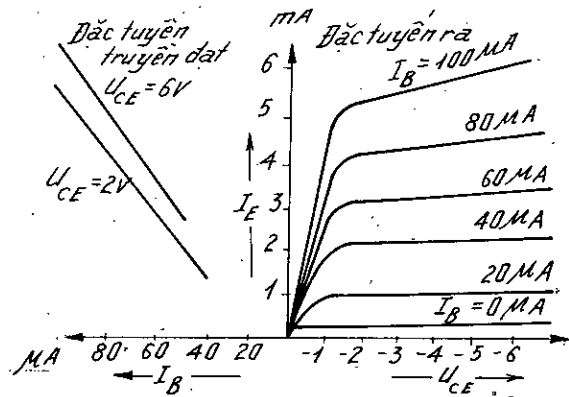


Hình 2.31 : Họ đặc tuyến vào của tranzito mắc CC.

Đặc tuyến vào của mạch chung colectơ (CC) $I_B = f(U_{CB})$ khi điện áp ra U_{CE} không đổi có dạng như hình 2.31 nó có dạng khác hẳn so với các đặc tuyến vào của hai cách mắc mạch EC và BC xét trước đây. Đó là vì trong kiểu mắc mạch này điện áp vào U_{CB} phụ thuộc rất nhiều vào điện áp ra U_{CE} (khi làm việc ở chế độ khuếch đại điện áp U_{BE} đối với tranzito silic luôn giữ khoảng 0,7V, còn tranzito Gecmani vào khoảng 0,3V trong khi đó điện áp U_{CE} biến đổi trong khoảng rộng). Ví dụ trên hình 2.31 hãy xét trường hợp $U_{EC} = 2V$ tại $I_B = 100\mu A$
 $U_{CB} = U_{CE} - U_{BE} = 2V - 0,7V = 1,3V$

Khi điện áp vào U_{CB} tăng điện áp U_{BE} giảm làm cho I_B cũng giảm.

Đặc tuyến ra của tranzito mắc CC mô tả quan hệ giữa dòng I_E và điện áp U_{CE} khi dòng vào I_B không đổi. Đặc tuyến truyền đạt trong trường hợp này mô tả quan hệ giữa dòng ra I_E và dòng vào I_B khi điện áp U_{CE} không đổi. Trong thực tế có thể coi $I_C \approx I_E$ cho nên đặc tuyến ra và đặc tuyến truyền đạt (trường hợp mắc chung colectơ) tương tự như trường hợp mắc chung emitor (h.2.32).



Hình 2.32 : Họ đặc tuyến ra và họ đặc tuyến truyền đạt của tranzito mắc CC.

2.2.3. phân cực và ổn định nhiệt điểm công tác của tranzito

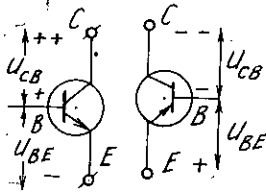
a - Nguyên tắc chung phân cực tranzito

Muốn tranzito làm việc như một phần tử tích cực thì các tham số của tranzito phải thỏa mãn điều kiện thích hợp. Những tham số này của tranzito như ở mục trước đã biết, phụ thuộc rất nhiều vào điện áp phân cực các chuyển tiếp colectơ và emitor. Nói một cách khác các giá trị tham số phụ thuộc vào điểm công tác của tranzito. Một cách tổng quát, dù tranzito được mắc mạch theo kiểu nào, muốn nó làm việc ở chế độ khuếch đại cần có các điều kiện sau :

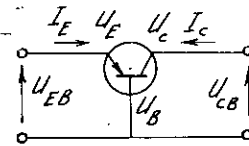
- Chuyển tiếp emitor - bazơ luôn phân cực thuận.
- Chuyển tiếp colectơ - bazơ luôn phân cực ngược.

Có thể minh họa điều này qua ví dụ xét tranzito, loại pnp(h.2.33). Nếu gọi U_E , U_B , U_C lần lượt là điện thế của cực emitơ, bazơ, colectơ, căn cứ vào các điều kiện phân cực kể trên thì giữa các điện thế này phải thỏa mãn điều kiện :

$$U_E > U_B > U_C \quad (2-48)$$



Hình 2.33 : Nguyên lý phân cực tổng quát tranzito.



Hình 2.34 : Điện áp và dòng phân cực tranzito mắc BC.

Hãy xét điều kiện phân cực cho từng loại mạch.

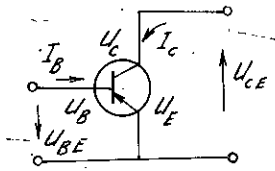
- Từ mạch chung bazơ hình 2.34 với chiều mũi tên là hướng dương của điện áp và dòng điện, có thể xác định được cực tính của điện áp và dòng điện các cực khi tranzito mắc CB như sau :

$$\begin{aligned} U_{EB} &= U_E - U_B > 0 & I_E &> 0 \\ U_{CB} &= U_C - U_B < 0 & I_C &< 0 \end{aligned} \quad (2-49)$$

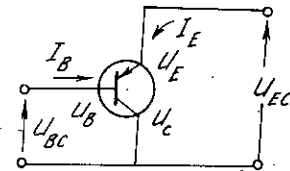
Căn cứ vào điều kiện (2-48) điện áp U_{CB} âm, dòng I_C cũng âm có nghĩa là hướng thực tế của điện áp và dòng điện này ngược với hướng mũi tên trên hình 2.34.

- Từ mạch chung emitơ hình 2.35, lý luận tương tự như trên, có thể xác định được cực tính của điện áp và dòng điện các cực như sau :

$$\begin{aligned} U_{BE} &= U_B - U_E < 0 & I_B &< 0 \\ U_{CE} &= U_C - U_E < 0 & I_C &< 0 \end{aligned} \quad (2-50)$$



Hình 2.35 : Điện áp và dòng phân cực tranzito mắc EC.



Hình 2.36 : Điện áp và dòng điện phân cực tranzito mắc CC.

- Với mạch chung colectơ hình 2.36, căn cứ vào chiều quy định trên sơ đồ và điều kiện 2-48 có thể viết :

$$\begin{aligned} U_{BC} &= U_B - U_C > 0 & I_B &< 0 \\ U_{CE} &= U_E - U_C < 0 & I_E &< 0 \end{aligned} \quad (2-51)$$

Đối với tranzito npn điều kiện phân cực để nó làm việc ở chế độ khuếch đại là

$$U_E < U_B < U_C \quad (2-52)$$

Từ bất đẳng thức (2-52) có thể thấy rằng hướng dòng điện và điện áp thực tế trong tranzito npn ngược với tranzito pnp.

b - Đường tải tĩnh và điểm công tác tĩnh

Đường tải tĩnh được vẽ trên đặc tuyến ra tĩnh của tranzito để nghiên cứu dòng điện và điện áp khi nó mắc trong mạch cụ thể nào đó (khi có tải). Điểm công tác (hay còn gọi là điểm tĩnh, điểm phân cực) là điểm nằm trên đường tải tĩnh xác định dòng điện và điện áp trên tranzito khi không có tín hiệu đặt vào, nghĩa là xác định điều kiện phân cực tĩnh cho tranzito.

Để hiểu rõ về đường tải tĩnh và điểm công tác tĩnh, ta xét trường hợp tranzito loại npn mắc chung emitor như hình 2.37. Phương trình quan hệ dòng và áp ở mạch có dạng :

$$U_{CE} = E_{CC} - I_C R_t \quad (2-53)$$

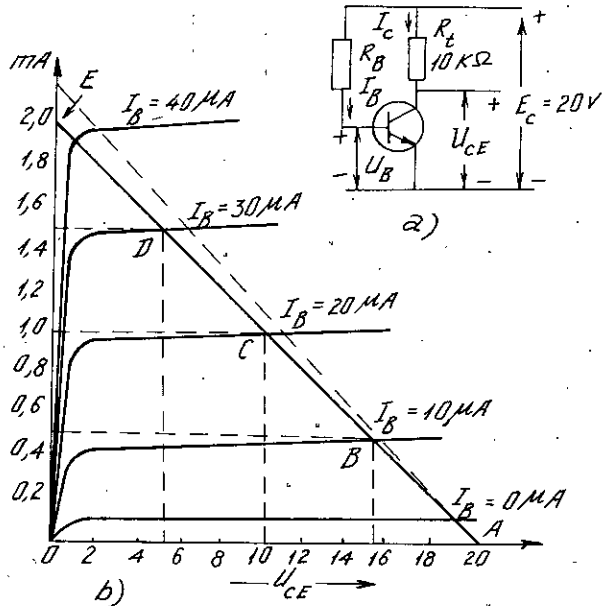
Nếu như điện áp phân cực U_{BE} làm cho tranzito khóa, khi ấy $I_C = 0$ và $U_{CE} = E_{CC} - (0 \cdot R_t) = E_{CC} = 20V$. Như vậy điểm có tọa độ ($I_C = 0, U_{CE} = 20V$) là điểm A trên đặc tuyến ra. Giả thiết rằng U_{BE} tăng làm cho tranzito mở và $I_C = 0,5mA$ khi ấy $U_{CE} = 20V - 0,5mA \cdot 10k\Omega = 20V - 5V = 15V$, trên đặc tuyến ra đó là điểm B có tọa độ ($0,5mA ; 15V$) bằng cách tăng U_{BE} , làm tương tự như trên có thể vẽ được ví dụ các điểm ứng với tọa độ sau :

- Điểm C ứng với $I_C = 1mA ; U_{CE} = 10V$
- Điểm D ứng với $I_C = 1,5mA ; U_{CE} = 5V$
- Điểm E ứng với $I_C = 2mA ; U_{CE} = 0V$.

Nối các điểm trên đây với nhau ta sẽ được một đường thẳng đó là đường tải tĩnh với $R_t = 10k\Omega$.

Có thể vẽ được bằng cách chọn 2 điểm đặc biệt, điểm cắt trục tung $E(U_{CE} = 0 ; I_C = U_{CC}/R_t = 2mA)$ và điểm cắt trục hoành A ($U_{CE} = U_{CC} = 20V ; I_C = 0V$).

Qua những điểm phân tích trên thấy rằng đường tải chính là đồ thị biến thiên của dòng I_C theo điện áp U_{CE} ứng với điện trở tải R_t và điện áp nguồn E_{CC} nhất định. Trong 3 giá trị I_C, I_B và U_{CE} chỉ cần biết một rồi căn cứ vào từng giá trị tải xác định hai giá trị còn lại. Cần nhấn mạnh là đường tải vẽ ở trường hợp trên chỉ đúng trong trường hợp $E_{CC} = 20V$ và $R_t = 10k\Omega$. Khi thay đổi các điều kiện này phải vẽ đường tải khác.



Hình 2.37 : Vẽ đường tải tĩnh
a) Sơ đồ mạch chung emitor có tải ;
b) Đặc tuyến ra tĩnh và đường tải tĩnh.

Khi thiết kế mạch, điểm công tác tĩnh là điểm được chọn trên đường tải tĩnh. Như trên đã nói, điểm này xác định giá trị dòng I_C và điện áp U_{CE} khi không có tín hiệu đặt vào. Khi có tín hiệu đặt vào, dòng I_B biến đổi theo sự biến đổi của biên độ tín hiệu, dẫn tới dòng I_C biến đổi, kết quả là điện áp ra trên tải biến đổi giống như quy luật biến đổi của tín hiệu đầu vào.

Với sơ đồ nguyên lý như hình 2.37a trên đường tải tĩnh $10k\Omega$ giả thiết chọn điểm công tác tĩnh Q như hình 2.38. Ứng với điểm Q này $I_B = 20\mu A$; $I_C = 1mA$; $U_{CE} = 10V$.

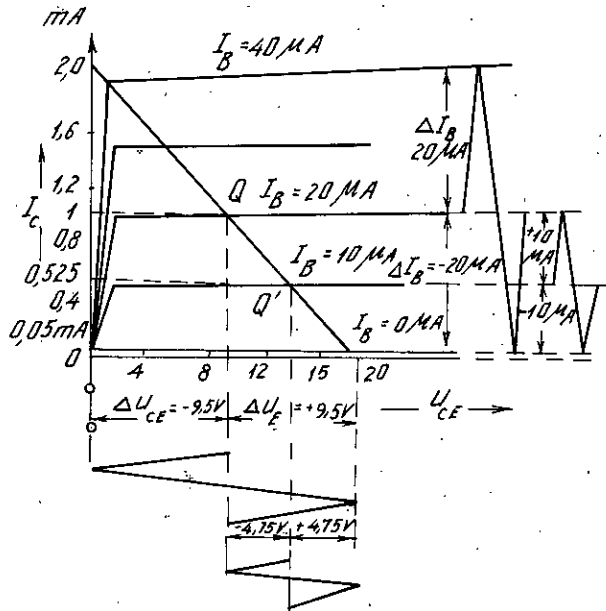
Khi I_B tăng từ $20\mu A$ đến $40\mu A$, trên hình 2.38 thấy I_C có giá trị bằng $1,95mA$ và $U_{CE} = U_{CC} - I_C R_t = 20V - 1,95mA \cdot 10k\Omega = 0,5V$. Có thể thấy rằng khi $\Delta I_B = +20\mu A$ dẫn tới $\Delta U_{CE} = -9,5V$. Khi I_B giảm từ $20\mu A$ xuống 0 thì I_C giảm xuống chỉ còn $0,05mA$ và $U_{CE} = 20V - (0,05mA \cdot 10k\Omega) = 19,5V$, tức là khi I_B giảm đi một lượng là $\Delta I_B = 20\mu A$ làm cho U_C tăng lên một lượng $\Delta U_C = +9,5V$.

Tóm lại, nếu chọn điểm công tác tĩnh Q như trên thì ở đầu ra của mạch có thể nhận được sự biến đổi cực đại điện áp $\Delta U_{CE} = \pm 9,5V$. Nếu chọn điểm công tác tĩnh khác. Ví dụ Q' tại đó có $I_C = 0,525mA$; $U_{CE} = 14,75V$. Tính toán tương tự như trên ta có $\Delta I_B = \pm 10\mu A$ và $\Delta U_C = \pm 4,75V$. Nghĩa là biên độ biến đổi cực đại của điện áp ra đảm bảo không méo dạng lúc này chỉ là $\pm 4,75V$.

Như vậy việc chọn điểm công tác tĩnh trên hoặc dưới điểm Q sẽ dẫn tới biến thiên cực đại của điện áp ra trên tải (đảm bảo không méo dạng) đều nhỏ hơn $9,5V$, hay để có biên độ điện áp ra cực đại, không làm méo dạng tín hiệu, điểm công tác tĩnh phải chọn ở giữa đường tải tĩnh. Cũng cần nói thêm là khi điện áp ra không yêu cầu nghiêm ngặt về độ méo thì điểm công tác tĩnh có thể chọn ở những điểm thích hợp trên đường tải.

c - Ổn định điểm công tác tĩnh khi nhiệt độ thay đổi.

Tranzito là một linh kiện rất nhạy cảm với nhiệt độ vì vậy trong những sơ tay hướng dẫn sử dụng người ta thường cho dải nhiệt độ làm việc cực đại của tranzito. Ngoài giới hạn nhiệt độ kể trên tranzito sẽ bị hỏng hoặc không làm việc. Ngay cả trong khoảng nhiệt độ cho phép tranzito làm việc bình thường thì sự biến thiên nhiệt độ cũng ảnh hưởng đến tham số của tranzito. Hai đại lượng nhạy cảm với nhiệt độ nhất là điện áp emítơ-bazơ U_{BE} và dòng ngược I_{CBo} (xem phần 2.1). Ví dụ đối với tranzito silic, hệ số nhiệt độ của U_{BE} ($\Delta U_{BE}/\Delta T$) là $-2,2mV/^\circ C$, còn đối với tranzito gecmani là $-1,8mV/^\circ C$. Đối với I_{CBo} nói chung khi nhiệt độ tăng lên $10^\circ C$ giá trị dòng ngược này tăng lên hai lần.



Hình 2.38 : Chọn điểm công tác tĩnh.

Khi tranzito làm việc, dòng ngược I_{cBo} chảy qua chuyển tiếp này như đã biết rất nhạy cảm với nhiệt độ, khi nhiệt độ tăng sự phát xạ cặp điện tử, lỗ trống tăng, dòng I_{cBo} tăng, từ quan hệ giữa I_{cBo} và I_c đã nêu ở phần trước :

$$I_c = I_B + (\alpha + 1)I_{cBo}$$

Có thể thấy rằng I_{cBo} tăng làm cho I_c tăng (dù cho giả thiết rằng I_B và α không đổi). Dòng I_c tăng nghĩa là mật độ các hạt dẫn qua chuyển tiếp colectơ tăng lên làm cho sự va chạm giữa các hạt với mạng tinh thể tăng. Nhiệt độ tăng làm cho I_{cBo} tăng chu kì lại lặp lại như trên làm dòng I_c và nhiệt độ của tranzito tăng mãi. Hiện tượng này gọi là hiệu ứng quá nhiệt. Hiệu ứng quá nhiệt đưa tới : Làm thay đổi điểm công tác tĩnh và nếu không có biện pháp hạn chế thì sự tăng nhiệt độ có thể làm hỏng tranzito. Sự thay đổi nhiệt độ cũng làm cho U_{BE} thay đổi và do đó làm thay đổi dòng I_c dẫn tới thay đổi điểm công tác tĩnh. Trong những điều kiện thông thường ảnh hưởng của dòng I_{cBo} đến I_c nhiều hơn so với U_{BE} . Bởi vậy khi nói ảnh hưởng của nhiệt độ đến điểm công tác thường chỉ quan tâm đến dòng I_{cBo} . Như vậy sự ổn định nhiệt độ ở đây hàm ý chỉ sự thay đổi dòng I_c khi dòng I_{cBo} thay đổi có thể định nghĩa hệ số ổn định nhiệt của tranzito như sau :

$$S = \frac{\Delta I_c}{\Delta I_{cBo}} \quad (2-54)$$

Trong đó : $I_c = h_{21e} I_B + (1 + h_{21e}) I_{cBo} \quad (2-55)$

Từ định nghĩa này thấy rằng S càng nhỏ thì tính ổn định nhiệt càng cao, trong trường hợp lí tưởng $S = 0$, (trong thực tế không có sự ổn định nhiệt độ tuyệt đối).

Để xác định hệ số ổn định nhiệt S với một sơ đồ tranzito cho trước, giả thiết do nhiệt độ thay đổi, dòng I_{cBo} biến đổi một lượng là ΔI_{cBo} I_B biến đổi một lượng là ΔI_B và I_c biến đổi một lượng là ΔI_c

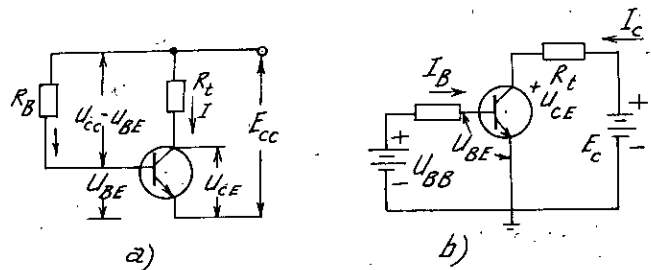
Qua một số biến đổi từ biểu thức (2-55) ta có :

$$S = \frac{\Delta I_c}{\Delta I_{cBo}} = \frac{h_{21e} + 1}{1 - h_{21e}(\Delta I_B / \Delta I_c)} \quad (2-56)$$

Khi biết các giá số dòng điện căn cứ vào (2-56) có thể tính được hệ số ổn định nhiệt. Biểu thức (2-56) là biểu thức tổng quát để tính hệ số ổn định nhiệt độ chung cho các loại mắc mạch.

d - Phân cực tranzito bằng dòng cố định

Nếu tranzito được mắc như hình 2.39, dòng I_B từ nguồn một chiều cung cấp cho tranzito sẽ không đổi, bởi vậy người ta gọi điều kiện phân cực này là phân cực bằng dòng không đổi. Có thể có hai cách tạo ra dòng cố định, trường hợp thứ nhất như hình 2.39a dùng một nguồn một chiều E_{cc} . Dòng I_B được cố định bằng E_{cc} và R_B . Từ hình 2.39a tính được :



Hình 2.39 : Mạch phân cực dòng không đổi.
a) Mạch một nguồn ; b) Mạch hai nguồn.

$$I_B = \frac{E_{cc} - U_{BE}}{R_B} \quad (2-57)$$

Trường hợp thứ hai như hình 2.39b người ta dùng hai nguồn một chiều. Hai mạch này hoàn toàn tương đương nhau. Nếu $E_{cc} = U_{BB}$ thì hình 2.39b có thể thay bằng hình 2.39a.

Căn cứ vào sơ đồ nguyên lí hình 2.39a, có thể suy ra những biểu thức cho việc tính toán thiết kế mạch phân cực dòng cố định áp dụng định luật Kiếckhốp (Kirchhoff) cho vòng mạch bazơ và chú ý rằng ở đây $U_{BB} = E_{cc}$ có thể viết

$$E_{cc} = I_B \cdot R_B + U_{BE} \quad (2-58)$$

Khi làm việc chuyển tiếp emitơ luôn phân cực thuận cho nên U_{BE} thường rất nhỏ (từ 0,2V đến 0,7V) và trong biểu thức (2-58) có thể bỏ qua, như vậy có thể viết :

$$E_{cc} = I_B \cdot R_B \quad (2-59)$$

và
$$I_B \approx \frac{E_{cc}}{R_B} \quad (2-60)$$

trong mạch colectơ có thể viết :

$$E_{cc} = I_C R_t + U_{CE} \quad (2-61)$$

Biểu thức (2-61) thường gọi là phương trình đường tải, ở đây giá trị E_{cc} và R_t cố định, từ (2-61) có thể thấy rằng I_C tăng thì U_{CE} giảm và ngược lại I_C giảm thì U_{CE} tăng.

Từ các biểu thức trên có thể tính được điều kiện phân cực tĩnh khi biết hệ số khuếch đại dòng tĩnh h_{21e} và giá trị các phần tử của mạch.

Bây giờ xét tới tính ổn định nhiệt của loại sơ đồ phân cực hình 2.39. Như đã biết theo kiểu mắc mạch này thì I_B luôn luôn không đổi cho nên :

$$\frac{\Delta I_B}{\Delta I_C} = 0 \quad (2-62)$$

Từ đẳng thức (2-62) tính được hệ số ổn định nhiệt bằng

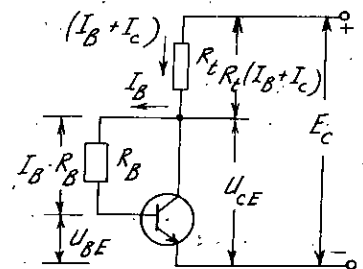
$$S = h_{21c} + 1 \quad (2-63)$$

Từ biểu thức (2-63), rút ra kết luận sau :

Sơ đồ phân cực tranzito bằng dòng cố định có hệ số ổn định nhiệt S phụ thuộc vào hệ số khuếch đại dòng tĩnh h_{21e} , nghĩa là khi dùng loại mạch này muốn thay đổi độ ổn định nhiệt chỉ có một cách là thay đổi tranzito hơn nữa vì h_{21e} của tranzito thường lớn cho nên hệ số S của loại mạch này lớn và do đó độ ổn định nhiệt kém. Trong thực tế cách phân cực cho tranzito như hình 2.39 chỉ dùng khi yêu cầu ổn định nhiệt không cao.

e - Phân cực cho tranzito bằng điện áp phản hồi (phân cực colectơ - bazơ)

Ở trên đã biết mạch phân cực tranzito bằng dòng ổn định có độ ổn định nhiệt không cao, ngoài ra khi dòng I_C tăng làm điện áp U_{CE} giảm. Có thể lợi dụng hiện tượng này làm cho dòng I_B giảm do đó ổn định được dòng I_C . Thật vậy dòng I_C phụ thuộc vào hai yếu tố I_{cBo} và I_B do ảnh hưởng của nhiệt độ dòng I_{cBo} tăng lên khiến I_C cũng tăng lên. Nhưng nếu lợi dụng sự tăng của dòng I_C này làm giảm dòng I_B khiến dòng I_C giảm bớt thì kết quả là dòng I_C trở lại giá trị ban đầu.



Hình 2.40 : Phân cực bằng điện áp phản hồi điện áp colectơ-bazơ.

Việc mắc tranzito như hình 2.40 sẽ thỏa mãn điều kiện trên. Cách phân cực tranzito như vậy gọi là phân cực bằng colectơ. Như thấy trên sơ đồ, điện trở R_B được nối trực tiếp giữa cực colectơ và cực bazơ. Sự khác nhau cơ bản giữa mạch phân cực bằng điện áp phản hồi và bằng dòng phân cực cố định là : trong mạch phân cực bằng điện áp phản hồi bao hàm cơ chế dòng I_B cảm biến theo điện áp (hoặc dòng điện) ở mạch ra, còn trong mạch phân cực dòng cố định thì không có điều này. Điểm công tác tĩnh được xác định như sau :

Từ hình 2.40, quan hệ điện áp trong mạch ra có dạng :

$$E_{cc} = (I_c + I_B) R_t + U_{cE} \quad (2-64)$$

còn quan hệ điện áp trong mạch bazơ có thể viết ở dạng :

$$E_{cc} = (I_c + I_B) R_t + I_B R_B + U_{BE} \quad (2-65)$$

Nếu coi U_{BE} nhỏ, có thể bỏ qua thì

$$E_{cc} = (I_c + I_B) R_t + I_B R_B \quad (2-66)$$

Từ 2-64 và 2-66 có thể suy ra :

$$U_{cE} \approx I_B R_B \quad (2-67)$$

Thay $I_c = h_{21e} I_B$ vào biểu thức (2-66) ta tìm được

$$E_{cc} = (h_{21e} + 1) I_B R_t + I_B R_B \quad (2-68)$$

rút ra :

$$I_{BQ} = \frac{E_{cc}}{(h_{21e} + 1) R_t + R_B} \quad (2-69)$$

Sau đó tính dòng colectơ ứng với điểm công tác tĩnh Q

$$I_{cQ} = h_{21e} I_{BQ} \quad (2-70)$$

Và điện áp giữa colectơ và emitơ ứng với điểm công tác tĩnh Q căn cứ vào (2-67) tính được :

$$U_{cEQ} = I_{BQ} R_B \quad (2-71)$$

Nếu biết h_{21e} của tranzito có thể áp dụng biểu thức (2-70) và (2-71) tính được điều kiện phân cực tĩnh tranzito.

Bây giờ hãy xác định đặc tính ổn định nhiệt độ của mạch phân cực dùng điện áp phản hồi.

Từ biểu thức (2-66), tìm được :

$$I_B = \frac{E_{cc}}{R_B + R_c} - I_c \frac{R_t}{R_B + R_t} \quad (2-72)$$

Lấy vi phân biểu thức (2-72) theo I_c được :

$$\frac{dI_B}{dI_c} = - \frac{R_t}{R_B + R_t} \quad (2-73)$$

Thay biểu thức (2-73) vào (2-56), được :

$$S = \frac{h_{21e} + 1}{1 + [h_{21e} R_t (R_B + R_t)]} \quad (2-74)$$

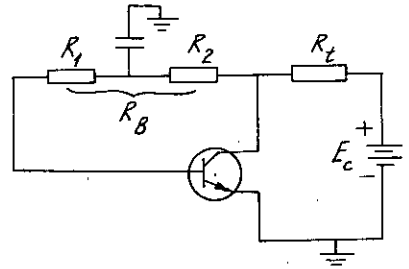
Có thể biến đổi (2-74) về dạng thuận lợi cho việc tính toán hơn.

$$S = \frac{(h_{21e} + 1)(R_B + R_t)}{(h_{21e} + 1)R_t + R_B} \quad (2-75)$$

Từ biểu thức (2-75) có nhận xét rằng hệ số ổn định nhiệt S trong mạch phân cực bằng điện áp phản hồi không cố định mà phụ thuộc vào giá trị các điện trở R_B và R_t . Trong trường hợp $R_B \ll R_t$ thì S gần tới 1 đơn vị, điều này nói lên rằng dù có mạnh R_B thì hệ số ổn định nhiệt độ S không giảm xuống nhỏ hơn 1.

Điện áp phản hồi âm qua điện trở R_B trong mạch phân cực làm tăng độ ổn định nhiệt đồng thời lại làm giảm hệ số khuếch đại tín hiệu xoay chiều (xem mục 2.3). Như trên đã nói để tăng tính ổn định nhiệt độ, phải giảm điện trở R_B nhưng khi đó hệ số khuếch đại của mạch cũng giảm đi, ở đây có mâu thuẫn giữa độ ổn định nhiệt của mạch và hệ số khuếch đại.

Có một cách cho phép đạt được độ ổn định nhiệt cao mà không phải trả giá về hệ số khuếch đại đó là cách mắc mạch như hình 2.41. Điện trở R_B trong trường hợp này được chia làm hai phần R_1 và R_2 , điểm nối 2 điện trở này được nối với đất qua tụ C . Đối với điện áp và dòng 1 chiều thì tụ C coi như hở mạch do đó không ảnh hưởng gì đến chế độ 1 chiều. Ngược lại với tín hiệu xoay chiều thì tụ C coi như ngắn mạch xuống đất không cho phản hồi trở lại đầu vào.



Hình 2.41 : Phương pháp loại trừ phản hồi xoay chiều trong mạch phân cực bằng điện áp phản hồi.

Qua phân tích trên thấy rằng mạch phân cực điện áp phản hồi có độ ổn định nhiệt độ tốt hơn mạch phân cực dòng cố định, tuy nhiên hai mạch phân cực này không thể tăng độ ổn định nhiệt độ lên cao vì điểm công tác tĩnh và độ ổn định nhiệt độ của mạch phụ thuộc lẫn nhau, đó chính là một nhược điểm là khó khăn cho vấn đề thiết kế loại mạch này.

g. Phân cực tranzito bằng dòng emito (tụ phân cực)

Mạch phân cực tranzito bằng dòng emito có dạng như hình 2.42. Điện trở R_1 , R_2 tạo thành một bộ phân áp cố định tạo U_B đặt vào bazơ tranzito từ điện áp nguồn E_{cc} . Điện trở R_E mắc nối tiếp với cực emito của tranzito có điện áp rơi trên nó là $U_E = I_E R_E$. Mặt khác căn cứ vào hình 2.42 có $U_E = U_B - U_{BE}$.

vậy :
$$I_E = (U_B - U_{BE})/R_E \quad (2-76)$$

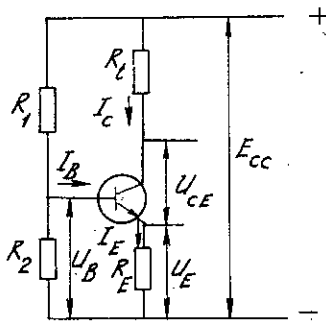
Nếu thỏa mãn điều kiện
$$U_B \geq U_{BE} \text{ thì } I_E \approx U_B/R_E \quad (2-77)$$

và rất ổn định. Để tiện cho việc phân tích tiếp theo có thể vẽ sơ đồ tương đương của hình 2.42 như hình 2.43 bằng cách áp dụng định lý Tevenin trong đó :

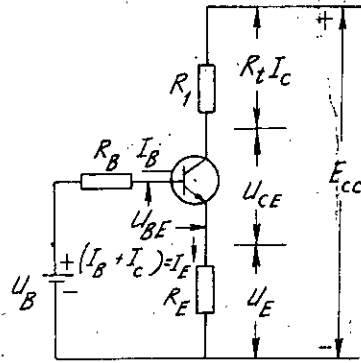
$$R_B = \frac{R_1 \cdot R_2}{R_1 + R_2} \quad (2-78)$$

$$U_B = \frac{R_2 \cdot E_{cc}}{R_1 + R_2} \quad (2-79)$$

Vấn đề cần chú ý ở đây là phải chọn R_1 và R_2 thế nào để đảm bảo cho U_B ổn định. Từ hình 2.42 thấy rõ cần chọn R_1 và R_2 sao cho R_B không lớn hơn nhiều so



Hình 2.42 : Sơ đồ nguyên lý mạch phân cực bằng dòng emitor (tự phân cực).



Hình 2.43 : Sơ đồ tương đương tĩnh của mạch hình 2.42.

với \$R_E\$, nếu không thì sự phân cực của mạch lại tương tự như trường hợp phân cực dòng cố định. Để có \$U_B\$ ổn định cần chọn \$R_1\$ và \$R_2\$ chọn càng nhỏ càng tốt, nhưng để đảm bảo cho điện trở vào của mạch đủ lớn thì \$R_1\$ và \$R_2\$ lại chọn càng lớn càng tốt. Để dung hòa giữa hai yêu cầu mâu thuẫn này trong thực tế thường chọn \$R_B = R_E\$.

Căn cứ vào sơ đồ tương đương (h.2.43) để phân tích mạch phân cực dòng emitor. Tổng điện áp rơi trên mạch bazơ bằng

$$U_B = I_B R_B + U_{BE} + (I_C + I_B) R_E \quad (2-80)$$

Trong đó đã thay \$I_E = I_C + I_B\$ nếu như biết \$h_{21e}\$ có thể biến đổi (2-80) thành

$$U_B = I_B [R_B + (h_{21e} + 1) R_E] + U_{BE} + I_{co} (h_{21e} + 1) \cdot R_E \quad (2-81)$$

Trước khi phân tích hãy chú ý là điện áp \$U_{BE}\$ trong trường hợp phân cực này không thể bỏ qua như những trường hợp khác. Trong quá trình làm việc chuyển tiếp emitor luôn phân cực thuận cho nên tổng điện áp một chiều ở đầu vào của mạch này là \$U_B\$. Trong hầu hết các trường hợp \$U_B\$ nhỏ hơn \$E_{CC}\$ nhiều lần. Trước đây có thể bỏ qua \$U_{BE}\$ vì nó quá nhỏ so với \$E_{CC}\$, nhưng trong trường hợp này \$U_{BE}\$ có độ lớn vào cỡ \$U_B\$ cho nên không thể bỏ qua được. Số hạng cuối cùng trong (2-81) chứa \$I_{co}\$ thường được bỏ qua vì trong thực tế dòng ngược này rất nhỏ (với tranzito silic dòng này chỉ có vài nano ampe).

Cũng từ sơ đồ tương đương hình 2.43 có điện áp giữa emitor và đất bằng \$I_E \cdot R_E\$. Dòng emitor \$I_E = I_C + I_B = (h_{21e} + 1) I_B\$ (bỏ qua dòng ngược \$I_{co}\$). Như vậy điện áp giữa emitor và đất có thể viết \$U_E = (h_{21e} + 1) I_B \cdot R_E\$. Đại lượng \$(h_{21e} + 1)\$ là đại lượng không thứ nguyên nên nó có thể liên hệ với \$I_B\$ tạo thành dòng \$(h_{21e} + 1) I_B\$ hoặc liên hợp với \$R_E\$ để tạo thành điện trở \$(h_{21e} + 1) R_E\$ hoặc liên hợp với \$R_E\$ để tạo thành điện trở \$(h_{21e} + 1) R_E\$. Nếu quan niệm như vậy thì có thể nói rằng điện áp giữa emitor và đất là điện áp do dòng \$(h_{21e} + 1) I_B\$ rơi trên điện trở \$R_E\$ hay do dòng \$I_B\$ rơi trên điện trở \$(h_{21e} + 1) R_E\$.

Nếu thành phần điện áp gây ra bởi \$I_{co}\$ trong biểu thức (2-81) có thể bỏ qua thì biểu thức này có thể minh họa bằng sơ đồ tương đương hình 2.44. Ở đây, điện trở \$R_E\$ trong nhánh emitor biến thành điện trở \$(h_{21e} + 1) R_E\$ trong mạch bazơ. Một cách tổng quát, bất kì một điện kháng nào trong mạch emitor đều có thể biến đổi sang mạch bazơ bằng cách nhân nó với \$(h_{21e} + 1)\$.

Từ hình 2.44 và biểu thức (2-81) có thể tìm được dòng bazơ tại điểm phân cực.

$$I_{BQ} = \frac{U_B - U_{BE}}{R_B + (h_{21e} + 1)R_E} \quad (2-82)$$

Từ đó tính ra được

$$I_{cQ} = h_{21e} I_{BQ} \quad (2-83)$$

Từ sơ đồ tương đương hình 2.44 trong mạch colector có thể viết :

$$E_{cc} = I_c R_t + U_E + I_E R_E \quad (2-84)$$

$$\text{Nếu thay } I_E = I_c + I_B \quad (2-85)$$

vào (2-84) sẽ được :

$$E_{cc} = I_c (R_t + R_E) + U_{cE} + I_B R_E \quad (2-86)$$

Biết rằng I_c thường lớn hơn I_B rất nhiều lần cho nên ở đây có thể bỏ qua thành phần điện áp do I_B gây ra trên R_E . Như vậy (2-86) được viết thành :

$$E_{cc} = (R_t + R_E) \times I_c + U_{cE} \quad (2-87)$$

Biểu thức (2-87) chính là biểu thức đường tải tĩnh của mạch phân cực bằng dòng emitơ. Nếu dòng I_{cQ} và U_{cEQ} là dòng điện và điện áp ứng với điểm công tác tĩnh thì có thể viết lại (2-87) thành dạng

$$U_{cEQ} = E_{cc} - (R_t + R_E) I_{cQ} \quad (2-88)$$

Căn cứ vào biểu thức (2-88) có thể tính được điều kiện phân cực tĩnh của tranzito khi biết hệ số khuếch đại h_{21e} và loại tranzito.

Sau đây xét độ ổn định nhiệt của mạch phân cực bằng dòng emitơ, có thể viết lại (2-80) ở dạng :

$$I_c = \frac{U_B - U_{BE} - I_B (R_B + R_E)}{R_E}$$

$$\text{Do đó} \quad I_B = \frac{U_B - U_{BE}}{R_B + R_E} - I_c \frac{R_B}{R_B + R_E} \quad (2-89)$$

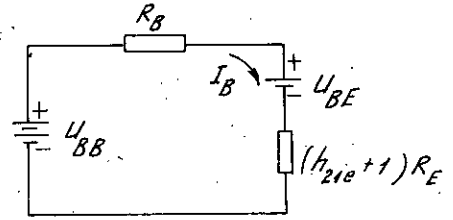
Lấy đạo hàm riêng biểu thức này theo I_c và một lần nữa chú ý rằng U_{BE} không đổi sẽ được :

$$\frac{I_B}{I_E} = - \frac{R_E}{R_B + R_E} = - \frac{1}{k_2} \quad (2-90)$$

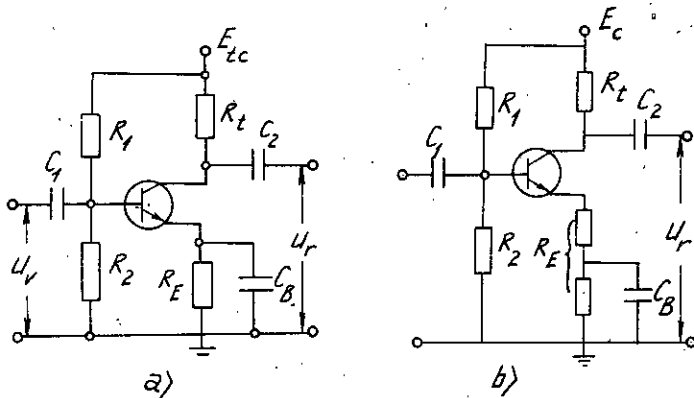
Theo định nghĩa của hệ số ổn định nhiệt thì trong trường hợp này :

$$S = \frac{h_{21e} + 1}{1 + (h_{21e} / k_2)} \quad (2-91)$$

Từ (2-91) thấy rằng hệ số ổn định nhiệt tiến tới cực tiểu (độ ổn định cao nhất) khi k_2 có giá trị nhỏ nhất. Điều ấy có nghĩa là để cho mạch ổn định, phải thiết kế sao cho R_E có giá trị càng lớn càng tốt, và giá trị R_B càng nhỏ càng tốt. Hệ số k_2 không bao giờ nhỏ hơn 1, giá trị này chỉ dẫn tới 1 (ứng với trường hợp R_E rất lớn và R_B rất nhỏ) từ đó suy ra rằng hệ số ổn định S chỉ có thể giảm nhỏ tới giới hạn



Hình 2.44 : Sơ đồ tương đương mạch bazơ của sơ đồ hình 2.43.



Hình 2.45 : Dùng tụ phân mạch để ngăn hồi tiếp âm xoay chiều trên điện trở R_E
 a) Ngăn mạch hoàn toàn ; b) Ngăn mạch một phần.

là 1. Một nhận xét quan trọng nữa là hệ số ổn định S không phụ thuộc vào R_1 nghĩa là không phụ thuộc vào điểm công tác.

Ở trên đã nói tới vấn đề nâng cao độ ổn định nhiệt của loại mạch này bằng cách tăng R_E và giảm R_B . Bản chất của sự ổn định nhiệt trong loại mạch này chính là dòng phản hồi âm qua điện trở R_E . Tăng R_E có nghĩa là tăng phản hồi âm do đó làm giảm tín hiệu khuếch đại xoay chiều của mạch. Để khắc phục mâu thuẫn này thực tế có thể dùng hai loại mạch mắc như hình 2.45a, b. Dùng kiểu mạch này có thể loại trừ hoặc giảm nhỏ tác dụng phản hồi âm đối với tín hiệu xoay chiều (xem phần 2.3), do đó không làm giảm hệ số khuếch đại tín hiệu xoay chiều của mạch. Giá trị C_E phân mạch ở đây phải chọn đủ lớn sao cho đối với tín hiệu xoay chiều thì trở kháng của nó gần như bằng 0, ngược lại đối với dòng một chiều thì coi như hở mạch.

Thực tế thường gặp trường hợp phải thiết kế mạch phân cực khi biết các điều kiện phân cực cũng như hệ số khuếch đại của tranzito.

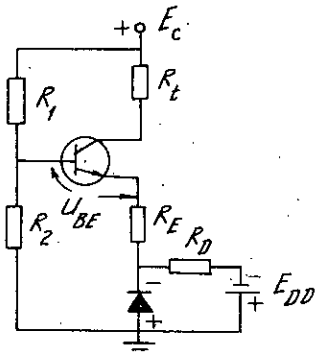
Ở những phần trên mới chỉ xét ảnh hưởng của nhiệt độ đến dòng I_{co} . Sau đây sẽ trình bày ảnh hưởng của nhiệt độ đến dòng U_{BE} và hệ số khuếch đại h_{21e} . Đối với cả hai loại tranzito, làm từ silic và gecmani, khi nhiệt độ tăng U_{BE} giảm, còn h_{21e} lại tăng. Ảnh hưởng của nhiệt độ đến các tham số của tranzito silic công tác trong khoảng nhiệt độ từ -65°C đến $+175^\circ\text{C}$ còn tranzito thì từ -63°C đến $+75^\circ\text{C}$. Sự khác nhau nữa là trị số I_{co} và U_{BE} của tranzito silic và tranzito gecmani biến thiên ngược nhau khi nhiệt độ thay đổi. Bảng (2-4) liệt kê những giá trị điển hình của I_{co} , U_{BE} và h_{21e} của tranzito silic và gecmani ở những nhiệt độ khác nhau.

Bảng 2-4

Giá trị điển hình của một số tham số chịu ảnh hưởng nhiều của nhiệt độ

Vật liệu làm tranzito	$I_{co}(A)$	$U_{BE}(V)$	h_{21e}	$t, ^\circ\text{C}$
Si	10^{-6}	0,8	20	-6,5
Ge	10^{-3}	0,4	15	-6,5
Si	10^{-2}	0,6	50	+25
Ge	1	0,2	50	+25
Si	30	0,25	100	+175
Ge	30	0,51	95	+75

Từ bảng 2-4 có nhận xét : Ở nhiệt độ phòng đối với tranzito silic I_{CO} chỉ cỡ nano ampe, cho nên nếu nó thay đổi thì cũng không gây ảnh hưởng đáng kể đến I_C và ảnh



Hình 2.46 : Sơ đồ dùng diốt để bù nhiệt của U_{BE} .

hưởng của nhiệt độ đến điểm công tác tĩnh của tranzito chủ yếu thông qua U_{BE} . Để khắc phục ảnh hưởng này trên thực tế thường mắc nối tiếp emitor một diốt silic phân cực thuận có chiều ngược với chuyển tiếp emitor như hình 2.46. Bằng cách mắc như vậy có thể thấy rằng sự thay đổi điện áp thuận trên 2 cực diốt có thể bù trừ sự biến đổi U_{BE} của tranzito do nhiệt độ gây ra. Diốt bù nhiệt ở sơ đồ này luôn được phân cực thuận bởi nguồn E_{DD} cho nên điện trở thuận của nó rất nhỏ. Sơ đồ này hoàn toàn tương đương với sơ đồ phân cực bằng dòng emitor đã xét ở phần trên. Đối với tranzito gecmani thì ngược lại, tại nhiệt độ phòng I_{CO} khá lớn cho nên khi nhiệt độ thay đổi ảnh hưởng của dòng I_{CO} đến tham số của tranzito chiếm ưu thế. Để ổn định nhiệt cho sơ đồ, người thiết kế phải chú ý chủ yếu đến việc giảm hệ số ổn định nhiệt độ S.

Qua bảng (2-4) trên đây có thể thấy rằng hệ số khuếch đại dòng h_{21e} phụ thuộc rất nhiều vào nhiệt độ. Hơn nữa ngay ở cùng một nhiệt độ, tranzito có cùng loại ký hiệu được chế tạo như nhau) nhưng hệ số h_{21e} của từng chiếc có thể hơn kém nhau vài ba lần. Như đã biết hệ số h_{21e} ảnh hưởng nhiều đến điểm công tác tĩnh của tranzito. Bởi vậy để ổn định điểm công tác tĩnh, người thiết kế phải chú ý đến sự thay đổi hệ số h_{21e} có thể có của loại tranzito dùng trong mạch điện. Để định lượng sự phụ thuộc của I_C vào h_{21e} , giả thiết rằng các giá trị của U_{CC} và R_1 đã biết hệ số khuếch đại dòng của tranzito biến thiên từ h_{21e1} đến h_{21e2} bỏ qua I_{CO} (gọi I_{c1} là dòng ứng với trường hợp hệ số khuếch đại h_{21e1} và I_{c2} ứng với h_{21e2}) tính được :

$$I_{c1} = h_{21e1} \frac{U_B - U_{BE}}{R_B + (h_{21e1} + 1)R_E} \quad (2-92)$$

$$I_{c2} = h_{21e2} \frac{U_B - U_{BE}}{R_B + (h_{21e2} + 1)R_E} \quad (2-93)$$

Lấy hiệu số của (2-92) và (2-93), được :

$$I_C = \frac{(U_B - U_{BE})(h_{21e2} - h_{21e1})(R_B + R_E)}{[R_B + (h_{21e1} + 1)R_E][R_B + (h_{21e2} + 1)R_E]} \quad (2-94)$$

Dem chia biểu thức (2-94) cho (2-92) sẽ được biểu thức cho sự biến thiên tương đối của dòng I_C .

$$\frac{I_C}{I_{c1}} = \frac{h_{21e1} - h_{21e2}}{h_{21e1} \left(1 + \frac{h_{21e1} \cdot R_E}{R_B + R_E}\right)} \quad (2-95)$$

Nhận xét biểu thức (2-95) thấy nó có chứa số hạng gần giống như biểu thức định nghĩa về độ ổn định S ; có thể biến đổi về phải của (2-95) thành :

$$\frac{I_C}{I_{c1}} = \frac{h_{21e2} - h_{21e1}}{h_{21e1}(h_{21e2} + 1)} \cdot \frac{h_{21e2} + 1}{(1 + h_{21e2})K} \quad (2-96)$$

Nếu gọi S_2 là độ ổn định nhiệt độ khi $h_{21e} = h_{21e1}$, thì (2-95) có thể viết thành :

$$\frac{I_c}{I_{c1}} = \frac{\Delta h_{21e} \cdot S_2}{h_{21e1} (h_{21e1} + 1)} \quad (2-97)$$

Trong đó $\Delta h_{21e} = (h_{21e2} - h_{21e1})$ thường gọi là độ sai lệch của h_{21e} .

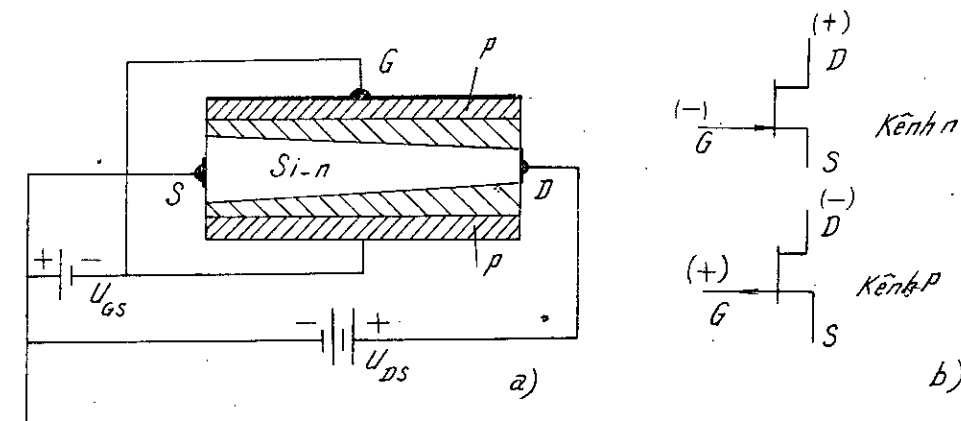
Biểu thức (2-97) cho thấy sự biến đổi dòng colectơ phụ thuộc trực tiếp vào độ sai lệch hệ số khuếch đại h_{21e} kể trên. Ngoài ra biểu thức này còn cho phép người thiết kế tính được giá trị của điện trở cần thiết giữ cho dòng I_c biến đổi trong một phạm vi nhất định khi h_{21e} thay đổi.

2.2.4. Tranzito trường (FET)

Khác với tranzito lưỡng cực đã xét ở phần trên mà đặc điểm chủ yếu là dòng điện trong chúng do cả hai loại hạt dẫn (điện tử và lỗ trống tự do) tạo nên, qua một hệ thống gồm hai mặt ghép p-n rất gần nhau điều khiển thích hợp, tranzito trường (còn gọi là tranzito đơn cực FET) hoạt động dựa trên nguyên lý hiệu ứng trường, điều khiển độ dẫn điện của đơn tinh thể bán dẫn nhờ tác dụng của 1 điện trường ngoài. Dòng điện trong FET chỉ do một loại hạt dẫn tạo ra. Công nghệ bán dẫn, vi điện tử càng tiến bộ, FET càng tỏ rõ nhiều ưu điểm quan trọng trên hai mặt xử lý gia công tín hiệu với độ tin cậy cao và mức tiêu hao năng lượng cực bé. Phần này sẽ trình bày tóm tắt những đặc điểm quan trọng nhất của FET về cấu tạo, nguyên lý hoạt động và các tham số đặc trưng đối với hai nhóm chủng loại : FET có cực cửa là tiếp giáp p-n (JFET) và FET có cực cửa cách li (MOSFET hay IGFET).

a - Tranzito trường có cực cửa tiếp giáp (JFET)

- Cấu tạo và kí hiệu quy ước :



Hình 2.47: a) Cấu tạo JFET và cách phân cực bằng trường ngoài
b) Kí hiệu quy ước với JFET với hai loại kênh dẫn n và kênh dẫn p.

Hình 2.47a đưa ra một cấu trúc JFET kiểu kênh n : trên đế tinh thể bán dẫn Si-n người ta tạo xung quanh nó 1 lớp bán dẫn p (có tạp chất nồng độ cao hơn so với đế) và đưa ra 3 điện cực là cực nguồn S (Source), cực máng D (Dreïn) và cực cửa G (Gate). Như vậy hình thành 1 kênh dẫn điện loại n nối giữa hai cực D và S, cách li với cực cửa G (dùng làm điện cực điều khiển) bởi 1 lớp tiếp xúc p-n bao quanh kênh

dẫn. Hoàn toàn tương tự, nếu xuất phát từ đế bán dẫn loại p, ta có loại JFET kênh p với các kí hiệu quy ước phân biệt cho trên hình 2.47b.

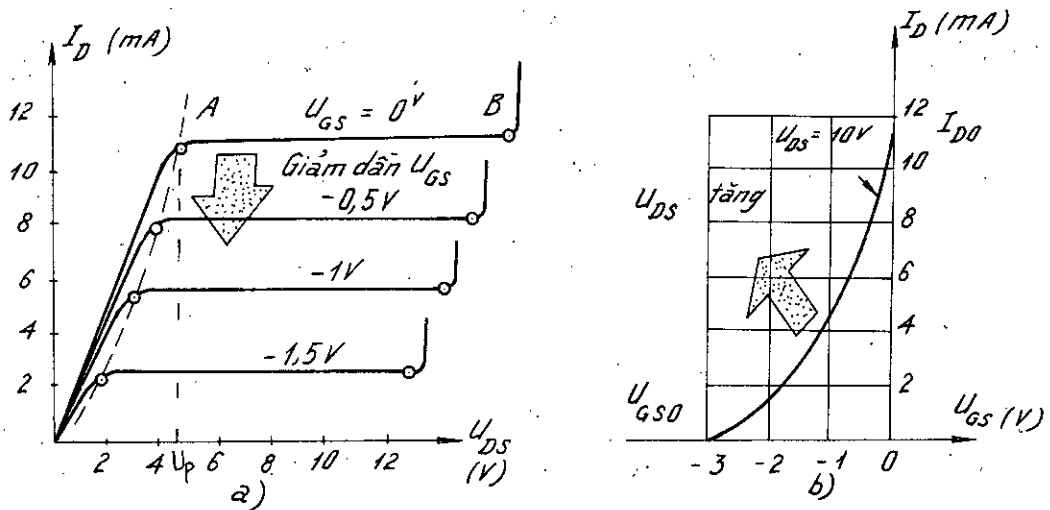
- Nguyên lí hoạt động : Để phân cực JFET, người ta dùng hai nguồn điện áp ngoài là $U_{DS} > 0$ và $U_{GS} < 0$ như hình vẽ (với loại kênh P, các chiều điện áp phân cực sẽ ngược lại, sao cho tiếp giáp p-n bao quanh kênh dẫn luôn được phân cực ngược). Do tác dụng của các điện trường này, trên kênh dẫn xuất hiện 1 dòng điện (là dòng điện tử với kênh n) hướng từ cực D tới cực S gọi là dòng điện cực máng I_D . Dòng I_D có độ lớn tùy thuộc vào các giá trị U_{DS} và U_{GS} vì độ dẫn điện của kênh phụ thuộc mạnh vào cả hai điện trường này. Nếu xét riêng sự phụ thuộc của I_D vào từng điện áp khi giữ cho điện áp còn lại không đổi (coi là một tham số) ta nhận được hai quan hệ hàm quan trọng nhất của JFET là :

$$I_D = f_1(U_{DS}) \quad | \quad U_{GS} = \text{const}$$

$$I_D = f_2(U_{GS}) \quad | \quad U_{DS} = \text{const}$$

Biểu diễn f_1 ứng với vài giá trị không đổi của U_{GS} ta thu được họ đặc tuyến ra của JFET.

Đường biểu diễn f_2 ứng với một số giá trị không đổi của U_{DS} cho ta họ đặc tuyến truyền đạt của JFET. Dạng điển hình của các họ đặc tuyến này được cho trên hình 2.48 a và b.



Hình 2.48 : a) Họ đặc-tuyến ra của JFET
b) Đặc tuyến truyền đạt ứng với giá trị $U_{DS} = 10V$.

Đặc tuyến ra của JFET chia làm 3 vùng rõ rệt :

- Vùng gần gốc, khi U_{DS} nhỏ, I_D tăng mạnh tuyến tính theo U_{DS} và ít phụ thuộc vào U_{GS} . Đây là vùng làm việc ở đó JFET giống như một điện trở thuần cho tới lúc đường cong bị uốn mạnh (điểm A trên hình 2.48 a ứng với đường $U_{GS} = 0V$).

- Vùng ngoài điểm A được gọi là vùng thối (vùng bão hòa) khi U_{DS} đủ lớn, I_D phụ thuộc rất yếu vào U_{DS} mà phụ thuộc mạnh vào U_{GS} . Đây là vùng ở đó JFET làm việc như một phần tử khuếch đại, dòng I_D được điều khiển bằng điện áp U_{GS} . Quan hệ này đúng cho tới điểm B.

• Vùng ngoài điểm B gọi là vùng đánh thủng, khi U_{DS} có giá trị khá lớn, I_D tăng đột biến do tiếp giáp p-n bị đánh thủng thác lú xảy ra tại khu vực gần cực D do điện áp ngược đặt lên tiếp giáp p-n tại vùng này là lớn nhất.

Qua đồ thị đặc tuyến ra, ta rút ra mấy nhận xét sau :

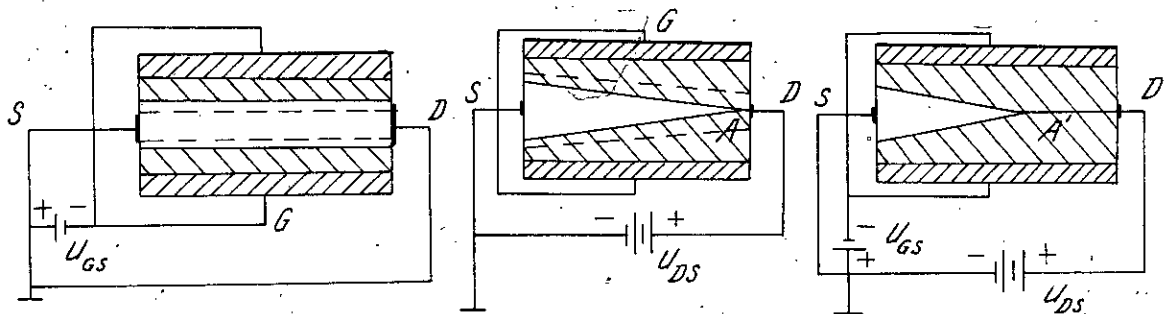
• Khi đặt trị số U_{GS} âm dần, điểm uốn A xác định ranh giới hai vùng tuyến tính và bão hòa dịch dần về phía gốc tọa độ. Hoành độ điểm A (ứng với 1 trị số nhất định của U_{GS}) cho xác định 1 giá trị điện áp gọi là điện áp bão hòa cực máng U_{DS0} (còn gọi là điện áp tắt kênh). Khi $|U_{GS}|$ tăng, U_{DS0} giảm.

• Tương tự với điểm B : ứng với các giá trị U_{GS} âm hơn, việc đánh thủng tiếp giáp p-n xảy ra sớm hơn, với những giá trị U_{DS} nhỏ hơn.

Đặc tuyến truyền đạt của JFET (h.2.48b) giống hệt đặc tuyến anot-lưới của đèn 5 cực chân không, xuất phát từ 1 giá trị U_{GS0} , tại đó $I_D = 0$, gọi là điện áp khóa (còn kí hiệu là U_p). Độ lớn U_{GS0} bằng U_{DS0} , ứng với đường $U_{GS} = 0$ trên họ đặc tuyến ra. Khi tăng U_{GS} , I_D tăng gần như tỉ lệ do độ dẫn điện của kênh tăng theo mức độ giảm phân cực ngược của tiếp giáp p-n. Lúc $U_{GS} = 0$, $I_D = I_{D0}$. Giá trị I_{D0} là dòng tĩnh cực máng khi không có điện áp cực cửa. Khi có $U_{GS} < 0$, $I_D < I_{D0}$ và được xác định bởi [4]

$$I_D = I_{D0} \cdot \left(1 - \frac{U_{GS}}{U_{GS0}}\right)^2 \quad (2-98a)$$

Có thể giải thích tóm tắt các đặc tuyến của JFET bằng giản đồ cấu tạo hình 2.49 trong 3 trường hợp khác nhau ứng với các giá trị của U_{GS} và U_{DS} .



Hình 2.49 : Giải thích vật lý đặc tuyến của JFET.

Khi U_{GS} có giá trị âm tăng dần và $U_{DS} = 0$, bề rộng vùng nghèo của chuyển tiếp p-n rộng dần ra, chủ yếu về phía kênh dẫn n vì tạp chất pha yếu hơn nhiều so với vùng p, làm kênh dẫn bị thắt lại đều dọc theo phương DS (h. 2.49a). Ngược lại khi cho $U_{GS} = 0$ và tăng dần giá trị của điện áp máng nguồn U_{DS} , kênh bị co lại không đều và có hình phễu, phía cực D thắt mạnh hơn do phân bố trường dọc theo kênh từ D tới S, cho tới lúc $U_{DS} = U_{DS0}$ kênh bị thắt lại tại điểm A. Sau đó, tăng U_{DS} làm điểm thắt A dịch dần về phía cực S (h.2.49b). Quá trình trên sẽ xảy ra sớm hơn khi có thêm $U_{GS} < 0$ như hình 2.49c làm giá trị điện áp tắt kênh giảm nhỏ. Rõ ràng độ dẫn điện của kênh dẫn phụ thuộc cả hai điện áp U_{GS} và U_{DS} , còn sau khi có hiện tượng tắt kênh, dòng cực máng do các hạt dẫn (điện tử) phun từ kênh qua tiếp giáp

p-n tới cực máng phụ thuộc yếu vào U_{DS} và phụ thuộc chủ yếu vào tác dụng điều khiển của U_{GS} tới chuyển tiếp p-n phân cực ngược, qua đó tới dòng điện cực máng I_D .

- Các tham số chủ yếu của JFET gồm hai nhóm :

Tham số giới hạn gồm có :

- Dòng cực máng cực đại cho phép I_{Dmax} là dòng điện ứng với điểm B trên đặc tuyến ra (đường ứng với giá trị $U_{GS} = 0$) ; Giá trị I_{Dmax} , khoảng $\leq 50mA$;

- Điện áp máng - nguồn cực đại cho phép và điện áp của nguồn U_{GSmax}

$$U_{DSmax} = U_B / (1,2 \div 1,5) \text{ (cỡ vài chục Vôn)}$$

ở đây U_B là điện áp máng nguồn ứng với điểm B.

- Điện áp khóa U_{GS0} (hay U_p) (bằng giá trị U_{DS0} ứng với đường $U_{GS} = 0$)

Tham số làm việc gồm có :

- Điện trở trong hay điện trở vi phân đầu ra $r_i = \left. \frac{\partial U_{DS}}{\partial I_D} \right|_{U_{GS} = \text{const}}$ (cỡ 0,5 M Ω) r_i thể hiện độ dốc của đặc tuyến ra trong vùng bão hòa.

- Hồ dẫn của đặc tuyến truyền đạt :

$$S = \left. \frac{\partial I_D}{\partial U_{GS}} \right|_{U_{DS} = \text{const}}$$

cho biết tác dụng điều khiển của điện áp cực cửa tới dòng cực máng, giá trị điển hình với JFET hiện nay là $S = (7 \div 10) mA/V$.

Cần chú ý giá trị hồ dẫn S đạt cực đại $S = S_0$ lúc giá trị điện áp U_{GS} lân cận điểm 0. (xem dạng đặc tuyến truyền đạt của JFET hình 2.48b) và được tính bởi $S_0 = 2I_{D0}/U_{GS0}$ [6].

- Điện trở vi phân đầu vào :

$$r_{vào} = \frac{\partial U_{GS}}{\partial I_G}$$

$r_{vào}$ do tiếp giáp p-n quyết định, có giá trị khoảng $10^9 \Omega$.

- Ở tần số làm việc cao, người ta còn quan tâm tới điện dung giữa các cực C_{DS} và C_{GD} (cỡ pF).

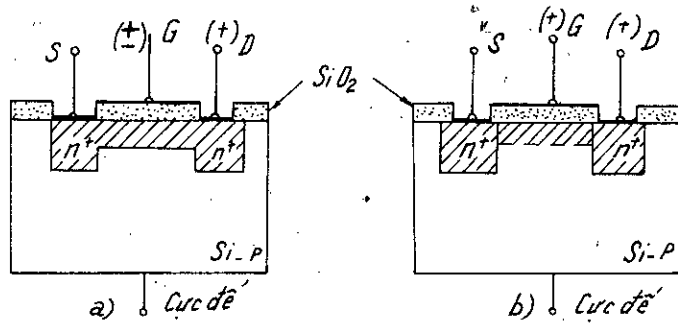
b - Tranzito trường có cực cửa cách li (MOSFET)

- Cấu tạo và kí hiệu quy ước :

Đặc điểm cấu tạo của MOSFET có hai loại cơ bản được thể hiện trên hình 2.50 a và b.

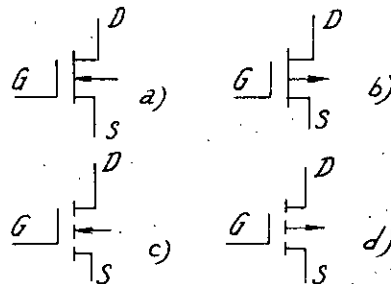
Kí hiệu quy ước của MOSFET trong các mạch điện tử được cho trên hình 2.51 a, b, c và d.

Trên nền đế là đơn tinh thể bán dẫn tạp chất loại p (Si-p), người ta pha tạp chất bằng phương pháp công nghệ đặc biệt (plana, Epitaxi hay khuếch tán ion) để tạo ra 2 vùng bán dẫn loại n+ (nồng độ pha tạp cao hơn so với đế) và lấy ra hai điện cực là D và S. Hai vùng này được nối thông với nhau nhờ một kênh dẫn điện loại n có thể hình thành ngay trong quá trình chế tạo (loại kênh đặt sẵn hình 2.50a) hay chỉ



Hình 2.50 : Cấu tạo của MOSFET
a) Loại kênh đặt sẵn ; b) Loại kênh cảm ứng.

hình thành sau khi đã có 1 điện trường ngoài (lúc làm việc trong mạch điện) tác động (loại kênh cảm ứng - hình 2.50 b). Tại phần đối diện với kênh dẫn, người ta tạo ra điện cực thứ ba là cực cửa G sau khi đã phủ lên bề mặt kênh 1 lớp cách điện mỏng SiO_2 . Từ đó MOSFET còn có tên là loại FET có cực cửa cách li (IGFET). Kênh dẫn được cách li với đế nhờ tiếp giáp pn thường được phân cực ngược nhờ 1 điện áp phụ đưa tới cực thứ 4 là cực đế.



Hình 2.51 : Ký hiệu quy ước của MOSFET
a) Loại kênh n đặt sẵn ; b) Loại kênh p đặt sẵn ;
c) Loại kênh n cảm ứng ; d) Loại kênh p cảm ứng.

- Nguyên lý hoạt động và đặc tuyến Von-Ampe.

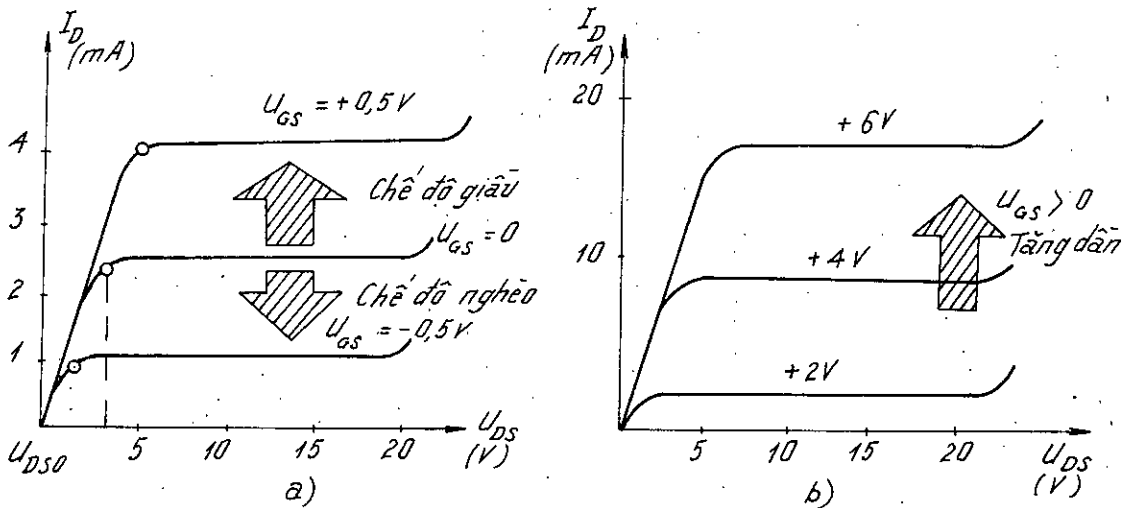
Để phân cực MOSFET người ta đặt 1 điện áp $U_{DS} > 0$. Cần phân biệt hai trường hợp :

Với loại kênh đặt sẵn, xuất hiện dòng điện tử trên kênh dẫn nối giữa S và D và trong mạch ngoài có dòng cực máng I_D (chiều đi vào cực D), ngay cả khi chưa có điện áp đặt vào cực cửa ($U_{GS} = 0$).

Nếu đặt lên cực cửa điện áp $U_{GS} > 0$, điện tử tự do có trong vùng đế (là hạt thiếu số) được hút vào vùng kênh dẫn đối diện với cực cửa làm giảm hạt dẫn cho kênh, tức là làm giảm điện trở của kênh, do đó làm tăng dòng cực máng I_D . Chế độ làm việc này được gọi là chế độ giàu của MOSFET.

Nếu đặt tới cực của điện áp $U_{GS} < 0$, quá trình trên sẽ ngược lại, làm kênh dẫn bị nghèo đi do các hạt dẫn (là điện tử) bị đẩy xa khỏi kênh. Điện trở kênh dẫn tăng tùy theo mức độ tăng của U_{GS} theo chiều âm sẽ làm giảm dòng I_D . Đây là chế độ nghèo của MOSFET.

Nếu xác định quan hệ hàm số $I_D = f_3(U_{DS})$, lấy với những giá trị khác nhau của U_{GS} bằng lí thuyết thay thực nghiệm, ta thu được họ đặc tuyến ra của MOSFET loại kênh n đặt sẵn như trên hình vẽ 2.52a.



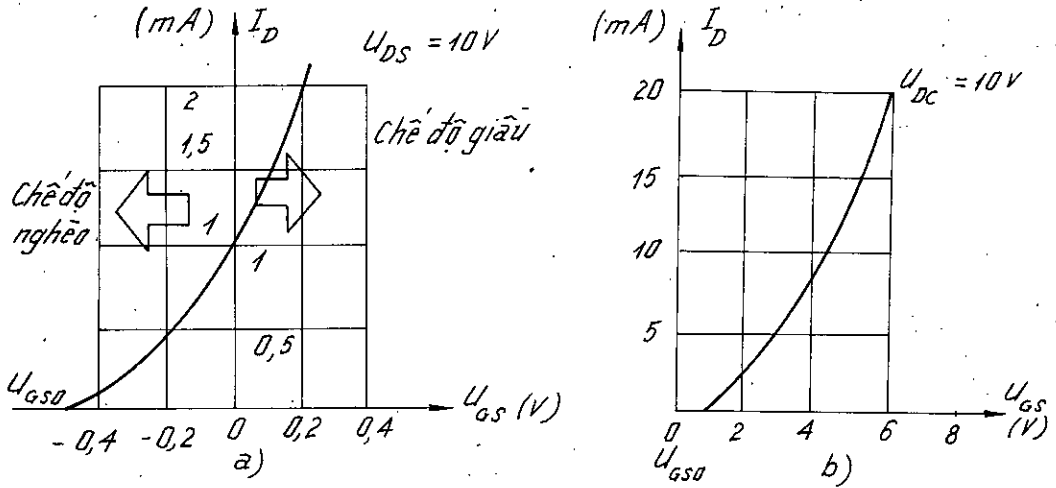
Hình 2.52 : Họ đặc tuyến ra của MOSFET
a) Với loại kênh đặt sẵn ; b) Với loại kênh cảm ứng.

• Với loại kênh cảm ứng, khi đặt tới cực của điện áp $U_{GS} \leq 0$, không có dòng cực máng ($I_D = 0$) do tồn tại hai tiếp giáp p-n mắc đối nhau tại vùng máng - đế và nguồn - đế, do đó không tồn tại kênh dẫn nối giữa máng - nguồn. Khi đặt $U_{GS} > 0$, tại vùng đế đối diện cực của xuất hiện các điện tử tự do (do cảm ứng tĩnh điện) và hình thành một kênh dẫn điện nối liền hai cực máng và nguồn. Độ dẫn của kênh tăng theo giá trị của U_{GS} do đó dòng điện cực máng I_D tăng. Như vậy MOSFET loại kênh cảm ứng chỉ làm việc với 1 loại cực tính của U_{GS} và chỉ ở chế độ làm giàu kênh. Biểu diễn quan hệ hàm $I_D = f_4(U_{DS})$, lấy với các giá trị U_{GS} khác nhau, ta có họ đặc tuyến ra của MOSFET kênh n cảm ứng như trên hình 2.52b.

• Từ họ đặc tuyến ra của MOSFET với cả hai loại kênh đặt sẵn và kênh cảm ứng giống như đặc tuyến ra của JFET đã xét, thấy rõ có 3 vùng phân biệt : vùng gần gốc ở đó I_D tăng tuyến tính theo U_{DS} và ít phụ thuộc vào U_{GS} , vùng bão hòa (vùng thác) lúc đó I_D chỉ phụ thuộc mạnh vào U_{GS} , phụ thuộc yếu vào U_{DS} và vùng đánh thủng lúc U_{DS} có giá trị khá lớn.

• Giải thích vật lí chi tiết các quá trình điều chế kênh dẫn điện bằng các điện áp U_{GS} và U_{DS} cho phép dẫn tới các kết luận tương tự như đối với JFET. Bên cạnh hiện tượng điều chế độ dẫn điện của kênh còn hiện tượng mở rộng vùng nghèo của tiếp giáp p-n giữa cực máng - đế khi tăng dần điện áp U_{DS} . Điều này làm kênh dẫn có tiết diện hẹp dần khi đi từ cực nguồn tới cực máng và bị thắt lại tại 1 điểm ứng với điểm uốn tại ranh giới hai vùng tuyến tính và bão hòa trên đặc tuyến ra. Điện áp tương ứng với điểm này gọi là điện áp bão hòa U_{DS0} (hay điện áp thác kênh).

Hình 2.53a và b là đường biểu diễn quan hệ $I_D = f_5(U_{GS})$ ứng với một giá trị cố định của U_{DS} với hai loại kênh đặt sẵn và kênh cảm ứng, được gọi là đặc tuyến truyền đạt của MOSFET.



Hình 2.53 : Đặc tuyến truyền đạt của MOSFET kênh đặt sẵn (a) và kênh cảm ứng (b).

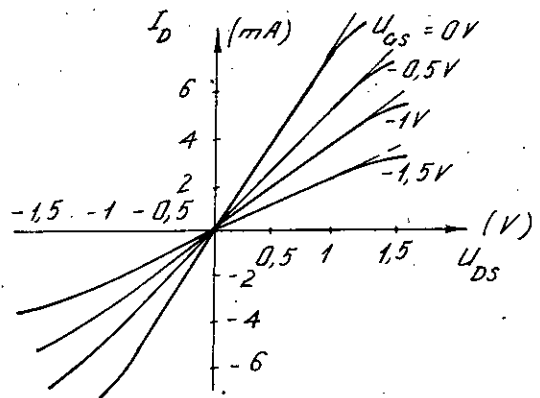
Các tham số của MOSFET được định nghĩa và xác định giống như đối với JFET gồm có : hồ dẫn S của đặc tính truyền đạt, điện trở trong r_i (hay còn gọi là r_{DS}), điện trở vào r_v ... và nhóm các tham số giới hạn : điện áp khóa U_{GS0} (ứng với 1 giá trị U_{DS} xác định), điện áp thất kênh hay điện áp máng - nguồn bão hòa U_{DS0} (ứng với $U_{GS} = 0$), dòng I_{Dmaxcf} , $U_{DSmaxcf}$...

Khi sử dụng FET trong các mạch điện tử, cần lưu ý tới một số đặc điểm chung nhất sau đây :

- Việc điều khiển điện trở kênh dẫn bằng điện áp U_{GS} trên thực tế gần như không làm tổn hao công suất của tín hiệu, điều này có được do cực điều khiển hầu như cách li về điện với kênh dẫn hay điện trở lõi vào cực lớn ($10^9 \div 10^{13} \Omega$), so với loại tranzito bipolar dòng điện dò đầu vào gần như bằng không, với công nghệ CMOS điều này gần đạt tới lí tưởng. Nhận xét này đặc biệt quan trọng với các mạch điện tử analog phải làm việc với những tín hiệu yếu và với mạch điện tử digital khi đòi hỏi cao về mật độ tích hợp các phần tử cùng với tính phản ứng nhanh và chi phí năng lượng đòi hỏi thấp của chúng.

- Đa số các FET có cấu trúc đối xứng giữa 2 cực máng (D) và nguồn (S). Do đó các tính chất của FET hầu như không thay đổi khi đổi lẫn vai trò hai cực này.

- Với JFET và MOSFET chế độ nghèo, dòng cực máng đạt cực đại $I_D = I_{Dmax}$ lúc điện áp đặt vào cực cửa bằng không $U_{GS} = 0$. Do vậy chúng được gọi chung là

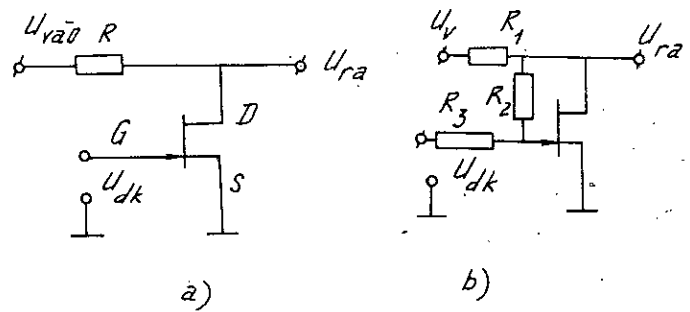


Hình 2.54 : Họ đặc tính ra của FET ở vùng gần gốc như một điện trở thuần theo U_{GS} (đường đứt nét là đã được tuyến tính hóa).

họ FET thường mở. Ngược lại, với MOSFET chế độ giấu, dòng $I_D = 0$ lúc $U_{GS} = 0$ nên nó được gọi là họ FET thường khóa. Nhận xét này có ý nghĩa khi xây dựng các sơ đồ khóa (mạch logic số) dựa trên công nghệ MOS.

- Trong vùng gần gốc của họ đặc tuyến ra của FET khi $U_{DS} \leq 1,5V$, dòng cực máng I_D tỉ lệ với U_{GS} . Lúc đó, FET tương đương như một điện trở thuần có giá trị thay đổi được theo U_{GS} . Dòng I_D càng nhỏ khi U_{GS} càng âm với loại kênh n, hoặc ngược lại I_D càng nhỏ khi $U_{GS} > 0$ càng nhỏ với loại kênh p. Hình 2.54 mô tả họ đặc tuyến ra của FET trong vùng gần gốc.

Sử dụng tính chất này của FET, có thể xây dựng các bộ phân áp có điều khiển đơn giản như hình 2.55.



Hình 2.55. Sơ đồ nguyên lý bộ phân áp có điều khiển dùng JFET
a) Chưa tuyến tính hóa ; b) Đã tuyến tính hóa.

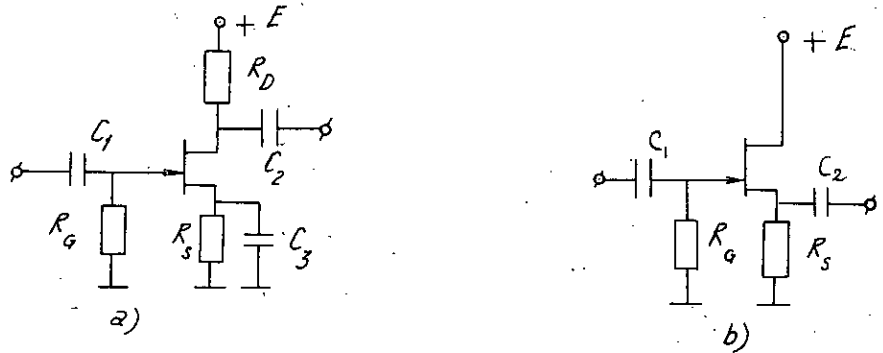
Khí đó hệ số chia áp là
$$\eta = \frac{U_{ra}}{U_{vao}} = \frac{r_{DS}(U_{dk})}{R + r_{DS}(U_{dk})} \quad (2-98b)$$

phụ thuộc vào điện áp điều khiển U_{dk} , thường chọn $R \gg r_{DS0}$ để dải η đủ rộng. Lưu ý là khi $U_{DS} > 1V$ tính chất tuyến tính giữa I_D và U_{DS} (với các U_{GS} khác nhau) không còn đúng nữa. Nếu sử dụng cả vùng xa gốc hơn 1V, cần tuyến tính hóa theo mạch hình 2.55b. Điện trở R_2 đưa một phần điện áp U_{DS} tới cực cửa bổ sung cho U_{GS} bù lại phần cong của r_{DS} . Khi chọn $R_2 = R_3 \gg r_{DS}$ thì

$$U_{GS} = \frac{1}{2}(U_{dk} + U_{DS}) \quad (2-99)$$

và họ đặc tuyến ra được tuyến tính hóa trong một đoạn U_{DS} từ 1V tới 1,5V.

- Tương tự như với tranzito lưỡng cực, tồn tại 3 kiểu mắc FET trong các mạch khuếch đại là máng chung MC, nguồn chung NC và cửa chung. Tuy nhiên mạch cửa chung rất ít gặp trong thực tế. Hai dạng MC và NC cho trên hình 2.56 với



Hình 2.56 : Sơ đồ nguyên lý mạch NC (a) và MC (b).

Nghĩa là phải chú ý đến khả năng di pha ở miền tần cao và tần thấp do tồn tại các phần tử điện kháng trong mạch khuếch đại cũng như trong mạch hồi tiếp nếu bộ khuếch đại làm việc ở tần số trung bình, còn trong mạch hồi tiếp không có thành phần điện kháng, thì hệ số K và β là những số thực. Nếu điện áp ra của bộ khuếch đại là tham số thực hiện hồi tiếp thì ta có hồi tiếp điện áp, nếu là dòng điện mạch ra thì ta có hồi tiếp dòng điện. Có thể hồi tiếp hỗn hợp cả dòng điện và điện áp.

Khi điện áp đưa về hồi tiếp nối tiếp với nguồn tín hiệu vào thì ta có hồi tiếp nối tiếp. Khi điện áp hồi tiếp đặt tới đầu vào bộ khuếch đại song song với điện áp nguồn tín hiệu thì có hồi tiếp song song.

Hai đặc điểm trên xác định một loại mạch hồi tiếp cụ thể : hồi tiếp điện áp nối tiếp hoặc song song, hồi tiếp dòng điện nối tiếp hoặc song song, hồi tiếp hỗn hợp nối tiếp hoặc song song. Hình 2.61 minh họa một số thí dụ về những mạch nối tiếp phổ biến nhất trong khuếch đại. Nếu khi hồi tiếp nối tiếp ảnh hưởng đến trị số điện áp vào bản thân bộ khuếch đại U_y , thì khi hồi tiếp song song sẽ ảnh hưởng đến trị số dòng điện vào bộ khuếch đại. Tác dụng của hồi tiếp có thể làm tăng khi $\varphi_k + \varphi_\beta = 2n\pi$ hoặc giảm khi $\varphi_k + \varphi_\beta = (2n + 1)\pi$ n là số nguyên dương, tín hiệu tổng hợp ở đầu vào bộ khuếch đại, và tương ứng được gọi là hồi tiếp dương và hồi tiếp âm.

Hồi tiếp âm cho phép cải thiện một số chỉ tiêu của bộ khuếch đại, vì thế nó được dùng rất rộng rãi. Để đánh giá ảnh hưởng của hồi tiếp đến các chỉ tiêu của bộ khuếch đại ta hãy xét thí dụ hồi tiếp điện áp nối tiếp (h. 2.61a).

Hệ số khuếch đại khi có hồi tiếp

$$\dot{K}_{ht} = \dot{U}_r / \dot{U}_v \quad (2-109)$$

$$\dot{U}_y = \dot{U}_v + \dot{U}_{ht}$$

Chia cả hai vế của (2-109) cho \dot{U}_r ta có :

$$\frac{\dot{U}_y}{\dot{U}_r} = \frac{\dot{U}_v}{\dot{U}_r} + \frac{\dot{U}_{ht}}{\dot{U}_r}$$

hay
$$\frac{1}{\dot{K}} = \frac{1}{\dot{K}_{ht}} + \beta \quad (2-110)$$

ở đây : $\beta = \dot{U}_{ht} / \dot{U}_r$ là hệ số truyền đạt của mạch hồi tiếp.

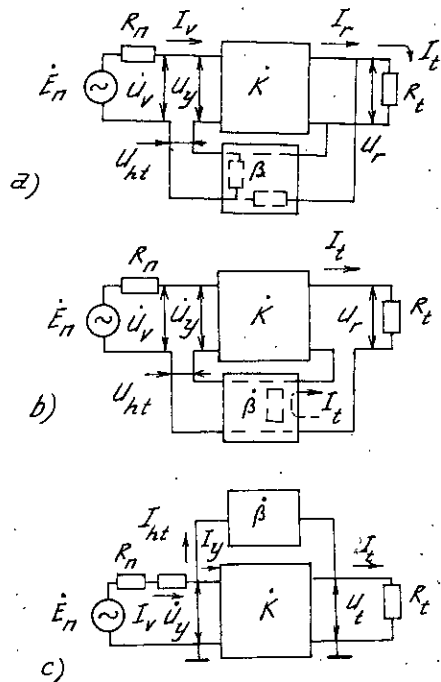
Từ (2-110) ta tìm được :

$$\dot{K}_{ht} = \frac{K}{1 - K\beta} \quad (2-111)$$

Để đơn giản việc phân tích ta đưa vào trị số thực K và

$$\dot{K}_{ht} = \frac{K}{1 - K\beta} \quad (2-112)$$

• Theo (2-112) khi $1 > K\beta > 0$ thì hệ số khuếch đại của bộ khuếch đại có hồi tiếp K_{ht} lớn hơn hệ số khuếch đại của bản thân bộ khuếch đại K . Đó chính là hồi tiếp dương, U_{ht} đưa tới đầu vào bộ khuếch đại cùng pha với điện áp vào U_v , tức là $U_y = U_v + U_{ht}$.



Hình 2.61 : Một số mạch hồi tiếp thông dụng
 a) Hồi tiếp nối tiếp điện áp ;
 b) Hồi tiếp dòng điện ;
 c) Hồi tiếp song song điện áp.

Điện áp ra của bộ khuếch đại khi có hồi tiếp dương là :

$$U_r = K(U_v + U_{ht}) > K \cdot U_v \text{ và do đó } K_{ht} > K$$

Trường hợp $K\beta \geq 1$ (khi hồi tiếp dương) đặc trưng cho điều kiện tự kích của bộ khuếch đại. Lúc này ở đầu ra bộ khuếch đại xuất hiện một phổ tần số không phụ thuộc vào tín hiệu đầu vào. Với trị số phức K và β bất đẳng thức $|K\beta| \geq 1$ tương ứng với điều kiện tự kích ở một tần số cố định và tín hiệu ở đầu ra gần với dạng hình sin. Bộ khuếch đại trong trường hợp này làm việc như một mạch tạo dao động hình sin (xem phần 25).

• Khi $K\beta < 0$ thì $K_{ht} = \frac{K}{1 + K\beta} < K$ (2-113)

Đó là hồi tiếp âm (U_{ht} ngược pha với U_v) và $U_y = U_v - U_{ht}$, nghĩa là hệ số khuếch đại của bộ khuếch đại có hồi tiếp âm K_{ht} nhỏ hơn hệ số khuếch đại khi không hồi tiếp.

Để đánh giá độ ổn định hệ số khuếch đại khi có hồi tiếp, thực hiện vi phân biểu thức (2-113) có :

$$dK_{ht} = \frac{dK(1 + K\beta) - dK \cdot K\beta}{(1 + K\beta)^2} = \frac{dK}{(1 + K\beta)^2} \quad (2-114)$$

Biến đổi (2-114) và chú ý đến (2-113) ta nhận được biểu thức đặc trưng cho sự thay đổi tương ứng của hệ số khuếch đại.

$$\frac{dK_{ht}}{K_{ht}} = \frac{dK/K}{1 + K\beta} \quad (2-115)$$

Từ (2-115) thấy sự thay đổi tương đối hệ số khuếch đại của bộ khuếch đại khi có hồi tiếp âm nhỏ hơn $(1 + K\beta)$ lần so với khi không hồi tiếp. Độ ổn định hệ số khuếch đại sẽ tăng khi tăng độ sâu hồi tiếp, ví dụ, giả thiết sự thay đổi tương đối của hệ số khuếch đại $dK/K = 20\%$ và $1 + K\beta = 100$ thì sự thay đổi tương đối hệ số khuếch đại của bộ khuếch đại có hồi tiếp là $dK_{ht}/K_{ht} = 0,2\%$. Tính chất này đặc biệt quý giá trong điều kiện hệ số khuếch đại thay đổi do sự thay đổi của tham số theo nhiệt độ (nhất là đối với tranzito) và sự hóa già của chúng. Nếu hệ số khuếch đại K lớn và hồi tiếp âm sâu thì thực tế có thể loại trừ sự phụ thuộc của hệ số khuếch đại vào sự thay đổi các tham số trong bộ khuếch đại. Khi đó trong mẫu số của (2-113) có thể bỏ qua 1 và hệ số khuếch đại của nó do hệ số truyền đạt của mạch hồi tiếp quyết định :

$$K_{ht} \approx 1/\beta \quad (2-116a)$$

nghĩa là thực tế không phụ thuộc vào K và mọi sự thay đổi của nó.

Ví dụ, $K = 10^4$ và $\beta = 10^{-2}$ thì $K_{ht} = \frac{1}{\beta} \approx 100$

Ý nghĩa vật lý của việc tăng độ ổn định của hệ số khuếch đại có hồi tiếp âm là ở chỗ khi thay đổi hệ số khuếch đại K thì điện áp hồi tiếp sẽ bị thay đổi dẫn đến thay đổi điện áp U_y (h.2.61a) theo hướng bù lại sự thay đổi điện áp ra bộ khuếch đại. (Giả sử khi giảm K do sự thay đổi tham số bộ khuếch đại sẽ làm cho U_{ht} giảm và U_r giảm (h.2.61a), điện áp $U_y = U_v - U_{ht}$ tăng, dẫn đến tăng U_r , chính là ngăn cản sự giảm của hệ số khuếch đại K).

Tăng độ ổn định của hệ số khuếch đại bằng hồi tiếp âm được dùng rộng rãi để cải thiện đặc tuyến biên độ tần số (h.2.62) của bộ khuếch đại nhiều tầng ghép điện dung vì ở miền tần số thấp và cao hệ số khuếch đại bị giảm.

Tác dụng của hồi tiếp âm ở miền tần số kế trên sẽ yếu vì hệ số khuếch đại K nhỏ và sẽ dẫn đến tăng hệ số khuếch đại ở biên dải tần và mở rộng dải thông Δf của bộ khuếch đại (h.2.62).

Hồi tiếp âm cũng làm giảm méo không đường thẳng của tín hiệu ra và giảm nhiễu trong bộ khuếch đại.

Dưới đây ta sẽ khảo sát ảnh hưởng của hồi tiếp âm đến điện trở vào bộ khuếch đại $R_v = U_v/I_v$.

Hình 2.61a thực hiện hồi tiếp âm nối tiếp

$$U_v = U_y + U_{ht}$$

Mặt khác ta có $U_{ht} = K\beta U_y$. Vì vậy :

$$R_{vht} = (1 + K\beta) U_y/I_v = R_v(1 + K\beta)$$

Như vậy thực hiện hồi tiếp âm nối tiếp làm tăng điện trở vào của bộ khuếch đại lên $(1 + K\beta)$ lần. Điều này rất cần thiết khi bộ khuếch đại nhận tín hiệu từ bộ cảm biến có điện trở trong lớn hoặc bộ khuếch đại dùng tranzito lưỡng cực.

Tương tự, điện trở ra bộ khuếch đại là :

$$R_{rht} = R_r/(1 + K\beta) \quad (2-116b)$$

nghĩa là giảm đi $(1 + K\beta)$ lần. Điều này đảm bảo điện áp ra bộ khuếch đại ít phụ thuộc vào sự thay đổi điện trở tải R_t .

Từ những phân tích trên, có thể rút ra những quy luật chung ảnh hưởng của hồi tiếp âm đến chỉ tiêu bộ khuếch đại là :

Mọi loại hồi tiếp âm đều làm giảm tín hiệu trên đầu vào bộ khuếch đại (U_y hay I_v) và do đó làm giảm hệ số khuếch đại K_{ht} làm tăng độ ổn định của hệ số khuếch đại của bộ khuếch đại.

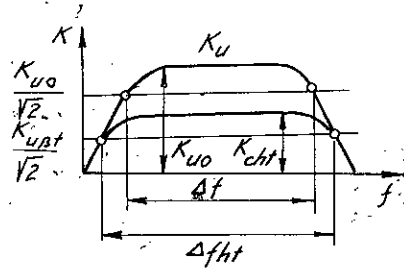
Ngoài ra hồi tiếp âm nối tiếp (h.2.61a, b) làm tăng điện trở vào.

- Hồi tiếp điện áp nối tiếp (h.2.61a) làm ổn định điện áp ra, giảm điện trở ra R_{rht} . Còn hồi tiếp dòng điện nối tiếp (h.2.61b) làm ổn định dòng điện ra I_v , tăng điện trở ra R_{rht} .

- Hồi tiếp âm song song (h.2.61c) làm tăng dòng điện vào I_v làm giảm điện trở vào cũng như điện trở ra R_{rht} .

Cần nói thêm là hồi tiếp dương thường không dùng trong bộ khuếch đại nhưng nó có thể xuất hiện ngoài ý muốn do ghép về điện ở bên trong hay bên ngoài gọi là hồi tiếp kí sinh qua nguồn cung cấp chung, qua điện cảm hoặc điện dung kí sinh giữa mạch ra và vào của bộ khuếch đại.

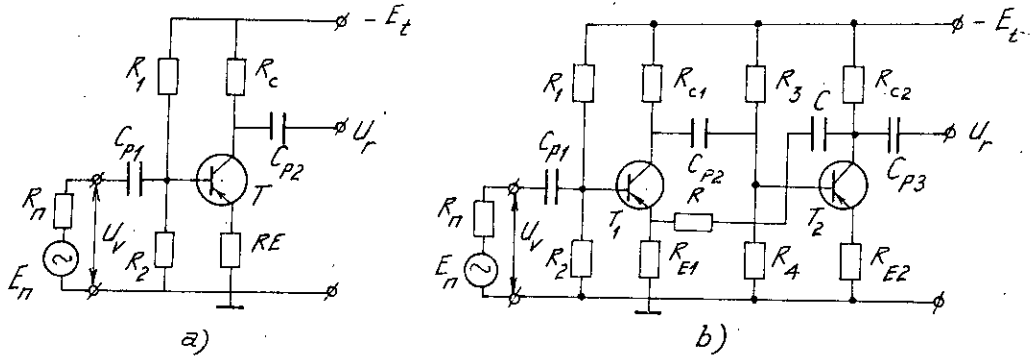
Hồi tiếp kí sinh làm thay đổi đặc tuyến biên độ tần số của bộ khuếch đại do làm tăng hệ số khuếch đại ở các đoạn riêng biệt của dải tần hoặc thậm chí có thể làm cho bộ khuếch đại bị tự kích, nghĩa là xuất hiện dao động ở một tần số xác định.



Hình 2.62 : Ảnh hưởng của hồi tiếp âm đến đặc tuyến biên độ - tần số.

Để loại bỏ hiện tượng trên có thể dùng các bộ lọc thoát (mạch R_{c1}, C_1) dùng dây dẫn bọc kim, và bố trí các linh kiện hợp lí.

Dưới đây là thí dụ về những mạch hồi tiếp âm thường gặp (h.2.63).



Hình 2.63 : Sơ đồ các mạch hồi tiếp âm
a) Hồi tiếp dòng điện trên R_E ; b) Hồi tiếp điện áp nhờ khâu RC.

Mạch hình 2.63 đã được nói tới ở phần 2.2.3.

Trong mạch hình 2.63b, ta thấy nếu xét riêng biệt từng tầng thì điện trở R_{E1}, R_{E2} đều thực hiện hồi tiếp âm dòng nối tiếp, giống như trường hợp hình 2.63a. Ta xét thêm trường hợp mạch hồi tiếp từ colectơ của tranzito T_2 về emitơ của tranzito T_1 qua C và R. Theo định nghĩa thì đây là mạch hồi tiếp điện áp nối tiếp. Xét về pha của tín hiệu thì đó là mạch hồi tiếp âm. Như vậy trên điện trở R_{c1} có cả hai loại hồi tiếp âm dòng điện và điện áp. Kết quả là hệ số khuếch đại của toàn mạch sẽ bị giảm.

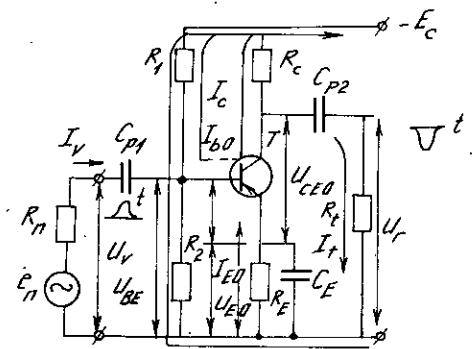
2.3.2. Khuếch đại dùng tranzito lưỡng cực

Dưới đây sẽ trình bày phương pháp phân tích tầng khuếch đại dùng tranzito lưỡng cực theo ba cách mắc mạch : emitơ chung (EC), colectơ chung (CC) và bazơ chung (BC). Giả thiết tín hiệu vào là hình sin tần số trung bình vì vậy trở kháng của tụ coi như bằng không, ảnh hưởng điện dung kí sinh cũng như sự phụ thuộc hệ số α của tranzito vào tần số coi như không đáng kể.

a - Tầng khuếch đại (EC).

Mạch điện nguyên lí 1 tầng khuếch đại EC cho trên hình 2.64.

Trong sơ đồ này C_{p1}, C_{p2} là các tụ phân đường (nối tầng). Tụ C_{p1} loại trừ tác dụng ảnh hưởng lẫn nhau của nguồn tín hiệu và mạch vào về dòng một chiều. Mặt khác nó đảm bảo cho điện áp U_{b0} trong chế độ tĩnh không phụ thuộc vào điện trở trong của nguồn tín hiệu R_n . Tụ C_{p2} ngăn không cho thành phần 1 chiều và chỉ cho thành phần điện áp xoay chiều ra tải. Điện trở R_1, R_2 để xác định chế độ tĩnh của tầng. Bởi vì tranzito lưỡng cực điều khiển bằng dòng, nên dòng điện tĩnh của PDK (trong trường hợp này là dòng I_{c0}) được tạo thành do dòng



Hình 2.64 : Tầng khuếch đại E chung.

Khi xác định trị số U_{E_0} phải xuất phát từ quan điểm tăng điện áp U_{E_0} sẽ làm tăng độ ổn định nhiệt cho chế độ tĩnh của tầng (vì khi R_E lớn sẽ làm tăng độ sâu hồi tiếp âm một chiều của tầng), tuy nhiên lúc đó cần tăng điện áp nguồn cung cấp E_c . Vì vậy mà E_{E_0} thường chọn bằng $(0,1 \div 0,3) E_c$.

Chú ý đến biểu thức (2-124) ta có :

$$E_c = \frac{U_{c_0} + I_{c_0} R_c}{0,7 + 0,9} \quad (2-125)$$

Điện trở R_E có thể tính từ

$$R_E = U_{E_0} / I_{c_0} \quad (2-126)$$

Khi tính các phần tử của bộ phân áp đầu vào ngoài những điểm đã nói tới ở mục 2.2.3g cần lưu ý : với quan điểm ổn định nhiệt cho chế độ tĩnh của tầng thì sự thay đổi của dòng bazơ tĩnh I_{B_0} (do độ không ổn định nhiệt của điện áp U_{BE_0}) phải ít ảnh hưởng đến sự thay đổi điện áp U_{B_0} . Muốn vậy thì dòng I_p qua bộ phân áp R_1 và R_2 phải lớn hơn dòng I_{B_0} qua điện trở R_1 . Tuy nhiên với điều kiện $I_p \gg I_{B_0}$ thì R_1, R_2 sẽ phải nhỏ và chúng sẽ gây ra mắc rẽ mạch đến mạch vào của tranzito. Vì thế khi tính các phần tử của bộ phân áp vào ta phải hạn chế theo điều kiện :

$$R_B = R_1 // R_2 = (2 \div 5) \cdot r_v \quad (2-127)$$

$$I_p = (2 \div 5) I_{B_0} \quad (2-128)$$

ở đây : r_v là điện trở vào của tranzito, đặc trưng cho điện trở xoay chiều mạch bazơ - emitơ ($r_v = \Delta U_{BE} / \Delta I_B$).

Điện trở R_1, R_2 (h.2.64) có thể tính theo :

$$R_2 = \frac{U_{B_0}}{I_p} = \frac{U_{E_0} + U_{BE_0}}{I_p} \quad (2-129)$$

$$R_1 = \frac{E_c - U_{B_0}}{I_p - I_{B_0}} \quad (2-130)$$

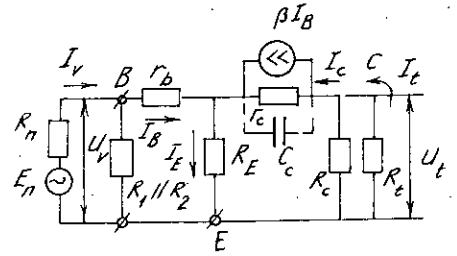
Khi chọn tranzito cần chú ý đến các tham số giới hạn như : dải tần số công tác (theo tần số f_α hay f_β) cũng như các tham số về dòng điện, điện áp và công suất. Dòng điện cho phép cực đại $I_{c.cp}$ phải lớn hơn trị số tức thời lớn nhất của dòng colectơ trong khi làm việc, nghĩa là $I_{c.max} = I_{c_0} + I_{cm} < I_{c.cp}$ (h.2.65a). Về mặt điện áp người ta thường chọn tranzito theo $U_{c_0.cp} > E_c$. Công suất tiêu hao trên colectơ của tranzito $P_c = U_{c_0} \cdot I_{c_0}$ phải nhỏ hơn công suất cực đại cho phép của tranzito $P_{c.cp}$. Đường cong công suất giới hạn cho phép là đường hypecbol. Đối với mỗi điểm của nó ta có $U_{c_0.cf} \cdot I_{c.cf} = P_{c.cp}$ (h.2.65a).

Tóm lại việc tính chế độ 1 chiều của tầng khuếch đại là giải quyết nhiệm vụ chọn hợp lí các phần tử của sơ đồ để nhận được những tham số cần thiết của tín hiệu ra trên tải.

Các hệ số khuếch đại dòng K_i , điện áp K_u và công suất K_p cũng như điện trở vào R_v và điện trở ra R_r là những chỉ tiêu quan trọng của tầng khuếch đại. Những chỉ tiêu đó có thể xác định được khi tính toán tầng khuếch đại theo dòng xoay chiều. Phương pháp giải tích dựa trên cơ sở thay thế tranzito và tầng khuếch đại bằng sơ đồ tương đương dòng xoay chiều ở chế độ tín hiệu nhỏ. Sơ đồ thay thế tầng EC về trên hình 2.66, ở đây tranzito được thay bằng sơ đồ thay thế tham số vật lí. Tính

toán theo dòng xoay chiều cũng có thể thực hiện được khi sử dụng sơ đồ thay thế tranzito với các tham số h , r hay g .

Để đơn giản ta giả thiết tầng khuếch đại được tính ở miền tần số trung bình, tín hiệu vào là hình sin và điện trở của nguồn cung cấp đối với dòng xoay chiều bằng không. Dòng điện và điện áp trong sơ đồ tính theo trị số hiệu dụng, nó có quan hệ với trị số biên độ qua hệ số $1/\sqrt{2}$.



Hình 2.66 : Sơ đồ thay thế tầng khuếch đại EC bằng tham số vật lí.

- Điện trở vào của tầng :

$$R_v = R_1 // R_2 // r_v \quad (2-131)$$

Vì điện trở trong của nguồn dòng I_B ở hình 2.66 rất lớn, còn $r_{c(E)} + R_c // R_l \gg r_E$ nên

$$U_{BE} = I_B r_B + I_E r_E \text{ hay là}$$

$$U_{BE} = I_B \cdot [r_B + (1 + \beta)r_E] \quad (2-132)$$

chia cả hai vế của phương trình (2-132) cho I_B ta có :

$$r_v = r_B + (1 + \beta)r_E$$

Tính gần đúng bậc 1 của R_v theo r_v và giá trị có thể của r_B , β , r_E với điều kiện $R_1 // R_2 \geq (2 + 3)r_v$ ta sẽ có R_v của tầng EC không vượt quá $1 + 3k\Omega$.

- Xác định hệ số khuếch đại dòng điện của tầng $K_i = I_t / I_v$, từ sơ đồ 2.66 có :

$$I_B = I_v \frac{R_v}{r_v} \quad (2-133)$$

Khi xác định dòng I_t qua I_B thì không tính đến r_E vì nó rất nhỏ so với điện trở của các phần tử mạch ra.

$$I_t = \beta \cdot I_B \cdot \frac{r_{c(E)} // R_c // R_l}{R_l} \quad (2-134)$$

Để ý đến biểu thức (2-133) ta có :

$$I_t = I_v \cdot \beta \cdot \frac{R_v}{r_v} \cdot \frac{r_{c(E)} // R_c // R_l}{R_l} \quad (2-135)$$

và hệ số khuếch đại dòng xác định bởi :

$$K_i = \beta \cdot \frac{R_v}{r_v} \cdot \frac{r_{c(E)} // R_c // R_l}{R_l} \quad (2-136)$$

Hệ số khuếch đại dòng K_i tỉ lệ với β của tranzito và phụ thuộc vào tác dụng mắc rẽ của bộ phân áp và điện trở R_c , R_l . Biểu thức (2-136) cho thấy cần phải chọn $R_1 // R_2 > r_v$ và $R_c > R_l$. Nếu ta coi $R_v \approx r_v$ và $r_{c(E)} \gg R_c // R_l$ thì biểu thức tính hệ số khuếch đại dòng gần đúng sẽ có dạng

$$K_i = \beta \cdot \frac{R_c // R_l}{R_l} \quad (2-137)$$

Như vậy tầng EC có hệ số khuếch đại dòng tương đối lớn, và nếu $R_c \gg R_l$ thì $K_i \rightarrow \beta$.

các tham số tóm tắt của từng loại trong ý nghĩa là một tầng khuếch đại điện áp (xem thêm ở mục 2.3).

Mạch nguồn chung
 Hệ số khuếch đại điện áp

$$K_u = -S(R_D/r_{DS})$$

$$\approx -SR_D \quad (2-100)$$
 Điện trở vào $R_{vào} = r_{GS} \rightarrow \infty$
 Điện trở ra $R_{ra} = (R_D/r_{DS})$

Mạch máng chung

$$K_u = \frac{1}{1 + [S(R_S/r_{DS})]} = 1 \quad (2-101)$$

$$R_{vào} = r_{GS} \rightarrow \infty$$

$$R_{ra} = R_S // (1/S)$$

- Khi thay thế các FET kênh n bằng loại FET kênh p trong các mạch điện, cần thay đổi cực tính các điện áp nguồn cũng như cực tính các điốt và tụ hóa được sử dụng trong đó. Lúc đó các chức năng chủ yếu của mạch không thay đổi, cũng giống như với hai loại tranzito lưỡng cực npn và pnp tương ứng đã xét.

2.3. KHUẾCH ĐẠI

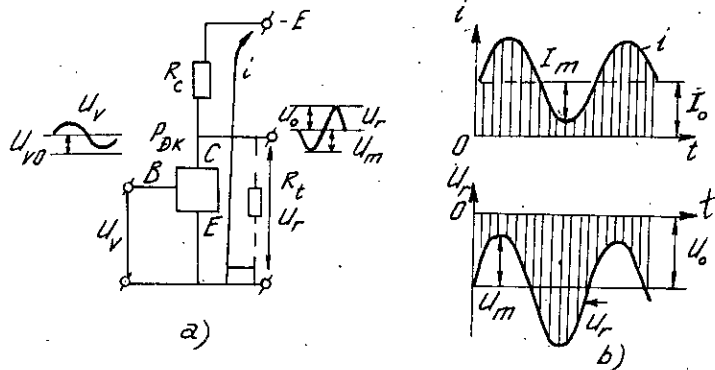
2.3.1. Những vấn đề chung

a - Nguyên lý xây dựng một tầng khuếch đại

Một ứng dụng quan trọng nhất của tranzito là sử dụng nó trong các mạng để làm tăng cường độ điện áp hay dòng điện của tín hiệu (mà thường gọi là mạch khuếch đại). Thực chất khuếch đại là một quá trình biến đổi năng lượng có điều khiển, ở đó năng lượng của nguồn cung cấp 1 chiều (không chứa đựng thông tin) được biến đổi thành dạng năng lượng xoay chiều (có quy luật biến đổi mạng thông tin cần thiết). Nói cách khác, đây là một quá trình gia công xử lý thông tin dạng analog.

Hình 2.57 đưa ra cấu trúc nguyên lý để xây dựng một tầng khuếch đại. Phần tử cơ bản là phần tử điều khiển (tranzito) có điện trở thay đổi theo sự điều khiển của điện áp hay dòng điện đặt tới cực điều khiển bazơ của nó, qua đó điều khiển quy luật biến đổi dòng điện của mạch

ra bao gồm tranzito và điện trở R_c và tại lối ra ví dụ lấy giữa 2 cực colectơ và emitơ, người ta nhận được một điện áp biến thiên cùng quy luật với tín hiệu vào nhưng độ lớn được tăng lên nhiều lần. Để đơn giản, giả thiết điện áp vào cực điều khiển có dạng hình sin. Từ sơ đồ hình 2.57. Ta



Hình 2.57 :

- a) Nguyên lý xây dựng một tầng khuếch đại ;
 b) Biểu đồ thời gian của điện áp và dòng điện tại mạch ra.

thấy rằng dòng điện và điện áp ở mạch ra (tỉ lệ với dòng điện và điện áp tín hiệu vào) cần phải coi như là tổng các thành phần

xoay chiều (dòng điện và điện áp) trên nền của thành phần một chiều I_0 và U_0 (h.2.57). Phải đảm bảo sao cho biên độ thành phần xoay chiều không vượt quá thành phần một

chiều, nghĩa là $I_o \geq I_m$ và $U_o \geq U_m$. Nếu điều kiện đó không được thỏa mãn thì dòng điện ở mạch ra trong từng khoảng thời gian nhất định sẽ bằng không và sẽ làm méo dạng tín hiệu ra.

Để đảm bảo công tác cho tầng khuếch đại mạch ra của nó phải có thành phần dòng một chiều I_o và điện áp một chiều U_o . Tương tự, ở mạch vào, ngoài nguồn tín hiệu cần khuếch đại, người ta đặt thêm điện áp một chiều U_{v0} (hay là dòng điện một chiều I_{v0}). Thành phần dòng điện và điện áp một chiều xác định chế độ tĩnh của tầng khuếch đại. Tham số của chế độ tĩnh theo mạch vào (I_{v0} , U_{v0}) và theo mạch ra (I_o , U_o) đặc trưng cho trạng thái ban đầu của sơ đồ khi không có tín hiệu vào.

b - Các chỉ tiêu và tham số cơ bản của một tầng khuếch đại

Để đánh giá chất lượng của 1 tầng khuếch đại, người ta định nghĩa các chỉ tiêu và tham số cơ bản sau :

- Hệ số khuếch đại

$$K = \frac{\text{Đại lượng đầu ra}}{\text{Đại lượng tương ứng đầu vào}} \quad (2-102)$$

Nói chung vì tầng khuếch đại có chứa các phần tử điện kháng nên K là một số phức :

$$K = |K| \exp(j\varphi_k)$$

Phần môđun $|K|$ thể hiện quan hệ về cường độ (biên độ) giữa các đại lượng đầu ra và đầu vào, phần góc pha φ_k thể hiện độ dịch pha giữa chúng và nhìn chung độ lớn của $|K|$ và φ_k phụ thuộc vào tần số ω của tín hiệu vào. Nếu biểu diễn $|K| = f_1(\omega)$ ta nhận được đường cong gọi là đặc tính biên độ - tần số của tầng khuếch đại. Đường biểu diễn $\varphi_k = f_2(\omega)$ được gọi là đặc tính pha - tần số của nó.

Thường người ta tính $|K|$ theo đơn vị logarit gọi là đơn vị dexiben (dB) :

$$|K| \text{ (dB)} = 20 \lg |K| \quad (2-103)$$

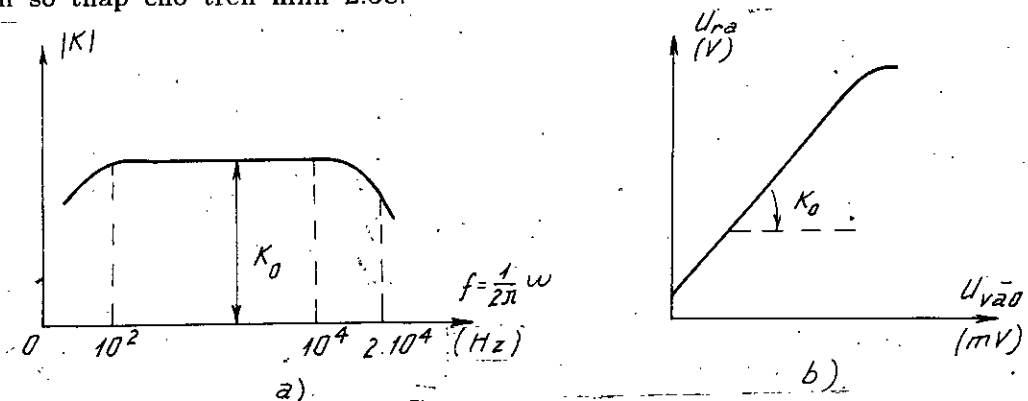
Khi ghép liên tiếp n tầng khuếch đại với các hệ số khuếch đại tương ứng là $k_1 \dots k_n$ thì hệ số khuếch đại tổng cộng của bộ khuếch đại xác định bởi :

$$K = k_1, k_2, \dots k_n$$

hay $|K| \text{ (dB)} = |k_1| \text{ (dB)} + \dots + |k_n| \text{ (dB)} \quad (2-104)$

- Đặc tính biên độ của tầng khuếch đại là đường biểu diễn quan hệ $U_{ra} = f_3(U_{vào})$ lấy ở 1 tần số cố định của dải tần số tín hiệu $U_{vào}$.

Dạng điển hình của $|K| = f_1(\omega)$ và $U_{ra} = f_3(U_{vào})$ đối với một bộ khuếch đại điện áp tần số thấp cho trên hình 2.58.



Hình 2.58 : a) Đặc tuyến biên độ - tần số và b) Đặc tuyến biên độ ($f = 1\text{kHz}$) của một bộ khuếch đại tần số thấp.

- Trở kháng lối vào và lối ra của tầng khuếch đại được định nghĩa

$$Z_{\text{vào}} = \frac{U_{\text{vào}}}{I_{\text{vào}}}; Z_{\text{ra}} = \frac{U_{\text{ra}}}{I_{\text{ra}}} \quad (2-105)$$

Nói chung chúng là các đại lượng phức : $Z = R + jX$

• Méo không đường thẳng do tính chất phi tuyến của các phần tử như tranzito gây ra thể hiện trong thành phần tần số đầu ra là xuất hiện tần số lạ (không có mặt ở đầu vào). Khi $U_{\text{vào}}$ chỉ có thành phần tần số ω , U_{ra} nói chung có các thành phần $n\omega$ (với $n = 0, 1, 2, \dots$) với các biên độ tương ứng là U_{nm} , lúc đó hệ số méo không đường thẳng do tầng khuếch đại gây ra được đánh giá là :

$$\gamma = \frac{(U_{2m}^2 + U_{3m}^2 + \dots + U_{nm}^2)^{1/2}}{U_{1m}} \% \quad (2-106)$$

Trên đây đã nêu một số chỉ tiêu quan trọng nhất của 1 tầng hay (một bộ khuếch đại gồm nhiều tầng). Căn cứ vào các chỉ tiêu này, người ta có thể phân loại các bộ khuếch đại với các tên gọi và đặc điểm khác nhau. Ví dụ theo hệ số K có bộ khuếch đại điện áp (với yêu cầu cơ bản là có $K_{\text{umax}}, Z_{\text{vào}} \gg Z_{\text{nguồn}}$ và $Z_{\text{ra}} \ll Z_{\text{tải}}$), bộ khuếch đại công suất ($K_{\text{pmax}}, Z_{\text{vào}} \approx Z_{\text{nguồn}}, Z_{\text{ra}} \approx Z_{\text{tải}}$) hay bộ khuếch đại dòng điện (với $K_{\text{imax}}, Z_{\text{vào}} \ll Z_{\text{nguồn}}, Z_{\text{ra}} \gg Z_{\text{tải}}$).

Cũng có thể phân loại theo dạng đặc tính $|K| = f_1(\omega)$, từ đó có các bộ khuếch đại 1 chiều, bộ khuếch đại tần số thấp, bộ khuếch đại tần số cao, bộ khuếch đại chọn lọc tần số... hoặc theo các phương pháp ghép tầng...

c - Các chế độ làm việc cơ bản của một tầng khuếch đại

Để phần tử khuếch đại (tranzito) làm việc bình thường, tin cậy ở một chế độ xác định cần hai điều kiện cơ bản :

- Xác lập cho các điện cực bazơ, colectơ và emitơ của nó những điện áp 1 chiều cố định, gọi là phân cực tĩnh cho phần tử khuếch đại. Điều này đạt được nhờ các phương pháp phân cực kiểu định dòng hay kiểu định áp như đã trình bày ở phần 2.2.3 khi nói tới tranzito.

- Ổn định chế độ tĩnh đã được xác lập để trong quá trình làm việc, chế độ của phần tử khuếch đại chỉ hoàn toàn phụ thuộc vào điện áp điều khiển đưa tới lối vào. Điều này thường được thực hiện nhờ các phương pháp hồi tiếp âm thích hợp (sẽ nói tới ở phần tiếp sau).

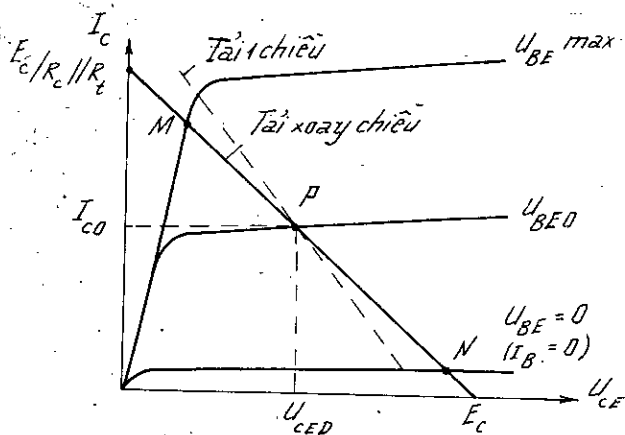
Khi thỏa mãn hai điều kiện trên, điểm làm việc tĩnh của tranzito sẽ cố định ở 1 vị trí trên họ đặc tuyến ra xác định được bằng cách sau :

Từ hình vẽ 2.57 có phương trình điện áp cho mạch ra lúc $U_{\text{vào}} = 0$ là :

$$U_{\text{CE0}} = I_{\text{C0}}R_{\text{c}} = E_{\text{c}} \quad (2-107)$$

$$\text{Khi } U_{\text{vào}} \neq 0 \quad U_{\text{CE}} + I_{\text{c}}E_{\text{c}} \quad (2-108)$$

Phương trình (2-107) cho ta xác định 1 đường thẳng trên họ đặc tuyến ra của tranzito gọi là đường tải 1 chiều của tầng khuếch đại. Phương trình (2-108) cho xác định đường thẳng thứ hai gọi là đường tải xoay chiều hay đặc tuyến ra động của tầng khuếch đại (h.2.59).



Hình 2.59 : Đặc tuyến ra động (đường tải xoay chiều) của 1 tầng khuếch đại (EC) và cách xác định điểm làm việc tĩnh P.

Điểm làm việc tĩnh P xác định bởi các tọa độ (I_{C0} , U_{CE0}) hay (U_{CE0} , U_{BE0}). Tùy theo vị trí của P trên đường thẳng tải, người ta phân biệt các chế độ làm việc khác nhau của một tầng khuếch đại như sau :

- Nếu P nằm ở khoảng giữa hai điểm M và N, trong đó M và N là những giao điểm của đường thẳng tải với các đường đặc tuyến ra tĩnh ứng với các chế độ tới hạn của tranzito $U_{BE_{max}}$ (hay $I_{B_{max}}$) và $U_{BE} = 0$ (hay $I_B = 0$) trên hình 2.59, ta nói tầng khuếch đại làm việc ở chế độ A. Chế độ này có hai đặc điểm cơ bản là : vùng làm việc gây ra méo γ nhỏ nhất và hiệu quả biến đổi năng lượng của tầng khuếch đại là thấp nhất.

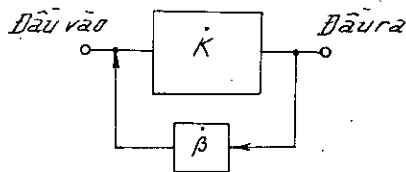
- Khi P dịch dần về phía điểm N, tầng khuếch đại sẽ chuyển dần sang chế độ AB và lúc P trùng với N, ta nói tầng khuếch đại làm việc ở chế độ B. Đặc điểm chủ yếu của chế độ B là có méo γ lớn (do một phần tín hiệu ở mạch ra bị cắt lúc ở mạch vào dòng $I_B \leq 0$) và hiệu suất biến đổi năng lượng của tầng tương đối cao (vì dòng tĩnh nhỏ).

- Khi P nằm ngoài N và lân cận dưới M, ta nói tầng khuếch đại làm việc ở chế độ khóa với hai trạng thái tới hạn phân biệt của tranzito : mở bão hòa (lúc P nằm gần M) hay khóa dòng (lúc P nằm dưới N). Chế độ này thường gặp ở các mạch xung xét tới ở chương 3.

d - Hồi tiếp trong các tầng khuếch đại

Hồi tiếp là thực hiện việc truyền tín hiệu từ đầu ra về đầu vào bộ khuếch đại. Thực hiện hồi tiếp trong bộ khuếch đại sẽ cải thiện hầu hết các chỉ tiêu chất lượng của nó và làm cho bộ khuếch đại có một số tính chất đặc biệt. Dưới đây ta sẽ phân tích những quy luật chung thực hiện hồi tiếp trong bộ khuếch đại. Điều này cũng đặc biệt cần thiết khi thiết kế bộ khuếch đại bằng IC tuyến tính.

Hình 2.60 là sơ đồ cấu trúc bộ khuếch đại có hồi tiếp. Mạch hồi tiếp có hệ số truyền đạt β , chỉ rõ mối quan hệ giữa tham số (điện áp, dòng điện) của tín hiệu ra mạch đó với tham số (điện áp, dòng điện) lối vào của nó (trong trường hợp hình 2.61 chính là lối ra của bộ khuếch đại).



Hình 2.60 : Sơ đồ khối bộ khuếch đại có hồi tiếp.

Hệ số khuếch đại K và hệ số truyền đạt của mạch hồi tiếp nói chung là những số phức

$$K = k \exp j\varphi_k$$

$$\beta = \beta \exp j\varphi_\beta$$

tính emittơ I_E thông qua sự điều khiển của dòng bazơ I_B , điện trở R_E đã xét ở 2.2.3 và hình 2.45.

Nguyên lí làm việc của tầng EC như sau : Khi đưa điện áp xoay chiều tới đầu vào, xuất hiện dòng xoay chiều bazơ của tranzito và do đó xuất hiện dòng xoay chiều (dòng colectơ của tranzito) ở mạch ra của tầng. Hạ áp trên điện trở R_C tạo nên điện áp xoay chiều trên colectơ. Điện áp này qua tụ C_{p2} được đưa đến đầu ra của tầng tức là tới mạch tải. Có thể thực hiện bằng hai phương pháp cơ bản là phương pháp đồ thị và phương pháp giải tích (sơ đồ tương đương) đối với chế độ xoay chiều tín hiệu nhỏ.

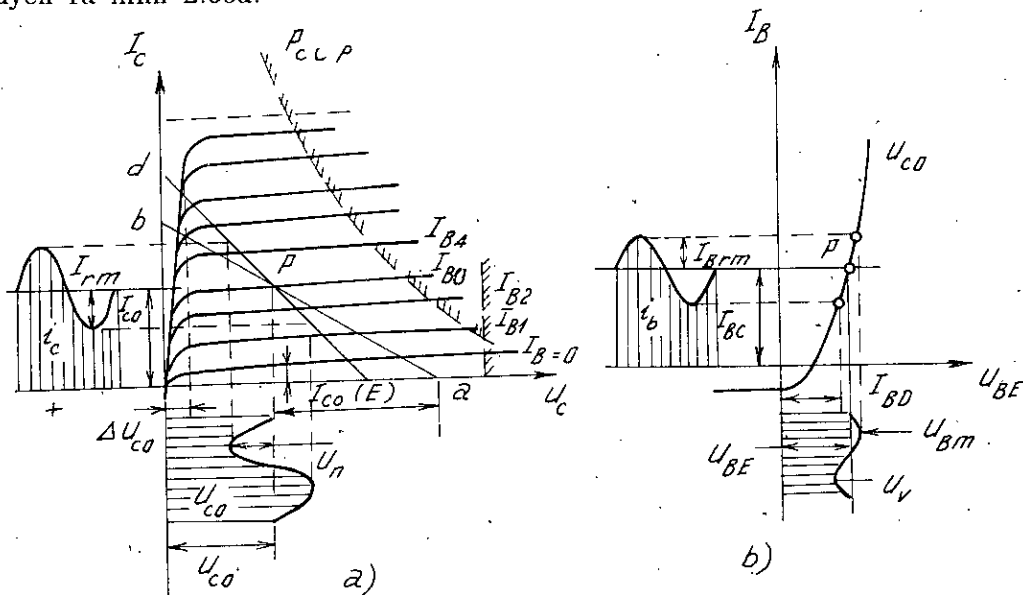
Phương pháp đồ thị dựa vào các đặc tuyến vào và ra của tranzito có ưu điểm là dễ dàng tìm được mối quan hệ giữa các giá trị biên độ của thành phần xoay chiều (điện áp ra U_{rm} và dòng điện ra I_{cm}) và là số liệu ban đầu để tính toán. Trên đặc tuyến ra hình 2.65a, vẽ đường tải một chiều (a-b) như đã mô tả ở phần 2.2.3.b. Sự phụ thuộc $U_{CEO} = f(I_{co})$ có thể tìm được từ phương trình cân bằng điện áp ở mạch ra của tầng :

$$U_{CEO} = E_c - I_{co}R_c - I_{Eo}R_E = E_c - I_{co}R_c - \frac{I_{co}}{\alpha} \cdot R_E \quad (2-117)$$

Vi hệ số α gần bằng 1, nên có thể viết

$$U_{CEO} = E_c - I_{co} (R_c + R_E) \quad (2-118)$$

Biểu thức (2-118) là phương trình đường tải một chiều của tầng. Dựa vào đặc tuyến vào (bazơ) $I_b = f(U_{BE})$ ta chọn được dòng bazơ tĩnh cần thiết I_{B0} , chính là xác định được tọa độ điểm P là giao điểm của đường $I_B = I_{B0}$ với đường tải một chiều trên đặc tuyến ra hình 2.65a.



Hình 2.65 : Xác định chế độ tĩnh của tầng EC
a) Trên đặc tuyến colectơ (đặc tuyến ra) ;
b) Trên đặc tuyến bazơ (đặc tuyến vào).

Để xác định thành phần xoay chiều của điện áp ra và dòng colectơ của tranzito phải dùng đường tải xoay chiều của tầng. Chú ý rằng điện trở xoay chiều trong mạch

emitor của tranzito bằng không (vì có tụ C_E mắc song song với điện trở R_e), còn tải được mắc vào mạch colectơ vì điện trở xoay chiều của tụ C_{p2} rất nhỏ.

Nếu coi điện trở xoay chiều của nguồn cung cấp E_c bằng không, thì điện trở xoay chiều của tầng gồm hai điện trở R_c và R_t mắc song song, nghĩa là $R_{t\sim} = R_t/R_c$. Từ đó thấy rõ điện trở tải một chiều của tầng $R_{t=}$ $= R_c + R_E$ lớn hơn điện trở tải xoay chiều $R_{t\sim}$. Khi có tín hiệu vào, điện áp và dòng điện là tổng của thành phần một chiều và xoay chiều, đường tải xoay chiều đi qua điểm tĩnh P (h.2.65a). Độ dốc của đường tải xoay chiều sẽ lớn hơn độ dốc của đường tải một chiều. Xây dựng đường tải xoay chiều theo tỉ số gia số của điện áp và dòng điện $\Delta U_{CE} = \Delta I_c (R_c/R_t)$. Khi cung cấp điện áp U_v vào đầu vào của tầng (hình 2.64) thì trong mạch bazơ sẽ xuất hiện thành phần dòng xoay chiều $i_{b\sim}$ có liên quan đến điện áp U_v theo đặc tuyến vào của tranzito (h.2.65b). Vì dòng colectơ tỉ lệ với dòng bazơ qua hệ số β , trong mạch colectơ cũng có thành phần dòng xoay chiều $i_{c\sim}$ (h.2.65a) và điện áp ra xoay chiều U_r liên hệ với dòng $i_{c\sim}$ bằng đường tải xoay chiều. Khi đó đường tải xoay chiều đặc trưng cho sự thay đổi giá trị tức thời dòng colectơ i_c và điện áp trên tranzito U_{co} hay là người ta nói đó là sự dịch chuyển điểm làm việc. Nếu chọn trị số tín hiệu vào thích hợp và chế độ tĩnh đúng thì tín hiệu ra của tầng khuếch đại sẽ không bị méo dạng (xem mục 2.2.3b). Muốn vậy, các tham số của chế độ tĩnh phải thỏa mãn những điều kiện sau (h.2.65a).

$$U_{co} > U_{rm} + \Delta U_{co} \quad (2-119)$$

$$I_{co} > I_{cm} + I_{co(E)} \quad (2-120)$$

ở đây : ΔU_{co} là điện áp colectơ ứng với đoạn đầu của đặc tuyến ra tranzito (còn gọi là điện áp U_{CE} bão hòa) ; $I_{co(E)}$ là dòng điện colectơ ban đầu ứng với nhiệt độ cực đại chính là độ cao của đường đặc tuyến ra tĩnh ứng với dòng $I_B = 0$, U_{rm} và I_{cm} là biên độ áp và dòng ra.

Quan hệ dòng I_{cm} với điện áp ra có dạng :

$$I_{cm} = \frac{U_{rm}}{R_c/R_t} = \frac{U_{rm}}{R_{t\sim}} \quad (2-121)$$

Để tăng hệ số khuếch đại của tầng, trị số R_c phải chọn lớn hơn R_t từ 3 ÷ 5 lần.

Dựa vào dòng I_{co} đã chọn, tính dòng bazơ tĩnh :

$$I_{Bo} = \frac{I_{co} - I_{co(E)}}{\beta} \quad (2-122)$$

từ đó dựa vào đặc tuyến vào của tranzito hình 2.65b, tìm được điện áp U_{BEo} ứng với I_{Bo} đã tính được.

Dòng emitor tĩnh có quan hệ với dòng I_{Bo} và I_{co} theo biểu thức :

$$I_{Eo} = (1 + \beta)I_{Bo} + I_{co(E)} = \frac{I_{co} - I_{co(E)}}{\beta} (1 + \beta) + I_{co(E)} = I_{co} \quad (2-123)$$

Khi chọn E_c (nếu như không cho trước), cần phải theo điều kiện

$$E_c = U_{co} + I_{co}R_c + U_{Eo} \quad (2-124)$$

ở đây : $U_{Eo} = I_{Eo} \cdot R_E$

- Xác định hệ số khuếch đại điện áp của tầng $K_u = U_r/E_n$

$$K_u = \frac{I_t \cdot R_t}{I_v(R_n + R_v)} = k_i \cdot \frac{R_t}{R_n + R_v} \quad (2-138)$$

Thay (2-137) vào (2-138) ta có :

$$K_u = \beta \cdot \frac{R_c // R_t}{R_n + R_v} \quad (2-139)$$

Từ (2-139) ta thấy nếu β càng lớn, và điện trở mạch ra của tầng càng lớn so với điện trở mạch vào thì hệ số khuếch đại càng lớn. Đặc biệt, hệ số khuếch đại điện áp sẽ tăng khi điện trở trong nguồn tín hiệu giảm. Hệ số khuếch đại điện áp trong sơ đồ EC khoảng từ $20 \div 100$.

Tầng khuếch đại EC thực hiện đảo pha đối với điện áp vào. Việc tăng điện áp vào (chiều dương) sẽ làm tăng dòng bazơ và dòng colectơ của tranzito, hạ áp trên R_c tăng, sẽ làm giảm điện áp trên colectơ (hay là xuất hiện ở đầu ra của tầng nửa chu kì âm điện áp). Việc đảo pha của điện áp ra trong tầng EC đôi khi được biểu thị bằng dấu "-" trong biểu thức K_u .

- Hệ số khuếch đại công suất $K_p = P_r/P_v = K_u \cdot K_i$ trong sơ đồ EC khoảng $(0,2 \div 5) \cdot 10^3$.

- Điện trở ra của tầng

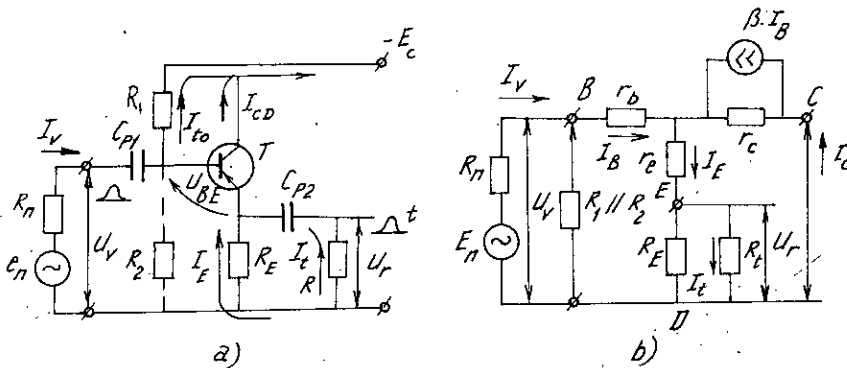
$$R_r = R_c // r'_{c(E)} \quad (2-140)$$

Vì $R_{c(E)} \gg R_c$, nên $R_r = R_c$.

b - Tầng khuếch đại colectơ chung CC (lập emito)

Hình 2.67a là sơ đồ một tầng khuếch đại CC, còn gọi là tầng lập E vì điện áp ra của nó lấy ở E của tranzito, về trị số gần bằng điện áp vào ($U_r = U_v + U_{BE} \approx U_v$) và trùng pha với điện áp vào.

Điện trở R_E trong sơ đồ đóng vai trò như R_c trong sơ đồ EC. Tự C_{p2} có nhiệm vụ



Hình 2.67 :

a) Sơ đồ tầng khuếch đại CC ; b) Sơ đồ thay thế.

truyền ra tải thành phần xoay chiều của tín hiệu ra. Điện trở R_1, R_2 dùng để xác định chế độ tĩnh của tầng. Để tăng điện trở vào, có thể không mắc điện trở R_2 . Việc tính toán chế độ một chiều tương tự như đã làm với tầng EC. Để khảo sát các tham số của tầng theo dòng xoay chiều, cần chuyển sang sơ đồ thay thế (h.2.67b).

Điện trở vào của tầng $R_v = R_1 // R_2 // r_v$.

Ta có $U_v = I_B [r_B + (1 + \beta)(r_E + R_E // R_t)]$

Chia U_v cho I_B ta có

$$r_v = r_B + (1 + \beta)(r_E + R_E // R_t) \quad (2-141)$$

Từ biểu thức (2-141) nhận thấy r_v của tranzito trong sơ đồ CC lớn hơn trong sơ đồ EC. Vì r_E thường rất nhỏ hơn $R_E // R_t$, còn r_B nhỏ hơn số hạng thứ hai về phải của biểu thức (2-141), nên điện trở của tầng lặp lại E bằng :

$$R_v \approx R_1 // R_2 // (1 + \beta) (R_E // R_t) \quad (2-142)$$

Nếu chọn bộ phân áp đầu vào có điện trở lớn thì điện trở vào của tầng sẽ lớn. Ví dụ, $\beta = 50$; $R_E // R_t = 1k\Omega$ thì $R_v = 51k\Omega$. Tuy nhiên khi điện trở vào tầng, thì không thể bỏ qua được điện trở $r_{c(E)}$ mắc rẽ với mạch vào của tầng (h.2.67b). Khi đó điện trở vào của tầng sẽ là :

$$R_v = R_1 // R_2 // [(1 + \beta) (R_E // R_t)] // r_{c(E)} \quad (2-143)$$

Điện trở vào lớn là một trong những ưu điểm quan trọng của tầng CC, dùng để làm tầng phối hợp với nguồn tín hiệu có điện trở trong lớn.

Việc xác định hệ số khuếch đại dòng K_i cũng theo phương pháp giống như sơ đồ E_c . Công thức (2-133) đúng đối với tầng CC. Vì dòng I_t ở đây chỉ là một phần của dòng I_E , nên biểu thức (2-134) sẽ có dạng

$$I_t = (1 + \beta) I_B \frac{R_E // R_t}{R_t} \quad (2-144)$$

và xét đến (2-134) ta có

$$I_t = I_v (1 + \beta) \frac{R_v}{r_v} \cdot \frac{R_E // R_t}{R_t} \quad (2-145)$$

Hệ số khuếch đại dòng trong sơ đồ CC

$$K_i = (1 + \beta) \frac{R_v}{r_v} \cdot \frac{R_E // R_t}{R_t} \quad (2-146)$$

nghĩa là nó cũng phụ thuộc vào quan hệ R_v và r_v , R_E và R_t , giả thiết $R_v = r_v$ thì

$$K_i = (1 + \beta) \cdot \frac{R_E // R_t}{R_t} \quad (2-147)$$

Khi $R_E = R_c$ và điện trở R_t giống nhau, thì hệ số khuếch đại dòng điện trong sơ đồ CC và EC gần bằng nhau.

Hệ số khuếch đại điện áp K_u theo (2-138) ta có :

$$K_u = (1 + \beta) \cdot \frac{R_E // R_t}{R_n + R_v} \quad (2-148)$$

Để tính hệ số K_u , ta coi $R_v \gg R_n$ và R_v tính gần đúng theo (2.142) : $R_v \approx (1 + \beta) (R_E // R_t)$, khi đó $K_u \approx 1$. Tầng CC dùng để khuếch đại công suất tín hiệu trong khi giữ nguyên trị số điện áp của nó.

Vì $K_u = 1$ nên hệ số khuếch đại công suất K_p xấp xỉ bằng K_i về trị số.

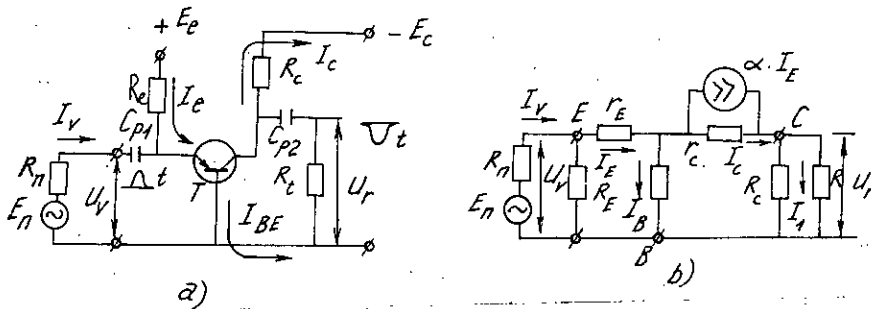
Điện trở ra của tầng CC có giá trị nhỏ (cỡ Ω), được tính bởi :

$$R_r = R_E // \left(r_E + \frac{r_B + R_T // R_1 // R_2}{1 + \beta} \right) = R_E // r_E \quad (2-149)$$

Tầng CC được dùng để biến đổi, trở kháng phối hợp mạch ra của tầng khuếch đại với tải có điện trở nhỏ, có vai trò như 1 tầng khuếch đại công suất đơn chế độ A không có biến áp ra.

c - Tầng khuếch đại bazơ chung (BC)

Hình 2.68a là sơ đồ tầng khuếch đại BC. Các phần tử E_c , R_c để xác định dòng tĩnh I_E . Các phần tử còn lại cũng có chức năng giống sơ đồ EC. Về nguyên lý để thực hiện sơ đồ BC ta có thể chỉ dùng một nguồn E_c .



Hình 2.68 :

a) Sơ đồ khuếch đại BC ; b) Sơ đồ thay thế.

Để khảo sát các tham số của tầng khuếch đại BC theo dòng xoay chiều ta sử dụng sơ đồ tương đương hình 2.68b.

$$R_v = R_E // [r_E + (1 - \alpha)r_B]. \quad (2-150)$$

Từ (2-150) ta thấy điện trở vào của tầng được xác định chủ yếu bằng điện trở r_E và vào khoảng $(10 \div 50)\Omega$. Điện trở vào nhỏ là nhược điểm cơ bản của tầng BC vì tầng đó sẽ là tải lớn đối với nguồn tín hiệu vào.

Đối với thành phần xoay chiều thì hệ số khuếch đại dòng điện sẽ là $\alpha = I_C / I_E$ và $\alpha < 1$. Hệ số khuếch đại dòng điện K_i tính theo sơ đồ hình 2.68b sẽ là

$$K_i = \alpha \cdot \frac{R_c / R_t}{R_t} \quad (2-151)$$

Hệ số khuếch đại điện áp

$$K_u = \alpha \cdot \frac{R_c / R_t}{R_n + R_v} \quad (2-152)$$

Từ (2-152) ta thấy khi giảm điện trở trong của nguồn tín hiệu vào sẽ làm tăng hệ số khuếch đại điện áp.

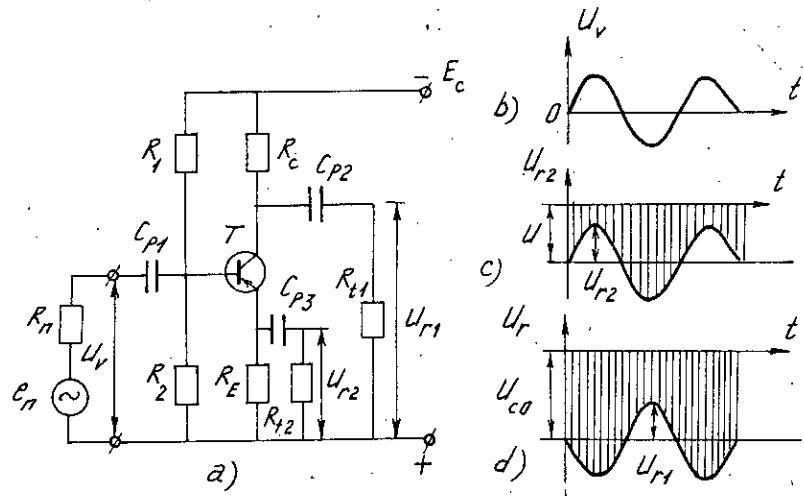
Điện trở ra của tầng BC

$$R_r = R_c // r_{c(B)} \approx R_c \quad (2-153)$$

Cần chú ý rằng đặc tuyến tính của tranzito mắc BC có vùng tuyến tính rộng nhất nên tranzito có thể dùng với điện áp colectơ lớn hơn sơ đồ EC (khi cần có điện áp ở đầu ra lớn). Trên thực tế tầng khuếch đại BC có thể dùng làm tầng ra của bộ khuếch đại, còn tầng CC dùng làm tầng trước cuối. Khi đó tầng CC sẽ là nguồn tín hiệu và có điện trở trong nhỏ (điện trở ra) của tầng BC.

d - Tầng khuếch đại đảo pha

Tầng đảo pha (tầng phân tải) dùng để nhận được hai tín hiệu ra lệch pha nhau 180° . Sơ đồ tầng đảo pha vẽ trên hình 2.69a. Nó có thể nhận được từ sơ đồ EC hình 2.64 khi bỏ tụ C_E và mắc tải thứ hai R_{t2} vào R_E qua C_{p3} . Tín hiệu ra lấy từ colectơ và emítơ của tranzito. Tín hiệu ra U_{r2} lấy từ emítơ đồng pha với tín hiệu vào U_v (h.2.69b, c) còn tín hiệu ra U_{r1} lấy từ colectơ (h.2.69c) ngược pha với tín hiệu vào. Dạng tín hiệu vẽ trên hình 2.69b, c, d.



Hình 2.69 : a) Sơ đồ tầng đảo pha ; b), c), d) Biểu đồ thời gian.

Điện trở vào của tầng đảo pha tính tương tự như tầng CC :

$$R_v = R_1 // R_2 // [r_B + (1 + \beta)(r_E + R_E // R_{t2})] \quad (2-154)$$

hoặc tính gần đúng

$$R_v \approx (1 + \beta)(r_E + R_E // R_{t2}) \quad (2-155)$$

Hệ số khuếch đại điện áp ở đầu ra 1 xác định tương tự như sơ đồ EC, còn ở đầu ra 2 xác định tương tự như sơ đồ CC.

$$K_{u1} \approx -\beta \frac{(R_c // R_{t1})}{R_n + R_v} \quad (2-156)$$

$$K_{u2} \approx (1 + \beta) \cdot \frac{R_E // R_{t2}}{R_n + R_v} \quad (2-157)$$

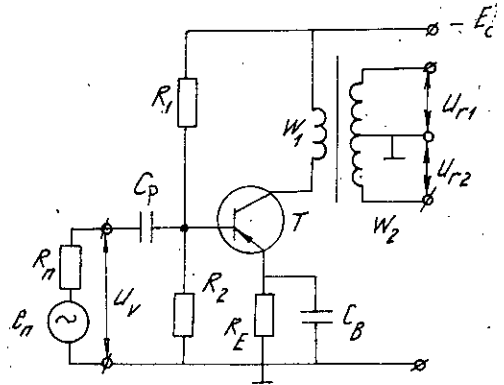
Nếu $(1 + \beta)(R_E // R_{t2}) = \beta(R_c // R_{t1})$ thì hai hệ số khuếch đại này sẽ giống nhau.

Tầng đảo pha cũng có thể dùng biến áp, sơ đồ nguyên lí như hình 2.70.

Hai tín hiệu ra lấy từ hai nửa cuộn thứ cấp có pha lệch nhau 180° so với điểm O. Nếu hai nửa cuộn thứ cấp có số vòng bằng nhau thì hai điện áp ra sẽ bằng nhau. Mạch đảo pha biến áp được dùng vì dễ dàng thay đổi cực tính của điện áp ra và còn có tác dụng để phối hợp trở kháng.

2.3.3. Khuếch đại dùng tranzito trường (FET)

Nguyên lí xây dựng tầng khuếch đại dùng tranzito trường cũng giống như tầng dùng tranzito lưỡng cực, điểm khác nhau là tranzito trường điều khiển bằng điện áp. Khi chọn chế độ tĩnh của tầng dùng tranzito trường cần đưa tới đầu vào (cực cửa) một điện áp một chiều có trị số và cực tính cần thiết.



Hình 2.70: Sơ đồ tầng đảo pha dùng biến áp.

a - Khuếch đại cực nguồn chung (SC)

Sơ đồ khuếch đại SC dùng MOSFET có kênh n đặt sẵn cho trên hình 2.71. Tải R_D được mắc vào cực máng, các điện trở R_1, R_G, R_S dùng để xác lập U_{GSO} ở chế độ tĩnh. Điện trở R_S sẽ tạo nên hồi tiếp âm dòng một chiều để ổn định chế độ tĩnh khi thay đổi nhiệt độ và do tính tán mạn của tham số tranzito. Tụ C_S để khử hồi tiếp âm dòng xoay chiều. Tụ C_{p1} để ghép tầng với nguồn tín hiệu vào. Nguyên tắc chọn chế độ tĩnh cũng giống như sơ đồ dùng tranzito lưỡng cực (h.2.64). Công thức (2.119) và (2.120), ở đây có thể viết dưới dạng.

$$U_{Dso} > U_{rm} + \Delta U_{DS} \quad (2-158)$$

$$I_{Do} > I_{Dm} \quad (2-159)$$

Điểm làm việc tĩnh P dịch chuyển theo đường tải một chiều sẽ qua điểm a và b (h.2.71). Đối với điểm a, $I_D = 0, U_{PS} = +E_D$, đối với điểm b, $U_{DS} = 0, I_D = E_D / (R_D + R_S)$. Đường tải xoay chiều xác định theo điện trở $R_{v-} = R_D // R_1$. Trong bộ khuếch đại nhiều tầng thì tải của tầng trước chính là mạch vào của tầng sau có điện trở vào R_v đủ lớn. Trong những trường hợp như vậy thì tải xoay chiều của tầng xác định chủ yếu bằng điện trở R_D (được chọn tối thiểu cũng nhỏ hơn R_v một bậc nữa). Chính vì vậy đối với tầng tiền khuếch đại thì độ dốc của đường tải xoay chiều (đường c-d) không khác lắm so với đường tải một chiều và trong nhiều trường hợp người ta coi chúng là ở chế độ tĩnh có :

$$U_{Dso} = E_D - I_{Do}(R_D + R_S) \quad (2-160)$$

trong đó I_{Do} là dòng máng tĩnh.

U_{Dso} là điện áp cực máng - nguồn tĩnh.

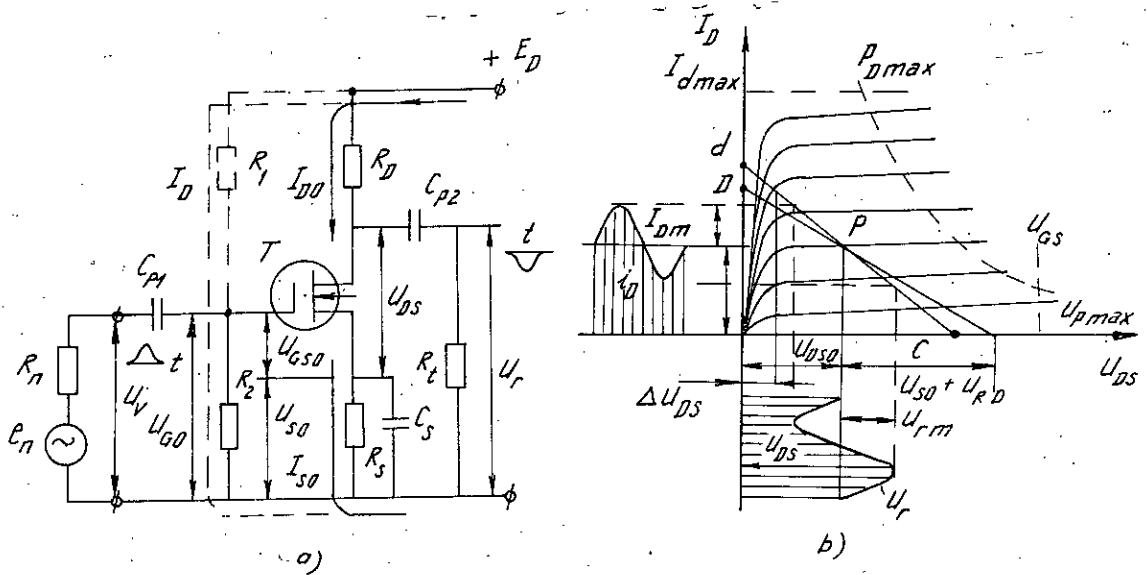
Điện áp U_{GSO} chính là tham số của đặc tuyến ra tĩnh (máng) đi qua điểm tĩnh P (h.2.71).

Dựa vào đặc tuyến của FET ta thấy ở chế độ tĩnh, điện áp phân cực có thể có cực tính dương hoặc âm đối với cực nguồn và thậm chí có thể bằng không.

Khảo sát trường hợp $U_{GSO} < 0$

Điện trở R_S và R_G (h.2.71) để xác định điện áp $U_{GSO} < 0$ trong chế độ tĩnh. Trị số và cực tính của điện áp trên điện trở R_S là do dòng điện $I_{SO} = I_{DO}$ chảy qua nó quyết định, điện trở R_S được xác định bởi :

$$R_S = U_{GSO}/I_{DO} \quad (2-161)$$



Hình 2.71 : a) Sơ đồ tầng khuếch đại SC ; b) Đồ thị xác định chế độ tĩnh.

Điện trở R_G để dẫn điện áp U_{GSO} lấy trên R_S lên cực cửa của FET. Điện trở R_G phải chọn nhỏ hơn điện trở vào vài bậc nữa. Điều này rất cần thiết để loại trừ ảnh hưởng của tính không ổn định theo nhiệt độ và tính tản mạn của các tham số mạch vào đến điện trở vào của tầng. Trị số R_S thường chọn từ $1 \div 5M\Omega$.

Ngoài việc đảm bảo điện áp yêu cầu U_{GSO} , điện trở R_S còn tạo ra hồi tiếp âm dòng 1 chiều trong tầng, ngăn cản sự thay đổi dòng I_{DO} do tác dụng của nhiệt độ và tính tản mạn của tham số tranzito và vì thế ổn định chế độ tĩnh của tầng. Để tăng tính ổn định thì cần tăng R_S nhưng phải đảm bảo giá trị U_{GSO} . Trong trường hợp này phải bù điện áp U_{SO} bằng cách cung cấp cho cực cửa điện áp U_{GO} qua điện trở R_1 .

$$U_{GSO} = U_{SO} - U_{GO} = I_{DO} \cdot R_S - E_D \cdot \frac{R_G}{R_G + R_1} \quad (2-162)$$

$$R_1 = \frac{E_D \cdot R_G}{U_{SO} - U_{GSO}} - R_G \quad (2-163)$$

Điện áp nguồn cung cấp

$$E_D = U_{DSO} + U_{SO} + I_{DO}R_D \quad (2-164)$$

Trị số R_D có ảnh hưởng đến đặc tính tần số của tầng, nó được tính theo tần số trên của dải tần. Với quan điểm mở rộng dải tần thì phải giảm R_D . Sau khi đã chọn điện trở trong của tranzito r_i , thì ta có thể chọn $R_D = (0,05 \div 0,15)r_i$.

Việc chọn điện áp U_{SO} cũng theo những điều kiện giống như điện áp U_{EO} trong tầng EC, nghĩa là tăng điện áp U_{SO} sẽ làm tăng độ ổn định của điểm làm việc tĩnh do R_S tăng, tuy nhiên khi đó cần tăng E_D . Vì thế U_{SO} thường chọn khoảng $(0,1 \div 0,3)E_D$. Cũng tương tự (2-125) ta có :

$$E_D = \frac{U_{DO} + I_{DO}R_D}{0,7 \div 0,9} \quad (2-165)$$

Khi $U_{GSO} \geq 0$ phải mắc điện trở R_S để đạt yêu cầu về độ ổn định chế độ tĩnh. Lúc đó bắt buộc phải mắc R_1 . Chọn các phân tử dựa vào các công thức (2-162), đến (2-165), khi đó công thức (2-162), (2-163) cần phải hoặc cho $U_{GSO} = 0$, hoặc là thay đổi dấu trước điện áp U_{GSO} . Chế độ $U_{GSO} > 0$ là chế độ điển hình cho MOSFET có kênh cảm ứng loại n. Vì thế nếu thực hiện việc đổi dấu trước U_{GSO} trong công thức (2-162), (2-163) có thể dùng chúng để tính mạch thiên áp của tầng nguồn chung.

Chọn loại FET phải chú ý đến các tham số tương tự như trong tầng EC. Phải tính đến dòng máng cực đại I_{Dmax} , điện áp cực đại U_{DSmax} và công suất tiêu tán cực đại trong tranzito P_{Dmax} (h.2.71), và U_{DSmax} .

Giống như sơ đồ EC dùng tranzito lưỡng cực, tầng nguồn chung cũng làm đảo pha tín hiệu khuếch đại. Ví dụ đặt vào đầu vào nửa chu kì điện áp dương (h. 2.71) sẽ làm tăng dòng máng và giảm điện áp máng ; ở đầu ra sẽ nhận được nửa chu kì điện áp cực tính âm.

Dưới đây ta sẽ phân tích tầng khuếch đại về mặt xoay chiều.

Sơ đồ thay thế tầng SC vẽ trên hình 2.72a có tính đến điện dung giữa các điện cực của tranzito [6,8].

Sơ đồ thay thế dựa trên cơ sở sử dụng nguồn dòng ở mạch ra. Điện trở R_D , R_1 mắc song song ở mạch ra xác định tải $R_{t-} = R_D // R_1$. Điện trở R_1 và R_G cũng được mắc song song. Vì điện trở vào thường lớn hơn điện trở R_n nhiều, nên điện áp vào của tầng coi như bằng E_n . Tụ phân đường C_{p1} , C_{p2} và tụ C_s khá lớn nên điện trở xoay chiều coi như bằng không. Vì thế trong sơ đồ thay thế không vẽ những tụ đó.

Hệ số khuếch đại điện áp ở tần số trung bình

$$K_u = \frac{U_t}{U_v} = \frac{S U_v (r_i // R_{t-})}{U_v} = S (r_i // R_{t-}) \quad (2-166)$$

hay là

$$K_u = \frac{S r_i R_{t-}}{r_i + R_{t-}} \quad (2-167)$$

Tích số $S r_i$ gọi là hệ số khuếch đại tĩnh μ của FET. Thay $\mu = S r_i$ vào (2.167) ta có :

$$K_u = \frac{\mu R_{t-}}{r_i + R_{t-}} \quad (2-168)$$

Dựa vào (2-168) có thể vẽ sơ đồ thay thế của tầng SC với nguồn điện áp μU_v (h.2.72b).

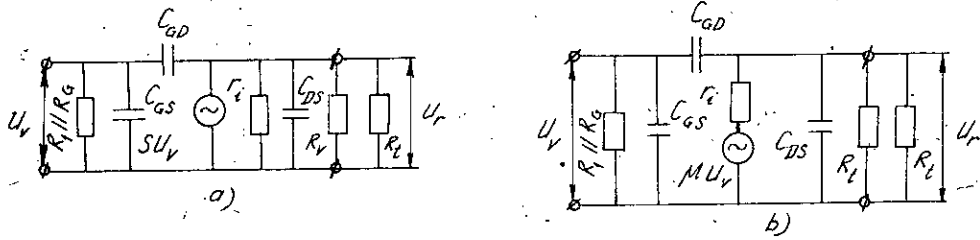
Trong trường hợp nếu tầng SC là tầng tiến khuếch đại trong bộ khuếch đại nhiều tầng thì $R_{t-} = R_D // R_v = R_D$. Nếu như tính đến $R_D \ll r_i$ thì hệ số khuếch đại điện áp của tầng được tính gọn là :

$$K_u = S R_D \quad (2-169)$$

Điện trở vào của tầng SC là : $R_v = R_1 // R_G \quad (2-170)$

Điện trở ra của tầng SC là : $R_r = R_D // r_i \approx R_D \quad (2-171)$

Khi chuyển sang miền tần số cao thì phải chú ý đến điện dung vào và ra của tầng, nghĩa là cần chú ý đến điện dung giữa các điện cực C_{GS} , C_{GD} của tranzito (h.2.72a), cũng như điện dung lắp ráp mạch vào C_L (điện dung của linh kiện và dây dẫn mạch vào đối với cực âm của nguồn cung cấp).



Hình 2.72 : Sơ đồ thay thế tầng SC
a) Nguồn dòng ; b) Nguồn áp.

Ở tần số cao những điện dung kể trên sẽ tạo nên thành phần kháng của dòng điện mạch vào.

$$I_{CV} = I_{CGS} + I_{CGD} + I_{CL} \quad (2-172)$$

Dòng I_{CGS} , I_{CL} xác định bằng điện áp vào U_v , còn dòng I_{CGD} xác định bằng điện áp cực máng - cửa. Vì điện áp cực máng ngược pha với điện áp vào, nên điện áp giữa cực cửa và máng sẽ bằng :

$$\dot{U}_v + \dot{U}_r = (1 + K_u) \cdot \dot{U}_v$$

Dòng điện vào điện dung của tầng

$$\dot{I}_{cv} = j\omega C_{GS} \cdot \dot{U}_v + j\omega C_{GD} (1 + K_u) \cdot \dot{U}_v + j\omega C_L \cdot \dot{U}_v$$

hay là

$$\dot{I}_{cv} \approx j\omega \dot{U}_v [C_{GS} + (1 + K_u) C_{GD} + C_L] = j\omega C_v \cdot \dot{U}_v$$

Ở đây C_v là điện dung vào của tầng

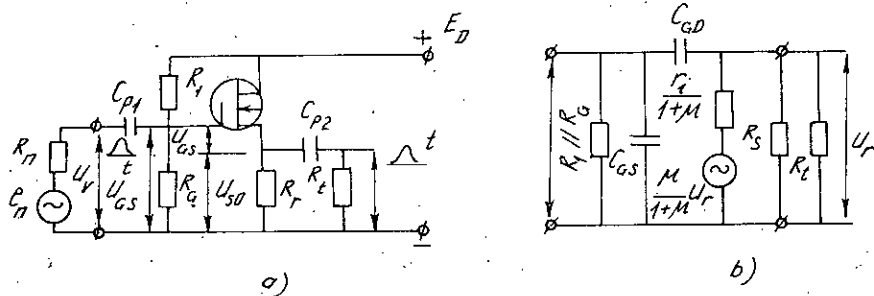
$$C_v = C_{GS} + (1 + K_u) C_{GD} + C_L \quad (2-173)$$

Điện dung ra của tầng phụ thuộc vào điện dung giữa các điện cực ở khoảng máng - nguồn và máng - cửa, cũng như điện dung lắp ráp mạch ra. Tính điện dung ra cũng theo phương pháp như đã tính đối với điện dung vào, có kết quả :

$$C_r = C_{DS} + \frac{1 + K_u}{K_u} \cdot C_{GD} + C_s \quad (2-174)$$

e. Khuếch đại cực máng chung DC (lặp lại cực nguồn)

Hình 2.73a là sơ đồ DC dùng FET có kênh đặt sẵn. Điện trở R_1 , R_G cùng với R_S dùng để xác định chế độ làm việc tĩnh của tranzito.



Hình 2.73 : a) Sơ đồ DC dùng FET có kênh đặt sẵn ; b) Sơ đồ thay thế tầng DC.

Việc chọn và đảm bảo chế độ tĩnh được tiến hành tương tự như tầng SC. Tải một chiều của tầng là R_S , còn tải xoay chiều là $R_{t\sim} = R_S // R_t$

Đối với tầng DC thì điện áp tải trùng pha với điện áp vào

$$U_t = U_v - U_{GS} \quad (2-175)$$

Theo sơ đồ thay thế thì U_t lại là hàm số của U_{GS} tác dụng lên đầu vào của tranzito $U_t = S U_{GS} (r_i // R_{t\sim})$.

hay
$$U_{GS} = \frac{U_t}{S(r_i // R_{t\sim})} \quad (2-176)$$

Hệ số khuếch đại điện áp của tầng tính theo :

$$K_u = \frac{U_t}{U_v} = \frac{S(r_i // R_{t\sim})}{1 + S(r_i // R_{t\sim})} \quad (2-177)$$

Vì $r_i \gg R_{t\sim}$ nên

$$K_u = \frac{S R_{t\sim}}{1 + S R_{t\sim}} \quad (2-178)$$

Hệ số khuếch đại K_u phụ thuộc vào độ hở dẫn S của tranzito và tải xoay chiều của tầng. Hệ số khuếch đại sẽ tiến tới 1 khi tầng S và $R_{t\sim}$. Vì vậy đối với tầng DC nên dùng tranzito có độ hở dẫn lớn.

Để tìm được các tham số tương đương của sơ đồ thay thế, biến đổi công thức (2-177) sau khi thay vào nó $S = \mu / r_i$ và khai triển ta có :

$$r_i // R_{t\sim} = \frac{r_i R_{t\sim}}{r_i + R_{t\sim}}$$

và :

$$K_u = \frac{\mu \cdot R_{t\sim}}{r_i + (1 + \mu) R_{t\sim}} \quad (2.179)$$

Chia cả tử số và mẫu số về phải của công thức (2-179) cho $1 + \mu$ và thay $K_u = U_t / U_v$, ta có

$$U_t = \frac{\mu}{1 + \mu} U_v \cdot \frac{R_{t\sim}}{r_i / (1 + \mu) + R_{t\sim}} \quad (2-180)$$

Dựa vào (2-180) ta vẽ được sơ đồ thay thế của tầng (h.2.73b). Ở mạch ra của sơ đồ thay thế có nguồn điện áp tương đương

$$\frac{\mu}{1 + \mu} \cdot U_v$$

với điện trở tương đương $r_i / (1 + \mu)$. Mạch vào của sơ đồ thay thế (h.2.73b) gồm 3 phần tử giống nhau như sơ đồ thay thế SC.

Dựa vào sơ đồ hình 2.73b xác định được điện trở ra của tầng DC.

$$R_r = R_S // \frac{1}{1 + \mu} \approx \frac{1}{S} \quad (2-181)$$

Điện trở ra của tầng DC nhỏ hơn tầng SC, và vào khoảng $100 \div 3000\Omega$.

Vì điện áp giữa cực cửa và cực nguồn của tranzito trong sơ đồ lặp lại cực nguồn bằng hiệu $U_v - U_r$, nên dòng điện vào bản thân của tranzito sẽ nhỏ hơn trong sơ đồ SC, và độ không ổn định nhiệt độ của điện trở khoảng giữa cửa và nguồn nhỏ. Do đó cho phép ta dùng R_1, R_G lớn. Vì vậy tầng DC có điện trở vào R_v lớn (tới vài $M\Omega$) hơn tầng SC.

Điện dung vào của tầng DC sẽ nhỏ hơn của tầng SC.

Đối với tầng lặp lại cực nguồn thì cần thiết phải tính đến thành phần dòng điện dung vào mạch cửa - máng và cửa - nguồn của tranzito, cũng như thành phần dòng điện dung lắp ráp ở mạch vào của tầng. Vì điện áp cực máng không đổi, thành phần dòng điện dung C_{GD} và C_1 được xác định bằng điện áp vào U_v . Thành phần dòng điện dung C_{GS} phụ thuộc vào điện áp

$$U_{GS} = U_v - U_1 = (1 - K_u)U_v.$$

Dòng vào tổng là

$$I_{cv} = j\omega U_v [C_{GD} + C_{GS}(1 - k_u) + C_L]$$

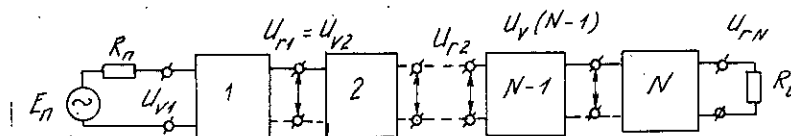
từ đó

$$C_v = C_{GD} + C_{GS}(1 - K_u) + C_L \quad (2-182)$$

So sánh (2-182) với (2-173) thấy điện dung vào của tầng DC nhỏ hơn trong sơ đồ SC. Từ (2-182) trong tầng DC nếu $K_u \approx 1$ thì ảnh hưởng của điện dung C_{GS} đến điện dung vào sẽ giảm.

2.3.4. Ghép giữa các tầng khuếch đại

Một bộ khuếch đại thường gồm nhiều tầng mắc nối tiếp nhau như hình 2.74 (vì thực tế một tầng khuếch đại không đảm bảo đủ hệ số khuếch đại cần thiết), ở đây tín hiệu ra của tầng đầu hay tầng trung gian bất kì sẽ là tín hiệu vào cho tầng sau nó và tải của một tầng là điện trở vào của tầng sau nó. Điện trở vào và ra của bộ khuếch đại sẽ được tính theo tầng đầu và tầng cuối.



Hình 2.74 : Sơ đồ khối bộ khuếch đại nhiều tầng.

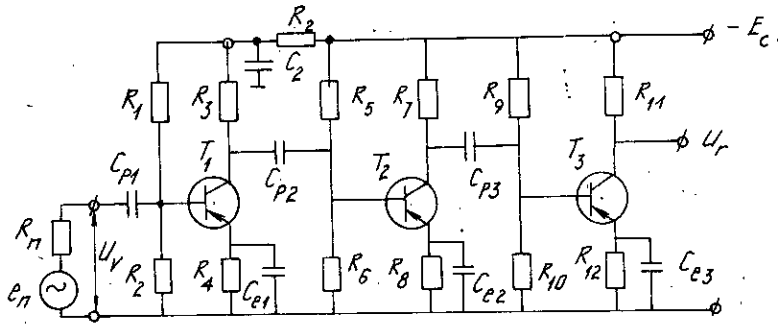
Theo hệ thức (2.104), hệ số khuếch đại của bộ khuếch đại nhiều tầng bằng tích hệ số khuếch đại của mỗi tầng (tính theo đơn vị số lần) hay bằng tổng của chúng (tính theo đơn vị dB)

$$\left. \begin{aligned} K_u &= \frac{U_1}{E_n} = \frac{U_{r1}}{E_n} \cdot \frac{U_{r2}}{U_{v2}} \cdots \frac{U_{rN}}{U_{vN}} = K_{u1} \cdot K_{u2} \cdots K_{uN} \\ K_u(\text{dB}) &= K_{u1}(\text{dB}) + \dots + K_{uN}(\text{dB}) \end{aligned} \right\} \quad (2-183)$$

Việc ghép giữa các tầng có thể dùng tụ điện, biến áp hay ghép trực tiếp.

a- Ghép tầng bằng điện dung

Bộ khuếch đại nhiều tầng ghép điện dung vẽ trên hình 2.75. Các điều đã phân tích trong 2.3.2 đúng cho một tầng trung gian bất kì nếu thay R_i cho R_v . Số tầng trong bộ khuếch đại nhiều tầng xác định theo công thức (2-183) xuất phát từ hệ số khuếch đại yêu cầu. Việc tính toán các tầng (chọn và đảm bảo chế độ làm việc tĩnh, tính toán chế độ xoay chiều) phải theo thứ tự từ tầng cuối cùng về tầng đầu tiên.



Hình 2.75 : Sơ đồ bộ khuếch đại nhiều tầng ghép điện dung.

Trước hết ta tính tầng cuối cùng. Tầng này phải đảm bảo đưa ra tải R_L công suất tín hiệu yêu cầu. Dựa vào hệ số khuếch đại tầng cuối, người ta xác định các tham số tín hiệu vào của nó. Và đó chính là số liệu ban đầu để tính tầng trước cuối, và v.v... cho tới tầng đầu tiên (tầng vào) của bộ khuếch đại.

Đầu tiên ta tính ở tần số trung bình f_0 bỏ qua ảnh hưởng của tụ điện trong bộ khuếch đại và không tính đến sự phụ thuộc của các tham số tranzito vào tần số. Trong trường hợp cần thiết phải chú ý đến đặc tính của tranzito và ảnh hưởng của tụ ở biên tần của tín hiệu cần khuếch đại, điều này sẽ làm cho điện áp đầu ra bộ khuếch đại thay đổi cả biên độ lẫn pha khi tần số tín hiệu vào thay đổi. Ở miền tần số thấp, khi tải thuần trở thì những sự phụ thuộc kể trên là do tụ điện trong sơ đồ quyết định, còn ở miền tần số cao thì chủ yếu là do các tham số của tranzito quyết định. Trong thực tế, thường người ta có thể nghiên cứu ảnh hưởng của các yếu tố trên một cách độc lập ở hai miền tần số thấp và cao.

Dưới đây ta xét đặc điểm công tác của bộ khuếch đại ở miền tần thấp.

Trong 2.3.2. khi tính hệ số khuếch đại của tầng đơn đã giả thiết điện trở xoay chiều của tụ bằng không. Những giả thiết như vậy chỉ đúng ở dải tần trung bình. Khi tần số giảm thì độ dẫn điện của tụ ghép tầng C_p sẽ giảm. Do có hạ áp trên tụ nên điện áp từ nguồn tín hiệu đặt vào tầng đầu tiên hay điện áp ra tầng trước đặt vào tầng sau sẽ bị giảm. Hạ áp ở trên tụ sẽ làm giảm biên độ tín hiệu ở đầu ra mỗi tầng và của cả bộ khuếch đại nói chung tức là làm giảm hệ số khuếch đại ở miền tần thấp (h.2.76a).

Ảnh hưởng của tụ C_p thể hiện rất rõ ràng trong bộ khuếch đại ghép điện dung ở chỗ hệ số khuếch đại $K_u \rightarrow 0$ khi $f \rightarrow 0$. Như vậy là trị số của tụ C_p có ảnh hưởng đến hệ số khuếch đại ở miền tần thấp.

Tụ điện C_E cũng ảnh hưởng đến hệ số khuếch đại ở miền tần thấp. Vì khi giảm tần số sẽ làm giảm tác dụng mắc rẽ của tụ đối với điện trở R_E và do đó làm tăng mức độ hồi tiếp âm dòng xoay chiều trên R_E và do đó làm giảm hệ số khuếch đại.

Việc giảm môđun hệ số khuếch đại ở miền tần số thấp K_t được đặc trưng bằng hệ số méo tần số thấp của bộ khuếch đại.

$$M_t = K_o/K_t$$

đó chính là tích hệ số méo tần số của mỗi tụ trong bộ khuếch đại

$$M_t = M_{t1} \cdot M_{t2} \dots M_{tn} \quad (2-184)$$

Hệ số méo tần số của tụ tính theo

$$M_t = \sqrt{1 + \left(\frac{1}{\omega_1 \tau_1}\right)^2} \quad (2-185)$$

Đối với tụ C_p (h.2.75) thì hằng số thời gian $\tau = C_{p1}(R_n + R_{v1})$, trong đó R_{v1} là điện trở vào của tầng đầu tiên. Tương tự như vậy, ta xác định được hằng số thời gian cho những tụ khác trong sơ đồ.

Tần số thấp nhất của dải thông sẽ được chọn làm số liệu ban đầu khi tính bộ khuếch đại ở miền tần số thấp. Hệ số méo tần số ứng với tần số thấp nhất của dải thông có giá trị tùy thuộc vào nhiệm vụ của bộ khuếch đại, ví dụ đối với bộ khuếch đại âm thanh thường chọn bằng $\sqrt{2}$.

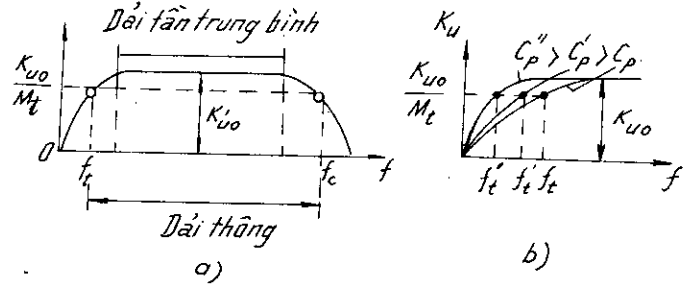
Như trên đã giả thiết, ở miền tần số trung bình, các tụ điện không gây ảnh hưởng gì và sự dịch pha của tín hiệu đầu ra bộ khuếch đại đối với tín hiệu đầu vào sẽ là $n\pi$, ở đây n là số tầng khuếch đại làm đảo pha tín hiệu. Tất nhiên chỉ có tầng EC (hay SC), còn tầng BC và CC (hay GC và DC) không làm đảo pha tín hiệu.

Ở miền tần số thấp vì trong mạch có tụ điện nên dòng điện nhanh pha so với điện áp. Như vậy sự dịch pha của điện áp ra bộ khuếch đại so với điện áp vào ở miền tần số thấp có đặc tính vượt trước. Góc dịch pha của bộ khuếch đại bằng tổng góc dịch pha của mỗi tụ, và góc dịch pha của mỗi tụ là

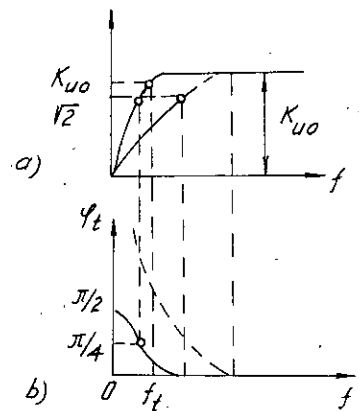
$$\varphi_t = \arctg \frac{1}{\omega_1 \tau_1} \quad (2-186)$$

Đặc tuyến biên độ tần số và pha tần số của bộ khuếch đại ở miền tần số thấp vẽ trên hình 2.77. Đường nét liền là đặc tuyến khi xét đến ảnh hưởng của một tụ, còn đường cong nét đứt trên hình 2.77 là đặc tuyến khi xét đến ảnh hưởng của tất cả các tụ trong bộ khuếch đại.

Đặc điểm công tác của bộ khuếch đại ở miền tần số cao là sự phụ thuộc hệ số β của tranzito vào tần số



Hình 2.76 : a) Dạng tổng quát đặc tuyến biên độ tần số của bộ khuếch đại ghép điện dung ; b) Ảnh hưởng của tụ nối tầng đến đặc tuyến ở tần thấp.



Hình 2.77 : Ảnh hưởng của tụ nối tầng đến đặc tuyến
a) Biên độ - tần số ;
b) Pha - tần số.

và sự tồn tại điện dung mặt ghép colectơ $C_{c(E)}$ (đối với tầng EC) những nhân tố này ảnh hưởng đến đặc tuyến tần số của bộ khuếch đại ở miền tần cao. Ở miền tần cao, sự giảm môđun hệ số β của tranzito cũng như tác dụng mắc rẽ của điện dung $C_{c(E)}$ sẽ làm giảm hệ số khuếch đại. Xét về mức độ giảm hệ số β người ta đưa ra khái niệm về tần số giới hạn f_β tức là tại đó hệ số β bị giảm $\sqrt{2}$ lần so với giá trị β_0 ở tần số trung bình.

Hệ số méo ở tần cao

$$M_c = \sqrt{1 + (\omega\tau_c)^2} \quad (2-187)$$

ở đây : τ_c là hằng số thời gian tương đương của tầng ở miền tần cao.

Góc dịch pha do một tầng khuếch đại gây ra là

$$\varphi_c = - \arctg \omega\tau_c \quad (2-188)$$

Đặc tuyến biên độ tần số và pha tần số ở miền tần cao vẽ trên hình 2.78. Từ đồ thị ta thấy khi tần số tăng thì hệ số méo tần số tăng và hệ số khuếch đại giảm. Đặc tuyến biên độ tần số và pha tần số ở miền tần cao của một tầng khuếch đại biểu thị bằng đường nét liền trên hình 2.78, còn của cả bộ khuếch đại thì được biểu thị bằng đường nét đứt với hệ số méo tần số ở tần cao bằng tích hệ số méo của mỗi tầng :

$$M_c = M_{c1} \cdot M_{c2} \dots M_{cn} \quad (2-189)$$

Còn góc dịch pha cũng bằng tổng góc dịch pha của mỗi tầng

$$\varphi_c = \varphi_{c1} + \varphi_{c2} + \dots + \varphi_{cn} \quad (2-190)$$

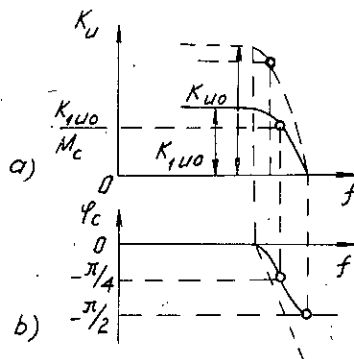
Tính toán bộ khuếch đại ở miền tần cao phải đảm bảo tần số biên trên của dải thông bộ khuếch đại (h.2.76a). Với một dải thông cho trước, về nguyên tắc không bắt buộc phải lấy hai hệ số méo ở tần số biên dưới và biên trên bằng nhau. Tính toán dẫn tới việc chọn loại tranzito theo tần số f_β và xác định τ_β để đảm bảo hệ số méo cần thiết của tầng.

Méo biên độ và pha của bộ khuếch đại là loại méo tuyến tính vì nó không làm thay đổi dạng của tín hiệu hình sin được khuếch đại. Khi tín hiệu cần khuếch đại có dạng phức tạp đặc trưng bằng phổ các thành phần điều hòa thì méo biên độ và pha của bộ khuếch đại là do sự phá vỡ tương quan tỉ lệ giữa các thành phần điều hòa về biên độ và pha của điện áp ra và vào.

Dưới đây ta khảo sát đặc tuyến biên độ của bộ khuếch đại.

Đặc tuyến biên độ phản ánh sự phụ thuộc giữa biên độ điện áp ra U_m và sự thay đổi biên độ điện áp vào E_m . Dạng điển hình của đặc tuyến biên độ vẽ trên hình 2.79 (vẽ với tín hiệu vào là hình sin ở tần số trung bình). Đặc tuyến này cho biết giới hạn có thể thay đổi tín hiệu ra và vào của bộ khuếch đại.

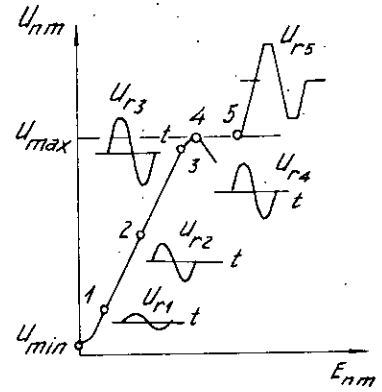
Từ đồ thị ta thấy ở đoạn 1-3 quan hệ điện áp ra và vào là tỉ lệ thuận. Đặc tuyến biên độ không đi qua gốc tọa độ vì ở đầu ra có điện áp nhiễu và ồn của bản thân bộ



Hình 2.78 : Ảnh hưởng tính chất tần số của tranzito đến đặc tuyến
a) Biên độ - tần số
b) Pha - tần số.

khuếch đại. Đoạn dưới điểm 1 của đặc tuyến không dùng vì ở đây tín hiệu có ích rất khó phân biệt với điện áp nhiễu và ồn bản thân của bộ khuếch đại. Dựa vào trị số U_{min}/K_0 người ta đánh giá mức điện áp tín hiệu vào tối thiểu (độ nhạy) của bộ khuếch đại.

Khi đã đạt được giá trị tín hiệu vào E_m nào đó, ứng với điểm 3, thì sự phụ thuộc tỉ lệ giữa điện áp ra và vào bị phá vỡ. Nguyên nhân là sự hạn chế điện áp cực đại của một hoặc cả hai nửa chu kì tín hiệu vào ở một mức không đổi. Sự hạn chế này thường ở tầng cuối bộ khuếch đại làm việc với tín hiệu vào lớn nhất. Muốn có biên độ điện áp ra lớn nhất thì phải chọn điểm làm việc tĩnh của tầng ra ở giữa đường tải xoay chiều.



Hình 2.79 : Đặc tuyến biên độ của bộ khuếch đại.

Tỉ số giữa biên độ điện áp ra cho phép cực đại và cực tiểu gọi là dải động của bộ khuếch đại, và được kí hiệu là :

$$D = U_{max}/U_{min}$$

Khi tín hiệu vào là hình sin thì tín hiệu ở đầu ra bộ khuếch đại không thể coi là hình sin thuần túy. Do tính không đường thẳng của đặc tuyến V - A vào và ra của tranzito sẽ làm méo dạng điện áp ra, gọi là méo không đường thẳng, (xem 2.3.1).

b - Ghép tầng bằng biến áp ⁽¹⁾

Ở phần trên ta đã trình bày bộ khuếch đại ghép tầng bằng điện dung một cách chi tiết và đó là trường hợp chung nhất được sử dụng rộng rãi nhất. Ở phần này chúng ta chỉ nêu lên những đặc điểm khác biệt của tầng ghép biến áp so với tầng ghép điện dung. Hơn nữa vấn đề ghép biến áp còn được đề cập tới ở phần khuếch đại công suất. Hình 2.80a là sơ đồ bộ khuếch đại ghép biến áp. (linh kiện ghép tầng là biến áp). Cuộn sơ cấp của nó (W1) được mắc vào bazơ tranzito T_2 qua tụ C_{p2} . Ghép tầng bằng biến áp không những cách li các tầng về dòng một chiều, mà còn làm tăng hệ số khuếch đại chung về điện áp (dòng điện) tùy thuộc vào biến áp tăng (hay giảm) áp.

Do điện trở một chiều của cuộn sơ cấp biến áp nhỏ, hạ áp 1 chiều trên nó nhỏ, nghĩa là hầu như toàn bộ điện áp nguồn cung cấp được đưa tới colectơ của tranzito. Điều đó cho phép dùng nguồn điện áp thấp, ngoài ra tầng ghép biến áp dễ dàng thực hiện phối hợp trở kháng và thay đổi cực tính của điện áp tín hiệu trên các cuộn dây. Tuy nhiên nó có nhược điểm là đặc tuyến tần số không bằng phẳng trong dải tần.

Trong chế độ phối hợp trở kháng giữa các tầng thì tải xoay chiều của tầng được tính theo :

$$R'_t = R_{r1} \tag{2-191}$$

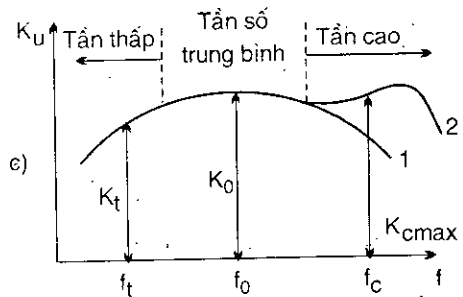
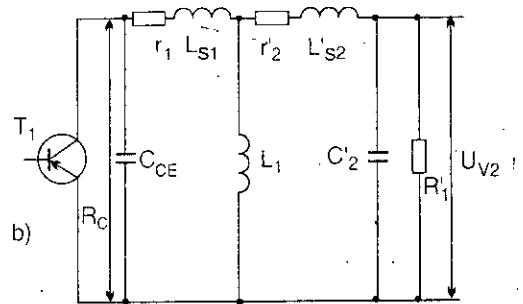
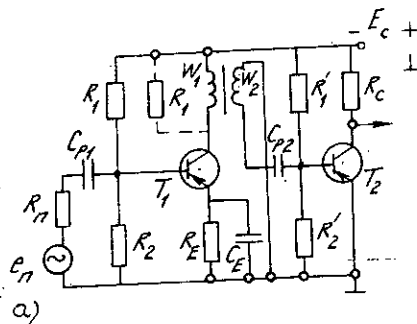
(1) - Trong phần này, các kí hiệu có dấu "" ở trên biểu thị một đại lượng nào đó, đã được phản ánh từ thứ cấp và sơ cấp (qua hệ số biến áp).

có tính thuần trở (đường chấm chấm trên hình 2.80a) trong khi đó cảm kháng của cuộn sơ cấp ở tần số tín hiệu là $\omega L_1 \gg R'_1$ (ở đây L_1 là điện cảm cuộn sơ cấp).

Méo tần số trong bộ khuếch đại ghép biến áp là do cuộn dây biến áp các tụ C_{p1} , C_{p2} , C_E , C_{CE} gây ra.

Sơ đồ tương đương của bộ khuếch đại vẽ trên hình 2.80b ảnh hưởng tầng đầu bộ khuếch đại được thể hiện trong sơ đồ tương đương bằng điện dung C_{CE} . Còn tầng hai được thể hiện bằng R'_1 , đó là tải phản ánh từ thứ cấp về sơ cấp.

Hình 2.80c vẽ đặc tuyến tần số của bộ khuếch đại ghép biến áp. Ở miền tần số trung bình hệ số khuếch đại thực tế không phụ thuộc vào tần số vì trở kháng của điện cảm dò nhỏ nên không ảnh hưởng đến việc truyền tín hiệu ra tải. Ngoài ra dung kháng C_{CE} , C_2 cũng như cảm kháng L_1 đủ lớn, tác dụng mắc rẽ của chúng đối với mạch ra của tầng đầu và tải không đáng kể, vì vậy có thể không tính đến chúng.



Hình 2.80 : Tầng khuếch đại ghép biến áp
a) Sơ đồ nguyên lý ;
b) Sơ đồ tương đương ;
c) Đặc tuyến tần số.

Với những giả thuyết như trên, ta có thể chia sơ đồ tương đương của mạch ghép tầng thành ba sơ đồ ứng với ba khoảng tần số trung bình, tần số thấp và tần số cao (h.2.81).

Theo sơ đồ hình 2.81a thì ở tần số trung bình, tổng trở tải

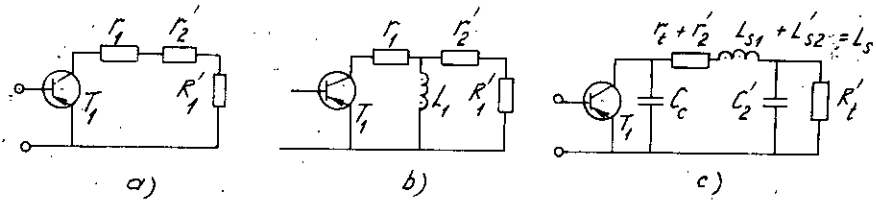
$$R_T = R'_1 + r_1 + r'_2 \quad (2-192)$$

Ở miền tần số thấp cảm kháng của L_1 bị giảm sẽ gây tác dụng mắc rẽ đáng kể với R'_1 và làm cho hệ số khuếch đại giảm. Ngoài ra dung kháng của C_{CE} và C'_2 lớn hơn và cảm kháng của L_{S1} và L'_{S2} nhỏ hơn so với trị số tương ứng của chúng ở miền tần số trung bình. Cho nên sơ đồ tương đương của mạch ghép có dạng như hình 2.81b. Với một M_t và ω_t cho trước, ta có thể tìm được điện cảm L_1 tối thiểu theo

$$L_1 \geq R_0 / (\omega_t \sqrt{M_t^2 - 1}) \quad (2-193)$$

Ở đây :

$$R_0 = [(R_{r1} + r_1)(r'_2 + R'_1) / (R_{r1} + r_1 + r'_2 + R'_1)]$$



Hình 2.81 : Sơ đồ tương đương của tầng khuếch đại ghép biến áp
a) Tần số trung bình ; b) Tần thấp ; c) Tần cao.

Ở miền tần cao điện cảm dò tăng, nên điện áp tín hiệu đưa ra tải R'_1 bị giảm. Ngoài ra tần cao sẽ làm giảm đáng kể dung kháng của C_{CE} và C'_2 , do đó làm giảm điện áp xoay chiều trên cuộn cảm T_1 và R'_1 , và hệ số khuếch đại giảm. Ở miền tần cao sơ đồ tương đương của bộ khuếch đại vẽ trên hình 2.81. Với một M_c và ω_c đã cho, thì điện cảm dò tổng xác định theo.

$$L_S \leq \frac{R_{r1} + r_1 + r'_2 + R'_1}{\omega_c} \cdot \sqrt{M_c^2 - 1} \quad (2-194)$$

Cần chú ý rằng trong tầng khuếch đại ghép biến áp có R'_1 lớn thì ở một tần số nào đó ở miền tần cao có thể xuất hiện cộng hưởng (đường 2 hình 2.80c) do mạch $L_S C'_2$ quyết định, làm đặc tuyến vồng lên.

2.3.5. Khuếch đại công suất

Tầng khuếch đại công suất là tầng cuối cùng mắc với tải ngoài và để nhận được công suất tối ưu theo yêu cầu trên tải, cần phải đặc biệt chú ý đến chỉ tiêu năng lượng.

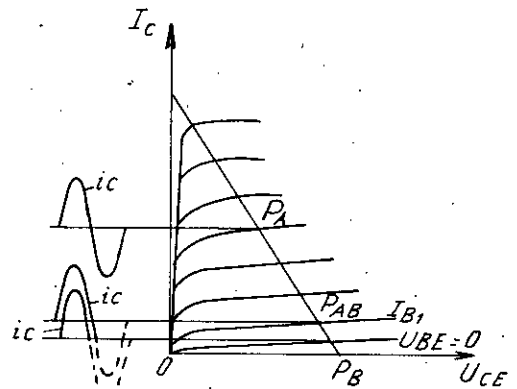
Tầng khuếch đại công suất có thể dùng tranzito lưỡng cực hoặc IC khuếch đại công suất. Theo cách mắc tải, người ta chia thành tầng khuếch đại có biến áp ra và tầng khuếch đại không biến áp ra.

Ba chế độ làm việc thường dùng trong tầng khuếch đại công suất là : chế độ A, chế độ B và chế độ AB (xem 2.3.1). Hình 2.82 dùng để minh họa đặc điểm của các chế độ bằng ví dụ trên đặc tuyến ra của tranzito theo sơ đồ EC.

Chế độ A được dùng trong tầng khuếch đại công suất đơn, đảm bảo tín hiệu ra méo ít nhất nhưng hiệu suất nhỏ nhất khoảng 20%, và công suất ở tải không vượt quá vài W.

Trong chế độ B điểm làm việc tĩnh chọn ở điểm nút phải dương tải một chiều. Chế độ tĩnh tương ứng với điện áp $U_{BE} = 0$. Khi có tín hiệu vào, dòng cuộn cảm chỉ xuất hiện ứng với nửa chu kì, còn nửa chu kì sau tranzito ở chế độ khóa. Khi đó hiệu suất năng lượng của tầng ra cao (60 + 70%) và có khả năng cho 1 công suất ra tải lớn, tuy nhiên méo γ với chế độ này lớn cần khắc phục bằng cách mắc tranzito thích hợp.

Chế độ AB là trung gian giữa chế độ A và B đạt được bằng cách dịch chuyển điểm tĩnh lên phía trên điểm B (h.2.82). Méo không đường thẳng sẽ giảm khác nhiều so với chế độ B.

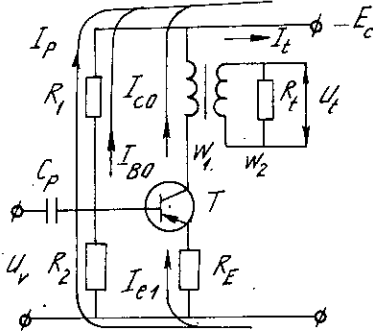


Hình 2.82 : Vị trí điểm làm việc tĩnh trên đặc tuyến ra trong chế độ A, B, AB.

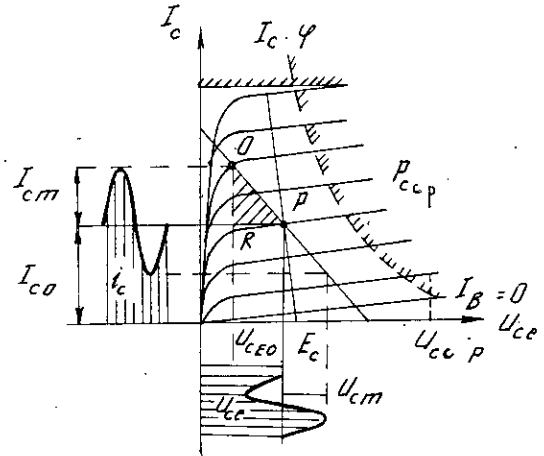
a- Tầng khuếch đại công suất có biến áp ra làm việc ở chế độ A (h.2.83).

Dòng điện ở mạch ra khá lớn vì thế cần phải lưu ý khi chọn điện trở R_E . Điện trở R_E thường không vượt quá vài chục Ω , nên khó khăn trong việc chọn C_E để khử hồi tiếp âm dòng xoay chiều. Ta sẽ khảo sát tầng khuếch đại khi $R_E = 0$.

Phương pháp đồ thị giải tích được dùng để tính toán tầng khuếch đại công suất. Số liệu ban đầu để tính toán là công suất ra P_t và điện trở tải R_t .



Hình 2.83 : Tầng công suất làm việc ở chế độ A ghép biến áp.



Hình 2.84 : Xây dựng đồ thị để tính toán tầng khuếch đại làm việc ở chế độ A, ghép biến áp.

Từ đồ thị hình 2.84 ta thấy đường tải một chiều qua điểm E_C hầu như thẳng đứng vì điện trở tải một chiều (h.2.83) tương đối nhỏ, (là điện trở thuần của cuộn sơ cấp biến áp). Điện trở tải xoay chiều của tầng quy về cuộn sơ cấp sẽ là

$$R_t \sim = n^2(R_t + r_2) + r_1 \approx n^2 R_t$$

Trong đó : $n = W_1/W_2$ là hệ số biến áp, với W_1, W_2 là số vòng dây, còn r_1, r_2 là điện trở thuần tương ứng của cuộn sơ và thứ cấp biến áp.

Để chọn tọa độ của điểm tĩnh U_{CE0}, I_{C0} theo công thức (2-119), (2-120) thì cần phải xác định trị số $U_{cm}I_{cm}$.

Các tham số đó có thể tìm như sau : Công suất xoay chiều ra P_r trên cuộn sơ cấp biến áp (công suất trong mạch colectơ của tranzito) và công suất đưa ra tải P_t có quan hệ :

$$P_r = \frac{P_t}{\eta_{b-a}}$$

ở đây : η_{b-a} là hiệu suất của biến áp (khoảng 0,8 ÷ 0,9).

Trường hợp tín hiệu là hình sin, thì công suất ra của tầng có quan hệ với các tham số U_{cm}, I_{cm} theo

$$P_r = \frac{U_{cm} \cdot I_{cm}}{2} = \frac{U_{cm}^2}{2R_t} = \frac{U_{cm}^2}{2n^2 R_t} \quad (2-195)$$

từ đó ta có :

$$n = \sqrt{\frac{U_{cm}^2}{2P_r \cdot P_t}} = \sqrt{\frac{U_{cm}^2 \eta_{b-a}}{2P_t \cdot R_t}} \quad (2-196)$$

Chọn điện áp U_{cm} theo trị số U_{CE0} (2-119) sao cho đối với tầng này U_{CE0} gần bằng E_c (h.2.82). Trị số U_{cm} và hệ số biến áp n có thể dùng đường tải một chiều hay là theo (2-120), trong đó $I_{cm} = U_{cm}/(n^2 R_t)$.

Sau khi tìm được điểm tĩnh, thì qua nó ta kẻ đường tải xoay chiều nghiêng một góc xác định bằng $\Delta U_{CE}/\Delta I_c = R_t$.

Chọn loại tranzito cần phải chú ý đến các tham số giới hạn của nó thỏa mãn điều kiện :

$$I_{c,cp} > I_{c,max} = I_{co} + I_{cm} \quad (2-197)$$

$$U_{CE,cp} > U_{CEm} = U_{CE0} + U_{cm} = 2E_c \quad (2-198)$$

$$P_{c,cp} > P_c = U_{co} \cdot I_{co} \quad (2-199)$$

Theo đồ thị hình 2.84 thấy tích số $U_{cm} I_{cm}/2$ là công suất ra của tầng P_r , chính là diện tích tam giác công suất PQR.

Theo giá trị I_{co} tìm được, xác định I_{B0} , sau đó theo công thức (2-129), (2-130) tính R_1, R_2 .

Hiệu suất của tầng xác định bởi : $\eta = \eta_c \eta_{b-a}$ ở đây η_c là hiệu suất mạch colectơ.

Công suất ra của tầng

$$P_r = U_{cm} \cdot I_{cm}/2 \quad (2-200)$$

Công suất tiêu thụ của nguồn cung cấp

$$P_0 = E_c \cdot I_{co} = U_{CE0} \cdot I_{co} \quad (2-201)$$

Hiệu suất của mạch colectơ

$$\eta = \frac{P_r}{P_0} = \frac{U_{cm} I_{cm}}{2 U_{CE0} I_{co}} \quad (2-202)$$

Từ (2-202) ta thấy nếu tín hiệu ra tăng thì hiệu suất tăng và sẽ tiến tới giới hạn bằng 0,5, khi

$$I_{cm} = I_{co} ; U_{cm} = U_{CE0}$$

Công suất tiêu hao trên mặt ghép colectơ

$$P_c = P_0 - P_r = U_{CE0} \cdot I_{co} - \frac{1}{2} U_{cm} I_{cm} \quad (2-203)$$

Từ (2-203) ta thấy công suất P_c phụ thuộc vào miền tín hiệu ra, khi không có tín hiệu thì $P_c = P_0$, nên chế độ nhiệt của tranzito phải tính theo công suất P_0 .

b- Tầng khuếch đại công suất đẩy kéo chế độ B hay AB có biến áp

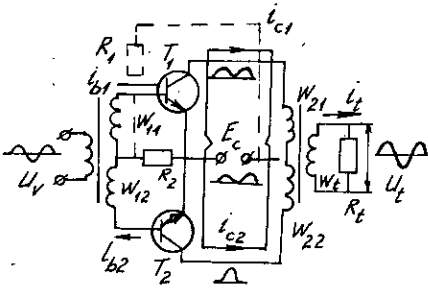
Sơ đồ tầng khuếch đại công suất đẩy kéo có biến áp ra vẽ trên hình 2.85, gồm hai tranzito T_1 và T_2 . Tải được mắc với tầng khuếch đại qua biến áp ra BA_2 . Mạch colectơ của mỗi tranzito được mắc tới một nửa cuộn sơ cấp biến áp ra. Tỷ số biến áp là $n_2 = W_{21} / W_t = W_{22}/W_t$.

Biến áp vào BA_1 , có hệ số biến áp là $n_1 = W_v/W_{11} = W_v/W_{12}$, đảm bảo cung cấp tín hiệu vào mạch bazơ của hai tranzito. Trong trường hợp bộ khuếch đại nhiều tầng thì U_v của biến áp BA_1 được mắc vào mạch colectơ của tầng trước theo sơ đồ khuếch đại đơn ghép biến áp (h.2.83). Tầng đẩy kéo có thể làm việc ở chế độ B hay AB. Trong chế độ AB thiên áp trên bazơ của hai tranzito được lấy từ nguồn E_c bằng bộ phân

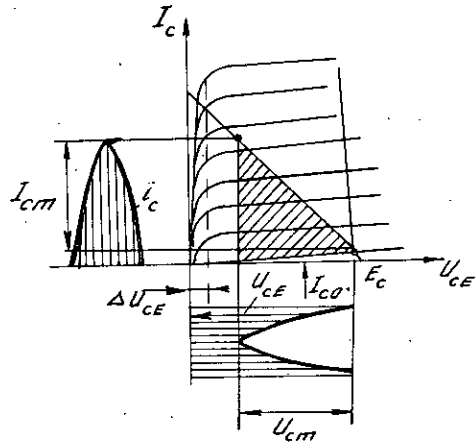
áp R_1, R_2 . Trong chế độ B thiên áp ban đầu không có, nên không cần R_1 . Khi đó điện trở R_2 được dùng để đảm bảo công tác cho mạch vào của tranzito trong chế độ gần với chế độ nguồn dòng.

Đầu tiên hãy xét sơ đồ khi nó làm việc ở chế độ B. Lúc không có tín hiệu vào điện áp trên bazơ của cả hai tranzito đối với emitơ của chúng đều bằng không. Nếu không tính đến dòng điện ngược colectơ thì có thể coi dòng điện trong tầng khuếch đại bằng không. Điện áp ở trên tải cũng bằng không. Trên colectơ mỗi tranzito sẽ có điện áp một chiều bằng điện áp nguồn E_c .

Khi có tín hiệu vào, bắt đầu từ nửa chu kì dương, lúc đó trên cuộn thứ cấp W_{11} của biến áp BA_1 sẽ có nửa chu kì điện áp âm đối với điểm chung của các cuộn dây, còn trên cuộn W_{12} sẽ có nửa chu kì điện áp dương. Kết quả là tranzito T_2 vẫn tiếp tục khóa chỉ có dòng $I_{c1} = \beta_{1B1}$ chảy qua tranzito T_1 mở. Trên cuộn W_{21} sẽ tạo nên điện áp $U_{21} = i_{c1} \cdot R_{t1} = I_{c1} \cdot n_2^2 \cdot R_t$. Trên tải sẽ có nửa sóng điện áp dương $U_t = U_{21}/n_2$.



Hình 2.85 : Tầng đẩy kéo ghép biến áp.



Hình 2.86 : Đồ thị tính tầng công suất.

Khi tín hiệu vào chuyển sang nửa chu kỳ âm, cực tính của điện áp ở các cuộn thứ cấp biến áp vào đổi dấu. Lúc đó T_1 khóa, T_2 mở. Trên cuộn W_{22} sẽ có dòng điện $i_{c2} = \beta \cdot i_{b2}$ chảy qua (chọn $\beta_1 = \beta_2 = \beta$) tạo nên điện áp có cùng trị số nhưng cực tính ngược lại ở cuộn tải W_{21} . Trên tải sẽ có nửa sóng điện áp âm. Như vậy quá trình khuếch đại tín hiệu vào được thực hiện theo hai nhịp nửa chu kỳ : nửa chu kỳ đầu chỉ có một tranzito làm việc, nửa chu kỳ thứ hai thì tranzito còn lại làm việc. Quá trình làm việc của tầng khuếch đại như vậy chỉ cần giải thích bằng đồ thị hình 2.86 đối với một nửa chu kỳ, ví dụ đối với tranzito T_1 . Đường tải một chiều (h.2.86) xuất phát từ điểm có tọa độ $(0, E_c)$ hầu như song song với trục dòng điện vì điện trở mạch colectơ chỉ gồm điện trở thuần của cuộn sơ cấp biến áp ra BA_2 rất nhỏ. Vì trong chế độ tĩnh $U_{BE0} = 0$, dòng colectơ xác định chủ yếu bằng dòng điện ngược của nó. Đường tải xoay chiều cắt đường tải một chiều tại điểm có tọa độ $(I_{c0}, U_{CE} = E_c)$. Đường tải xoay chiều được vẽ với $R_{t1} = n_2^2 R_t$ cho xác định các quan hệ đặc trưng cho chỉ tiêu năng lượng của tầng công suất. Tín hiệu ở cuộn sơ cấp biến áp ra xác định bằng diện tích tam giác gạch chéo (h.2.86).

$$P_r = U_{cm} I_{cm}/2 \quad (2-204)$$

Công suất đưa ra tải có tính đến công suất tổn hao trong biến áp

$$P_t = \eta_{b.a2} \cdot P_r \quad (2-205)$$

Trị số trung bình của dòng tiêu thụ từ nguồn cung cấp :

$$I_o = \frac{1}{\pi} \int_0^{\pi} I_{cm} \sin \theta d\theta = \frac{2I_{cm}}{\pi} \quad (2-206)$$

Công suất tiêu thụ từ nguồn cung cấp

$$P_o = \frac{2E_c \cdot I_{cm}}{\pi} \quad (2-207)$$

Hiệu suất của mạch colectơ

$$\eta_c = \frac{P_r}{P_t} = \frac{\pi}{4} \cdot \frac{U_{cm}}{E} \quad (2-208)$$

và hiệu suất của tầng

$$\eta = \eta_{b-a2} \cdot \frac{\pi}{4} \cdot \frac{U_{cm}}{E_c}$$

Hiệu suất của tầng sẽ tăng khi tăng biên độ tín hiệu ra. Giả thiết $U_{cm} = E_c$ và $\eta_{b-a2} = 1$ thì $\eta = 0,785$. Chú ý rằng giá trị biên độ U_{cm} không vượt quá $E_c - \Delta U_{CE}$ và $\eta_{b.a} = 0,8 \div 99$ thì hiệu suất thực tế của tầng khuếch đại công suất đẩy kéo khoảng $0,6 \div 0,7$ và lớn gấp 1,5 lần hiệu suất của tầng đơn.

Công suất tiêu thụ trên mặt ghép colectơ của mỗi tranzito.

$$P_c = P_o - P_r = \frac{2E_c \cdot I_{cm}}{\pi} - \frac{1}{2} U_{cm} \cdot I_{cm} \quad (2-209)$$

hay

$$P_c = \frac{2E_c}{\pi} \cdot \frac{U_{cm}}{R_{t-}} - \frac{1}{2} \cdot \frac{U_{cm}^2}{R_{t-}} \quad (2-210)$$

Theo (2-210) thì công suất P_c phụ thuộc vào biên độ tín hiệu ra U_{cm} . Để xác định P_{cmax} , lấy đạo hàm P_c theo U_{cm} và cho bằng không.

$$\frac{dP_c}{dU_{cm}} = \frac{2E_c}{\pi \cdot R_{t-}} - \frac{U_{cm}}{R_{t-}} = 0$$

từ đó ta tìm được trị số U_{cm} ứng với P_{cmax} .

$$U_{cm}^* = 2E_c/\pi = 0,64 E_c \quad (2-211)$$

Thay (2-211) vào (2-210) ta tìm được công suất tiêu hao cực đại trong tranzito

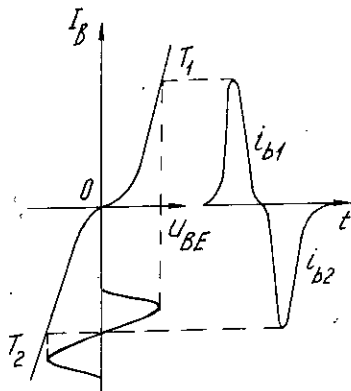
$$P_{cmax} = \frac{2}{\pi^2 \cdot n_2^2} \cdot \frac{E_c^2}{R_t} \quad (2-212)$$

Việc chọn tranzito theo điện áp cần phải chú ý là khi hình thành 1/2 sóng điện áp trên 1/2 cuộn W_2 thì ở 1/2 cuộn W_2 còn lại cũng sẽ hình thành một điện áp như vậy và được cộng với điện áp nguồn E_c để xác định điện áp ngược cho tranzito khóa. Trị

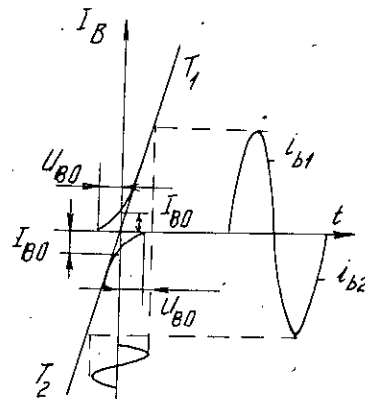
số điện áp ngược đặt trên tranzito khi đó là $2E_c$. Xuất phát từ trị số này để chọn tranzito theo điện áp.

Trong chế độ B, dòng điện chảy qua tranzito chỉ trong 1/2 chu kỳ thích hợp và chọn tranzito theo dòng điện dựa vào I_{cm} (h.2.84). Do đó với cùng một loại tranzito thì tầng đẩy kéo đảm bảo công suất ở tải lớn hơn tầng đơn.

Tuy nhiên ở chế độ B, vì thiên áp ban đầu bằng không nên méo không đường thẳng của điện áp ra lớn. Nguyên nhân là tính không đường thẳng ở đoạn đầu của đặc tuyến vào tranzito khi dòng bazơ nhỏ, đó là hiện tượng méo gốc và được vẽ trên hình 2.87. Ở đây đặc tuyến vào của cả hai tranzito vẽ chung một đồ thị. Từ hình 2.87 thấy rõ khi U_v là hình sin thì dạng i_{b1} và i_{b2} bị méo ở phần gần gốc ứng với dòng I_B nhỏ. Do đó dạng dòng i_{c1} , i_{c2} và điện áp ra cũng bị méo. Trong chế độ A nguyên nhân này không xuất hiện vì dòng bazơ tĩnh đủ lớn đã loại trừ vùng làm việc ở đoạn đầu của đặc tuyến vào của tranzito.



Hình 2.87 : Ảnh hưởng độ không đường thẳng của đặc tuyến vào tranzito đến méo dạng tín hiệu trong chế độ B.



Hình 2.88 : Giảm méo không đường thẳng trong chế độ AB.

Muốn giảm méo trong mạch bazơ của hai tranzito, người ta đưa thêm điện trở phụ (ví dụ R_2 trong hình 2.85) để chuyển chế độ công tác của nguồn tín hiệu gần tới chế độ nguồn dòng và chính là làm giảm ảnh hưởng độ không tuyến tính của đặc tuyến vào tranzito. Tuy nhiên vì có hạ áp trên điện trở phụ do dòng i_B chảy qua nên sẽ làm giảm hệ số khuếch đại của tầng. Để giảm méo triệt để hơn tầng đẩy kéo được chuyển sang làm việc ở chế độ AB. Thiên áp ban đầu được xác định nhờ các điện trở R_1 , R_2 (h.2.85). Đặc tuyến vào của hai tranzito có chú ý đến thiên áp U_{B0} vẽ chung trên đồ thị hình 2.88.

Chọn U_{B0} và các dòng I_{B0} , I_{C0} không lớn lắm, nên thực tế chúng không ảnh hưởng đến chỉ tiêu năng lượng của sơ đồ so với tầng làm việc ở chế độ B. Vì thế các công thức đã dùng trong chế độ B đều đúng cho chế độ AB.

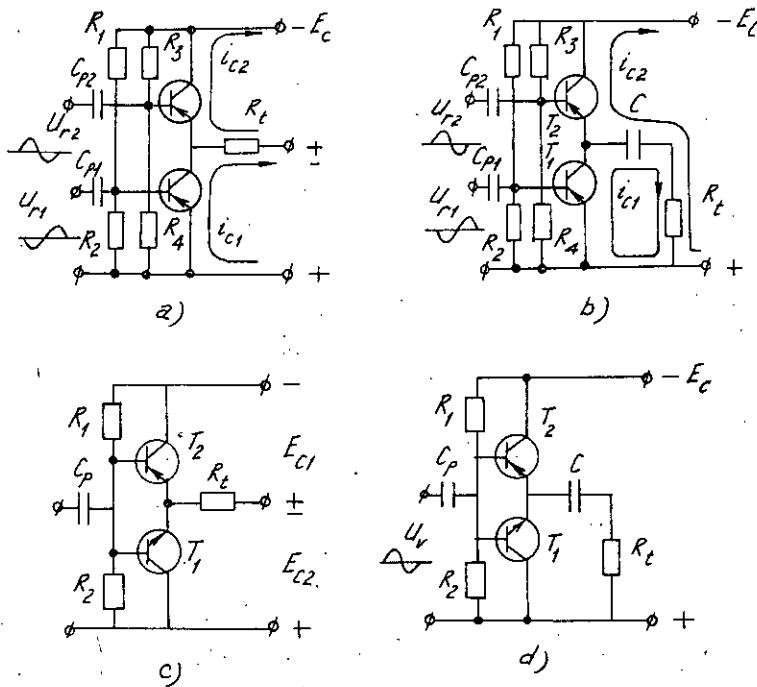
c - Tầng khuếch đại công suất đẩy kéo không có biến áp

Tầng công suất đẩy kéo có thể làm việc theo sơ đồ không biến áp ra, nhờ đó sẽ giảm kích thước, trọng lượng, giá thành, nâng cao các chỉ tiêu chất lượng cũng như dễ dàng trong việc dùng vi mạch.

Sơ đồ tăng ra không biến áp cho trên hình 2.89. Có hai phương pháp mắc tải và tương ứng là hai phương pháp cung cấp điện áp một chiều ;

- Theo phương pháp thứ nhất (h.2.89a, c) tăng được cung cấp bằng hai nguồn E_{C1} và E_{C2} có điểm chung gọi là kiểu cung cấp song song, còn tải được mắc giữa điểm nối E và C của các tranzito và điểm chung nguồn cung cấp. Tranzito T_1, T_2 làm việc ở chế độ AB do cách chọn các điện trở $R_1 \div R_4$ thích hợp. Điều khiển các tranzito bằng hai nguồn tín hiệu vào ngược pha U_{v1} và U_{v2} lấy từ tầng đảo pha trước cuối.

- Theo phương pháp thứ hai (h.2.89 b,d), tăng được cung cấp bằng một nguồn chung (gọi là cung cấp nối tiếp), còn tải được mắc qua tụ có điện dung đủ lớn. Khi không có tín hiệu thì tụ C được nạp điện tới trị số $0,5E_c$. Nếu T_1 làm việc, T_2 tắt thì tụ C đóng vai trò nguồn cho tải. Còn khi T_2 làm việc thì dòng tải chạy qua nguồn cung cấp E_c . Khi đó dòng i_{c2} chạy qua tụ C tích trữ năng lượng cho nó và bù lại phần năng lượng đưa vào tải trong nửa chu kỳ trước.



Hình 2.89 : Mạch đẩy kéo không biến áp ra.

Trong các sơ đồ (h.2.89c, d), người ta dùng hai tranzito khác loại pnp và npn, nên không cần hai tín hiệu vào ngược pha nhau. Ứng với 1/2 chu kỳ dương của tín hiệu thì T_1 làm việc, T_2 khóa, còn ứng với 1/2 chu kỳ âm của tín hiệu thì ngược lại.

Nếu so sánh với sơ đồ tăng công suất có biến áp ra, thì thấy rằng trong hình 2.85 công suất ra là $(U_{cm} I_{cm})/2$ gần bằng trị số $U_{cm}/(2n_2^2 R_l)$. Nói khác đi, ở đây bằng cách thay đổi hệ số biến áp, một cách tương đối đơn giản, ta có thể nhận được công suất yêu cầu cho trước trên tải đã chọn. Còn trong các sơ đồ (h.2.89) điều đó khó thực hiện vì công suất trên tải xác định bằng $U_{cm}^2/(2R_l)$. Khả năng duy nhất để có công suất yêu cầu, với điện trở R_l cho trước, trong trường hợp này là do U_{cm} quyết định, nghĩa là phải chú ý đến điện áp nguồn cung cấp. Khi R_l nhỏ thì không đủ tải về điện áp, còn khi R_l lớn thì không đủ tải về dòng điện.

Tất cả các sơ đồ tầng ra đẩy kéo yêu cầu chọn cặp tranzito có tham số giống nhau, đặc biệt là hệ số truyền đạt β .

Với các mạch hình 2.89 c) và d), cần chú ý tới vài nhận xét thực tế quan trọng sau :

- Để xác lập chế độ AB cho cặp tranzito T_1, T_2 cần có hai nguồn điện áp phụ 1 chiều U_1 và U_2 phân cực cho chúng như trên hình 2.90. Các điện áp này được tạo ra bằng cách sử dụng hai điện áp thuận rơi trên 2 diốt D_1, D_2 loại silic để có tổng điện áp giữa điểm B_1B_2 là $U_{B_1B_2} = + (1,1 \div 1,2)V$ và có hệ số nhiệt độ âm ($-1mV/^\circ C$).

Việc duy trì dòng điện tĩnh I_{B_0} ổn định (ở chế độ AB) trong 1 dải nhiệt độ rộng đạt được nhờ tác dụng bù nhiệt của cặp D_1D_2 với hệ số nhiệt dương của dòng tĩnh T_1 và T_2 và nhờ sử dụng thêm các điện trở hồi tiếp âm $R_1, R_2 < R_1$. Ngoài ra, do điện trở vi phân lúc mở của D_1D_2 đủ nhỏ nên mạch vào không làm tổn hao công suất của tín hiệu, góp phần nâng cao hiệu suất của tầng.

- Khi cần có công suất ra lớn, người ta thường sử dụng tầng ra là các cặp tranzito kiểu Darlington như hình 2.91 (a) và (b). Lúc đó, mỗi cặp Darlington được coi là một tranzito mới, chức năng của mạch do T_1 và T_2 quyết định còn T_1', T_2' có tác dụng khuếch đại dòng ra.

Các thông số cơ bản của mạch hình 2.91a là :

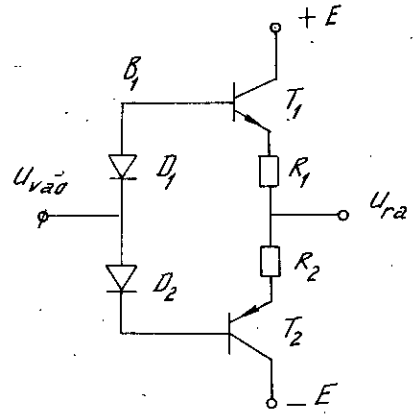
$$\text{Hệ số khuếch đại dòng điện } \beta = \beta_1\beta_1'$$

$$\text{Điện trở vào } r_{BE} = 2r_{BE1}$$

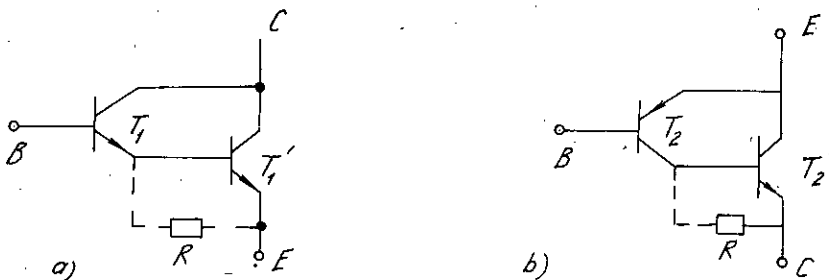
$$\text{Điện trở ra } r_{CE} = 2/3r_{CE1}$$

Của mạch hình (2.91b) là : $\beta = \beta_2\beta_2'$; $r_{BE} = r_{BE2}$; $r_{CE} = 1/2r_{CE2}$

ở đây điện trở R đưa vào có tác dụng tạo 1 sụt áp $U_R \approx 0,4V$ điều khiển mở T_2, T_2' lúc dòng ra đủ lớn và chuyển chúng từ mở sang khóa nhanh hơn.



Hình 2.90 : Tầng ra đẩy kéo không biến áp ở chế độ AB dùng các diốt ổn định nhiệt.



Hình 2.91 : Các cặp tranzito mắc kiểu Darlington
(a) Dạng sơ đồ Darlington thường ; (b) Dạng sơ đồ Darlington bù.

- Để bảo vệ các tranzito công suất trong điều kiện tải nhỏ hay bị ngắn mạch tải, người ta thường dùng các biện pháp tự động hạn chế dòng ra không quá 1 giới hạn

cho trước I_{ramax}^{\pm} (có hai cực tính). Hình 2.92 đưa ra ví dụ một mạch như vậy thường gặp trong các IC khuếch đại công suất hiện nay.

Bình thường, các tranzito T_3 và T_4 ở chế độ khóa cho tới lúc dòng điện ra chưa đạt tới giá trị tới hạn I_{ramax}^{\pm} . Khi dòng điện mạch ra qua R_1 và R_2 đạt tới giới hạn này, giảm áp trên R_1 và R_2 do nó gây ra đẩy tới ngưỡng mở của T_3 và T_4 (cỡ $\pm 0,6V$) làm T_3 và T_4 mở ngăn sự gia tăng tiếp của I_{ra} nhờ tác dụng phân dòng I_{B1} , I_{B2} của T_3 và T_4 .

Từ đó có thể chọn R_1 và R_2 theo điều kiện :

$$R_1 = \frac{+0,6V}{I_{ramax}^+} \quad ; \quad R_2 = \frac{-0,6V}{I_{ramax}^-}$$

Các điện trở R_3 , R_4 để hạn chế dòng, bảo vệ T_3 và T_4 . Thực tế lúc U_{ra} lớn, R_5R_6 không có tác dụng với T_3T_4 , khi U_{ra} giảm nhỏ, các phân áp có R_5 và R_6 sẽ ảnh hưởng tới giá trị ngưỡng I_{ramax}

$$I_{ramax} = \frac{0,6V}{R_1} - \frac{R_3}{R_1 \cdot R_5} (E - U_{ra})$$

tức là giá trị ngưỡng dòng điện hạn chế sẽ lớn nhất khi điện áp ra đạt tới giá trị xấp xỉ điện áp nguồn cung cấp.

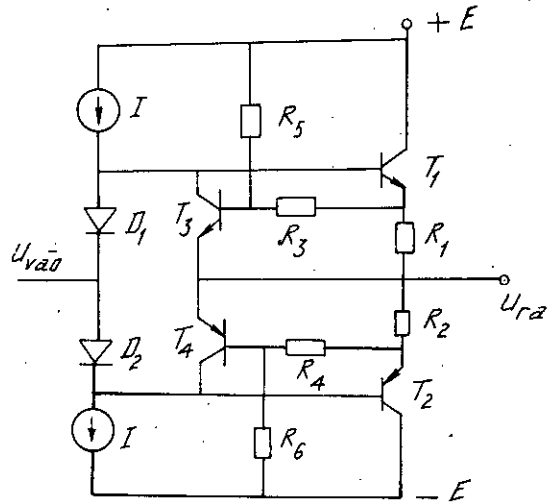
2.3.6. Khuếch đại tín hiệu biến thiên chậm

a- Khái niệm chung. Mạch khuếch đại ghép trực tiếp

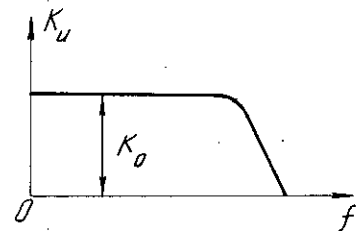
Bộ khuếch đại tín hiệu biến thiên chậm (tín hiệu một chiều) làm việc với những tín hiệu có tần số gần bằng không và có đặc tuyến biên độ tần số như hình 2.93.

Việc ghép giữa nguồn tín hiệu với đầu vào bộ khuếch đại và giữa các tầng không thể dùng tụ hay biến áp vì khi đó đặc tuyến biên độ tần số sẽ có dạng như hình 2.76a, tức là $f = 0$ khi $K = 0$.

Để truyền đạt tín hiệu biến đổi chậm cần phải ghép trực tiếp theo dòng một chiều giữa nguồn tín hiệu với mạch vào bộ khuếch đại và giữa các tầng với nhau. Vì ghép trực tiếp nên việc chọn điểm làm việc tĩnh của tranzito có những đặc điểm riêng so với các bộ khuếch đại đã khảo sát trước đây. Chẳng hạn, trong bộ khuếch đại ghép điện dung thì chế độ một chiều của mỗi tầng (chế độ tĩnh) được xác định chỉ do những phần tử của tầng quyết định và các tham số của nó được tính riêng biệt đối với từng tầng. Tụ điện ghép tầng sẽ cách ly thành phần một chiều theo bất kỳ



Hình 2.92 : Mạch bảo vệ quá dòng cho tải ra của các IC khuếch đại công suất.



Hình 2.93 : Đặc tuyến biên độ tần số của bộ khuếch đại một chiều.

một nguyên nhân nào của tầng này sẽ không ảnh hưởng đến chế độ một chiều của tầng kia.

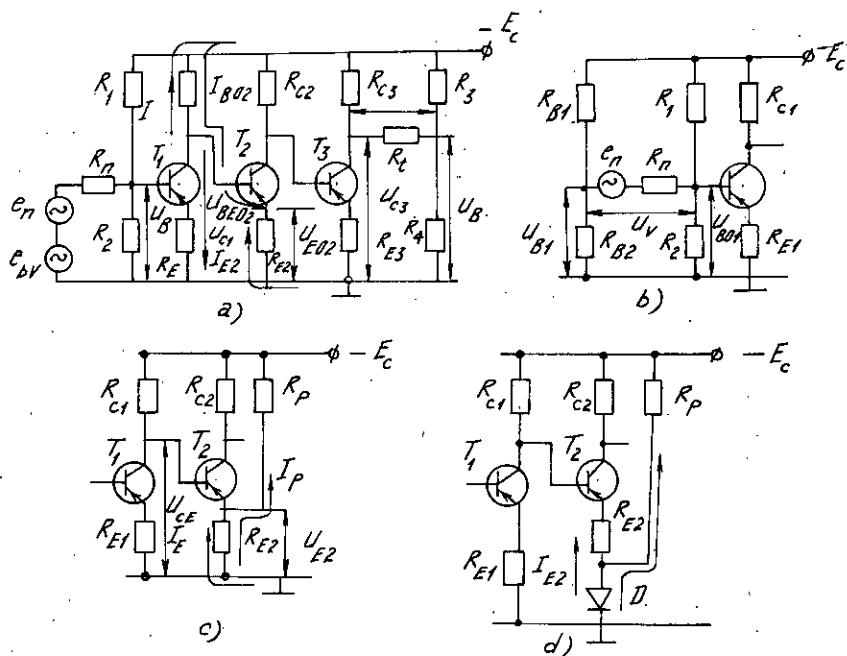
Trong bộ khuếch đại ghép trực tiếp, không có phân tử để cách ly thành phần một chiều. Vì vậy điện áp ra không những chỉ được xác định bằng tín hiệu ra có ích mà còn cả tín hiệu giả do sự thay đổi chế độ một chiều của các tầng theo thời gian, theo nhiệt độ hay 1 nguyên nhân lạ nào khác. Tất nhiên cần đặc biệt quan tâm đến những tầng đầu vì sự thay đổi chế độ một chiều ở đây sẽ được các tầng sau khuếch đại tiếp tục.

Sự thay đổi một cách ngẫu nhiên của điện áp ra trong bộ khuếch đại một chiều khi tín hiệu vào không đổi $\Delta U_{\text{vào}} = 0$ gọi là sự trôi điểm không của bộ khuếch đại. Nguyên nhân trôi là do tính không ổn định của điện áp nguồn cung cấp, của tham số tranzito và điện trở theo nhiệt độ và thời gian. Giá số của điện áp trôi ở đầu ra $\Delta U_{\text{tr,r}}$ được xác định khi gán mạch đầu vào bộ khuếch đại ($e_n = 0$).

Chất lượng bộ khuếch đại một chiều được đánh giá theo điện áp trôi quy về đầu vào của nó : $\Delta U_{\text{tr,v}} = \Delta U_{\text{tr,r}} / K$, ở đây K là hệ số khuếch đại của bộ khuếch đại. Độ trôi quy về đầu vào đặc trưng cho trị số tín hiệu giả ở đầu vào bộ khuếch đại có hệ số khuếch đại là K. Khi xác định dải biến đổi của điện áp vào e_n phải chú ý đến $\Delta U_{\text{tr,r}}$ sao cho $\Delta U_{\text{tr,r}}$ là một phần không đáng kể so với tín hiệu ra có ích. Tùy thuộc vào yêu cầu của bộ khuếch đại mà trị số nhỏ nhất cũng phải lớn hơn $\Delta U_{\text{tr,v}}$ hàng chục hoặc hàng trăm lần.

Việc ghép trực tiếp các tầng trong bộ khuếch đại tín hiệu biến thiên chậm quyết định những đặc điểm tính toán chế độ tĩnh của nó (điện áp và dòng điện khi $e_n = 0$). Tính toán tham số chế độ tĩnh của tầng phải chú ý đến các phần tử thuộc về mạch ra của tầng trước và mạch vào của tầng sau :

Dưới đây ta sẽ khảo sát mạch khuếch đại một chiều hình 2.94 gồm 3 tầng ghép trực tiếp.



Hình 2.94 : Bộ khuếch đại tín hiệu biến thiên chậm ghép trực tiếp gồm 3 tầng.

Trong sơ đồ này colectơ của tranzito trước được nối trực tiếp với bazơ của tranzito sau. Khi đó điện trở R_E nhờ dòng I_{E0} tạo nên điện áp cần thiết U_{BE0} cho chế độ tĩnh của mỗi tầng. Điều đó đạt được bằng cách tăng điện thế âm trên emitơ của mỗi tranzito. Chẳng hạn, đối với tầng thứ hai

$$U_{BE02} = U_{c01} - U_{E02} = U_{c01} - I_{E02} \cdot R_{E2} \quad (2-213)$$

Ở mạch vào bộ khuếch đại (h.2.94a) người ta mắc một nguồn điện áp bù đầu vào e_{bv} nối tiếp với nguồn tín hiệu vào sao cho khi $e_n = 0$, dòng qua nguồn bằng không. Muốn thế phải chọn điện áp bù e_{bv} bằng U_{B01} .

Có thể tạo ra điện áp bù U_{Bv} nhờ R_{B1} và R_{B2} theo sơ đồ (h.2.94b) ở đây

$$U_{Bv} = U_{B01} = \frac{E_c \cdot R_{B2}}{R_{B1} + R_{B2}}$$

Tương tự trên mạch ra, tải R_t (h.2.94a) mắc vào đường chéo một mạch cầu gồm các phần tử mạch ra tầng cuối và các điện trở R_3, R_4 . Khi đó sẽ đảm bảo điều kiện $U_t = 0$ khi $e_n = 0$, điện trở R_3, R_4 đóng vai trò một bộ phân áp để tạo nên điện áp bù bằng U_{c03} cho mạch ra của tầng khi $e_n = 0$.

$$U_{br} = \frac{R_4 E_c}{R_3 + R_4} = U_{c03} \quad (2-214)$$

Dưới đây sẽ khảo sát các chỉ tiêu đặc trưng cho bộ khuếch đại về dòng xoay chiều (đối với giá số điện áp tín hiệu vào).

Nếu chọn R_1 và R_2 đủ lớn, thì điện trở vào của tầng có thể tính được từ :

$$R_v = r_b + (1 + \beta) (r_E + R_E) \approx \beta_1 R_E \quad (2-215)$$

Để xác định hệ số khuếch đại của mỗi tầng ta giả thiết $R_c // R_v = R_c$; $R_{v1} > R_n$, khi đó các hệ số khuếch đại tương ứng của mỗi tầng sẽ là :

$$K_1 = \beta_1 \frac{R_{c1} // R_{v2}}{R_{v1}} = \beta_1 \cdot \frac{R_{c1}}{\beta_1 \cdot R_{E1}} = \frac{R_{c1}}{R_{E1}} \quad (2-216)$$

$$K_2 = \beta_2 \frac{R_{c2} // R_{v3}}{R_{v2}} = \beta_2 \cdot \frac{R_{c2}}{\beta_2 \cdot R_{E2}} = \frac{R_{c2}}{R_{E2}} \quad (2-217)$$

$$K_3 = \beta_3 \frac{R_{c3} // (R_t + R_3 // R_4)}{R_{v3}} = \frac{R_{c3} // (R_t + R_3 // R_4)}{R_{E3}} \quad (2-218)$$

Rõ ràng hệ số khuếch đại của từng tầng tỉ lệ nghịch với điện trở emitơ của nó.

Điện trở R_{E1} tính theo chế độ ổn định nhiệt của tầng đầu có trị số từ vài trăm Ω đến vài $k\Omega$. Điện trở R_E của những tầng sau vừa để ổn định nhiệt độ, vừa để đảm bảo trị số U_{BE0} yêu cầu tương ứng trong chế độ tĩnh. Khi ghép trực tiếp (h.2.94a) thì điện áp trên emitơ cũng như trên colectơ của mỗi tầng sau phải tăng dần lên (về trị số tuyệt đối trong trường hợp dùng tranzito pnp). Điều đó dẫn tới phải tăng R_E ở mỗi tầng sau để có được U_{E0} yêu cầu và do đó theo các hệ thức (2-216) + (2-218) làm giảm hệ số khuếch đại của chúng ($K_3 < K_2 < K_1$) và hệ số khuếch đại chung.

Thiếu sót của sơ đồ hình 2.94a có thể khắc phục bằng cách dùng các sơ đồ (h.94c,d). Trong sơ đồ (h.94c) điện trở R_E có thể chọn nhỏ đi vì điện trở R_p tạo thêm một dòng điện phụ chạy qua R_E .

Theo công thức (2-213) ta có :
 đối với sơ đồ (h.2.94a)

$$R_{E2} = \frac{U_{CO1} - U_{BE02}}{I_{EO2}} \quad (2-219)$$

đối với sơ đồ (h.2.94c)

$$R_{E2} = \frac{U_{CO1} - U_{BE02}}{I_{EO2} + I_p} \quad (2-220)$$

Cũng có thể thực hiện theo sơ đồ (h.2.94d) bằng cách mắc vào mạch emitor một diốt ổn áp ở mức U_z , khi đó :

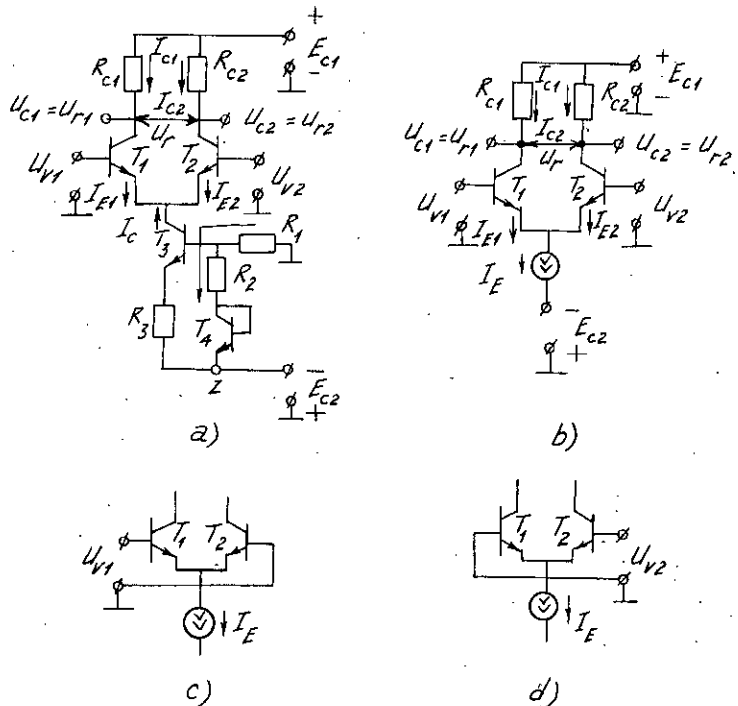
$$R_{E2} = \frac{U_{CO1} - U_{BE02} - U_D}{I_{EO2}} \quad (2-221)$$

Các mạch khuếch đại một chiều ghép trực tiếp có đặc điểm là đơn giản, nhưng hệ số khuếch đại không cao (khoảng vài chục lần) chỉ dùng khi tín hiệu vào tương đối lớn $0,05 \div 0,1V$ và độ trôi đòi hỏi không chặt chẽ.

Muốn có hệ số khuếch đại lớn hơn (hàng trăm và hàng nghìn lần) thì cách ghép tầng như trên không thể được vì sẽ xuất hiện độ trôi không cho phép và việc bù nhiệt độ cũng khó khăn. Các mạch khuếch đại vi sai xét dưới đây sẽ khắc phục được các nhược điểm vừa nêu.

b- Tầng khuếch đại vi sai

Hình 2.95a là cấu trúc điển hình của 1 tầng khuếch đại vi sai làm việc theo nguyên lý cấu cân bằng song song. Hai nhánh cầu là hai điện trở R_{c1} và R_{c2} , còn hai nhánh kia là các tranzito T_1 và T_2 được chế tạo trong cùng 1 điều kiện sao cho $R_{c1} = R_{c2}$ và T_1 và T_2 có các thông số giống hệt nhau. Điện áp lấy ra giữa hai colectơ (kiểu ra đối xứng) hay trên mỗi colectơ đối với đất (kiểu ra không đối xứng). Tranzito T_3 làm nguồn ổn dòng giữ ổn định dòng I_E (là tổng dòng emitor I_{E1} và I_{E2} của tranzito T_1, T_2). Trong sơ đồ nguồn ổn dòng còn có các điện trở R_1, R_2, R_3 và nguồn cung cấp E_{c2} , T_4 mắc thành diốt làm phân tử bù nhiệt ổn định dòng I_E cần xác định điện áp



Hình 2.95 : Tầng khuếch đại vi sai.
 a) Mạch nguyên lý ; b) Sơ đồ đơn giản hóa c,d) Các phương pháp đưa tín hiệu vào (kiểu vào không đối xứng).

giữa điểm 1-2 trong sơ đồ. Nếu bỏ qua dòng I_{B3} rất nhỏ hơn dòng I_E và coi $I_{E3} \approx I_{C3} = I_E$ thì có thể viết :

$$U_{BE3} + I_E \cdot R_3 = I_1 \cdot R_2 + U_{BE4} \quad (2-222)$$

ở đây

$$I_1 = \frac{E_{c2} - U_{BE4}}{R_1 + R_2} \approx \frac{E_{c2}}{R_1 + R_2}$$

Từ phương trình (2-222) tìm được

$$I_E = \frac{I_1 R_2 + (U_{BE4} - U_{BE3})}{R_3} \quad (2-223)$$

Trị số $I_1 R_2$ trong tử số của (2-223) rất lớn hơn hiệu điện áp U_{be} của các tranzito T_4 và T_3 . Vì thế dòng I_E được xác định chủ yếu bằng điện trở R_1, R_2, R_3 và dòng I_1 . Vì U_{BE4} và U_{BE3} trong công thức (2-223) phụ thuộc vào nhiệt độ ở dạng hiệu số nên phụ thuộc nhiệt độ của dòng I_E là rất nhỏ.

Trong sơ đồ rút gọn (h.2.95b) phần nguồn ổn dòng dùng T_3 được thay bằng nguồn dòng I_E .

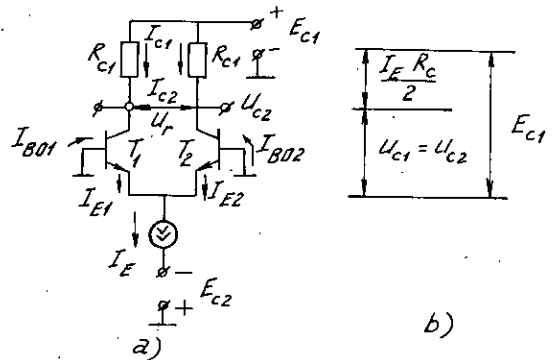
Tín hiệu vào tầng vi sai có thể từ hai nguồn riêng biệt (U_{v1} và U_{v2}) hoặc từ một nguồn (h.2.95c,d). Trong trường hợp sau tín hiệu vào đặt lên bazơ của một trong hai tranzito hay giữa hai bazơ của chúng. Các đầu vào U_{v1} và U_{v2} nối theo sơ đồ như hình 2.95c,d được gọi đầu vào vi sai.

Điện áp một chiều cung cấp cho tầng vi sai là hai nguồn E_{c1} và E_{c2} có thể khác nhau hay bằng nhau về trị số. Vì hai nguồn nối tiếp nên điện áp cung cấp tổng là $E_c = E_{c1} + E_{c2}$.

Do có E_{c2} nên điện thế emítơ của tranzito T_1, T_2 giảm nhiều so với trong sơ đồ hình 2.94a và điều này cho phép đưa tín hiệu tới đầu vào bộ khuếch đại vi sai mà không cần thêm mạch bù điện áp ở đầu vào.

Hãy xét cụ thể trong một số trường hợp điển hình sau :

- Sơ đồ tầng vi sai yêu cầu dùng tranzito T_1, T_2 có tham số giống nhau và $R_{c1} = R_{c2}$ (h.2.94b), do đó khi tín hiệu vào bằng không (h.2.96a). Cấu cân bằng, điện áp trên colectơ của hai tranzito bằng nhau và điện áp ra lấy trên đường chéo cầu $U_r = U_{r1} - U_{r2} = 0$. Sơ đồ có độ ổn định cao đối với sự thay đổi điện áp cung cấp, nhiệt độ và các yếu tố khác vì độ trôi theo hai nhánh giống nhau, điện áp trên các colectơ thay đổi cùng một giá số và độ trôi ở đầu ra gần như bị triệt tiêu. (Trong thực tế, do tính tản mạn của các tham số tranzito hay sự thay đổi của chúng không giống nhau theo thời gian nên ở đầu ra vẫn có một độ trôi nào đó, nhưng nhỏ hơn khá nhiều so với những sơ đồ trước vì trị số độ trôi ở đây được xác định bằng hiệu độ trôi của hai nhánh có tham số gần giống nhau.



Hình 2.96

- a) Sơ đồ khuếch đại vi sai khi tín hiệu vào bằng 0 ;
b) Biểu đồ của tín hiệu ra.

Dòng emitơ - I_E chia đều giữa hai tranzito nghĩa là $I_{E1} = I_{E2} = I_E/2$ và được xác định bởi dòng bazơ tĩnh :

$$I_{B01} = I_{B02} = \frac{I_E}{2(1+\beta)} = I_{V0}$$

Dòng bazơ là một phần dòng emitơ chạy trong mạch có nguồn ổn dòng I_E và điện áp E_{c2} . Các dòng colectơ bằng nhau vì các dòng emitơ bằng nhau :

$$I_{c1} = I_{c2} = \alpha \frac{I_E}{2} \approx \frac{I_E}{2}$$

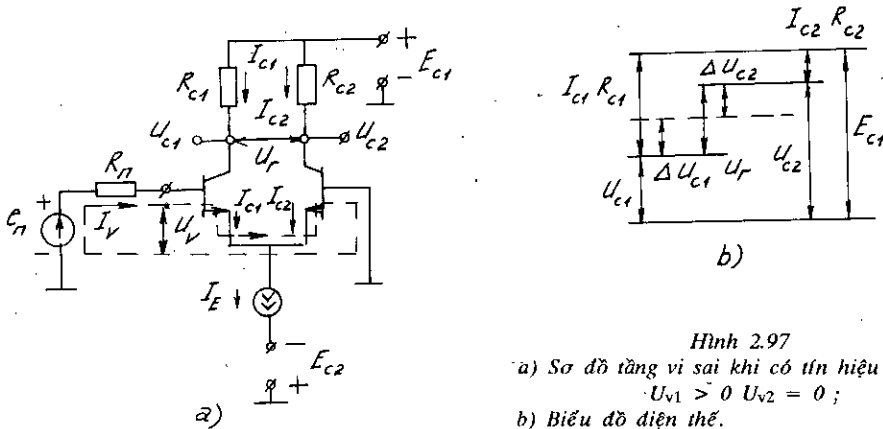
và điện áp trên colectơ là

$$U_{c1} = U_{c2} = E_{c1} - \frac{I_E \cdot R_c}{2} \quad (\text{h.2.96b})$$

ở đây $R_{c1} = R_{c2} = R_c$.

Trạng thái này của sơ đồ đặc trưng cho chế độ cân bằng của tầng và gọi là chế độ cân bằng tĩnh.

- Khi có tín hiệu đưa tới 1 trong các đầu vào (giả sử $U_{v1} > 0$, $U_{v2} = 0$)



Hình 2.97

a) Sơ đồ tầng vi sai khi có tín hiệu vào với

$U_{v1} > 0$, $U_{v2} = 0$;

b) Biểu đồ điện thế.

Do tác dụng của tín hiệu vào, xuất hiện dòng điện vào của hai tranzito. Với giả thiết $U_{v1} > 0$, $U_{v2} = 0$, dòng vào này làm tăng dòng bazơ của tranzito T_1 và làm giảm dòng bazơ của tranzito T_2 . Khi đó dòng I_{E1} và I_{c1} tăng, còn dòng I_{E2} và I_{c2} giảm.

Sự thay đổi dòng điện của các tranzito xảy ra ngược chiều nhau và với cùng một giá số, vì thế tổng dòng điện $I_{E1} + I_{E2} = I_E$ giữ nguyên không đổi.

Điện áp trên colectơ của tranzito T_1 là $U_{c1} = E_{c1} - I_{c1}R_{c1}$ giảm, một lượng ΔU_{c1} ngược dấu (đảo pha) với điện áp vào. Điện áp U_{c2} tăng và tạo ra giá số điện áp $+\Delta U_{c2}$ cùng dấu (không đảo pha) với điện áp tín hiệu vào.

Như vậy với cách đưa tín hiệu vào như sơ đồ đang khảo sát đầu ra của tầng lấy trên colectơ T_1 (U_{r1}) gọi là đầu ra đảo, còn đầu ra lấy trên colectơ T_2 (U_{r2}) gọi là đầu ra không đảo. Tín hiệu lấy giữa hai colectơ gọi là tín hiệu vi sai.

$$U_r = U_{c2} - U_{c1} = \Delta U_{c2} + \Delta U_{c1} = 2\Delta U_c = 2|\Delta I_c| \cdot R_c$$

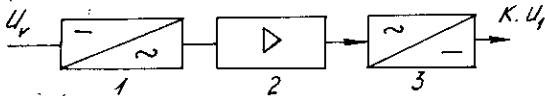
còn trong tầng có tải động khoảng vài trăm. Vì đặc tuyến vào của tranzito không tuyến tính nên nếu chọn chế độ tĩnh thích hợp, có thể đạt được điện trở vào hàng chục hoặc hàng trăm $k\Omega$.

Tăng điện trở vào (tới hàng chục $M\Omega$) có thể đạt được khi chọn T_1 và T_2 là FET (h.2.99) về nguyên lý sơ đồ này không khác sơ đồ (h.2.95).

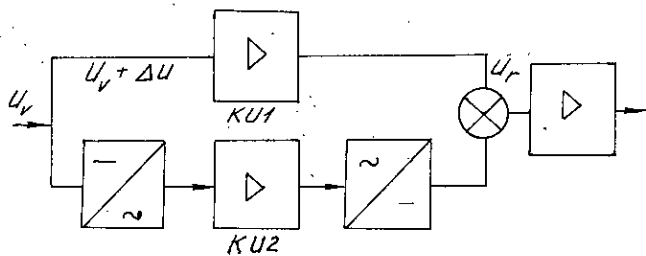
c - Khuếch đại một chiều có biến đổi trung gian

Hình 2.100a là sơ đồ khối một phương pháp khác để xây dựng bộ khuếch đại một chiều (kiểu gián tiếp).

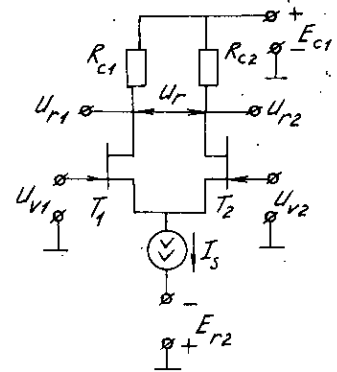
Điện áp một chiều U_V được đưa tới bộ điều chế làm biến đổi một trong những thông số của một điện áp xoay chiều (biên độ hay tần số...) theo quy luật của mình (thường thực hiện theo nguyên lý điều biên ít khi dùng điều tần và điều pha). Lúc đó tại đầu ra của bộ điều chế ta có điện áp xoay chiều với biên độ tỉ lệ với điện áp vào U_V biến đổi chậm.



Hình 2.100a : Sơ đồ khối bộ khuếch đại một chiều có biến đổi trung gian.



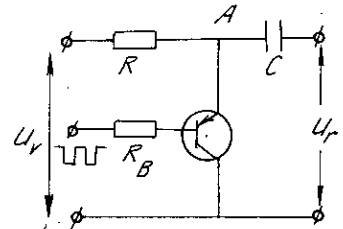
Hình 2.100b : Sơ đồ khối bộ khuếch đại một chiều hai đường có biến đổi trung gian.



Hình 2.99 : Sơ đồ tầng vi sai dùng tranzito trường.

Tín hiệu điều biên được đưa tới bộ khuếch đại xoay chiều 2 có hệ số khuếch đại đủ lớn. Trong bộ khuếch đại này thì thành phần một chiều của mỗi tầng được cách li bằng các phần tử điện kháng (điện dung, điện cảm), vì thế độ trôi điểm "0" không có.

Điện áp ra sau khi khuếch đại được tách sóng bằng bộ giải điều chế 3 và lọc khỏi điện áp tần số mang. Như vậy ở đầu ra bộ khuếch đại ta có điện áp một chiều đã được khuếch đại mang quy luật biến đổi của điện áp vào U_V .



Hình 2.101 : Sơ đồ bộ điều chế dùng tranzito.

Bộ điều chế là khối chủ yếu có thể gây ra trôi điểm không trong bộ khuếch đại một chiều loại này. Bộ điều chế có thể dùng phần tử cơ điện, từ điện hay bán dẫn.

Ví dụ một bộ điều chế đơn giản dùng khóa bán dẫn cho trên hình (2.101). Điện áp U_V được truyền tới điểm A, nếu như tranzito tắt, và bằng 0, nếu như tranzito mở. Vì thế khi đặt tới đầu vào tranzito một xung điện áp chữ nhật, thì ở điểm A cũng có

điện áp xung có biên độ tỉ lệ với U_v . Điện áp này qua tụ C đặt tới đầu vào bộ khuếch đại xoay chiều.

Có thể dùng nguyên lí hình 2.100b khi thiết kế bộ khuếch đại một chiều có biến đổi trung gian. Điện áp vào một chiều U_v đồng thời đặt lên hai nhánh song song. Một trong các nhánh đó là bộ khuếch đại một chiều theo sơ đồ hình 2.100a còn nhánh kia là bộ khuếch đại một chiều ghép trực tiếp có hệ số khuếch đại K_1 . Điện áp ra của hai bộ khuếch đại đó có được đưa vào bộ cộng và sau đó đưa vào một bộ khuếch đại chung tiếp sau. Nếu tính đến điện áp trôi ΔU do bộ khuếch đại một chiều ghép trực tiếp gây ra, thì điện áp đưa vào bộ cộng sẽ là :

$$U_r = K_2 U_v + K_1 (U_v + \Delta U) = (K_1 + K_2) U_v + K_1 \Delta U \quad (2-234)$$

Khi đó độ trôi điểm "không" tương đối của cả bộ khuếch đại một chiều là :

$$h = \frac{K_1 \cdot \Delta U}{(K_1 + K_2) U_v} = \frac{K_1}{K_1 + K_2} \cdot h'$$

ở đây : $h' = \Delta U / U_v$ là độ trôi của nhánh khuếch đại một chiều trực tiếp.

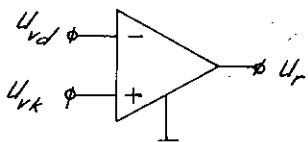
Từ biểu thức trên ta thấy rằng độ ổn định của bộ khuếch đại một chiều càng cao khi tỉ số K_2/K_1 càng lớn.

Vì tham số của bộ khuếch đại một chiều hai nhánh có biến đổi trung gian tốt hơn nhiều so với bộ khuếch đại một chiều loại tương tự khác, cho nên chúng được dùng trong những trường hợp khi cần hệ số khuếch đại cao với độ trôi điểm "không" nhỏ nhất, ví dụ như trong máy tính tương tự và các thiết bị đo lường khác.

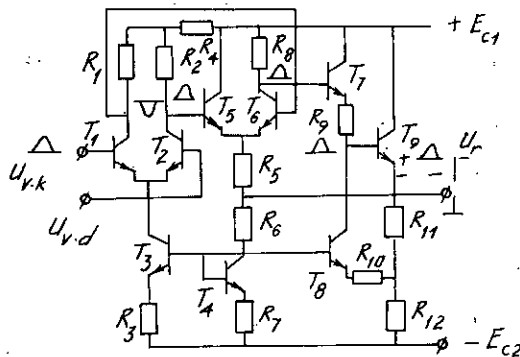
2.4. KHUẾCH ĐẠI DÙNG VI MẠCH THUẬT TOÁN

2.4.1. Khái niệm chung

Danh từ : "khuếch đại thuật toán" (operational amplifier) thuộc về bộ khuếch đại dòng một chiều có hệ số khuếch đại lớn, có hai đầu vào vi sai và một đầu ra chung. Tên gọi này có quan hệ tới việc ứng dụng đầu tiên của chúng chủ yếu để thực hiện các phép tính cộng, trừ, tích phân v.v... Hiện nay các bộ khuếch đại thuật toán đóng vai trò quan trọng và được ứng dụng rộng rãi trong kĩ thuật khuếch đại, tạo tín hiệu hình sin và xung, trong bộ ổn áp và bộ lọc tích cực v.v...



Hình 2.102 : Ký hiệu khuếch đại thuật toán trong sơ đồ điện tử.



Hình 2.103 : Sơ đồ nguyên lý mạch khuếch đại thuật toán ba tầng.

Kí hiệu quy ước một bộ khuếch đại thuật toán (OA) cho trên hình 2.102 với đầu vào U_{vk} (hay U_{v+}) gọi là đầu vào không đảo và đầu thứ hai U_{vd} (hay U_{v-}) gọi là đầu vào đảo. Khi có tín hiệu vào đầu không đảo thì gia số tín hiệu ra cùng dấu (cùng pha) với gia số tín hiệu vào. Nếu tín hiệu được đưa vào đầu đảo thì gia số tín hiệu ra ngược dấu (ngược pha) so với gia số tín hiệu vào. Đầu vào đảo thường được dùng để thực hiện hồi tiếp âm bên ngoài cho OA.

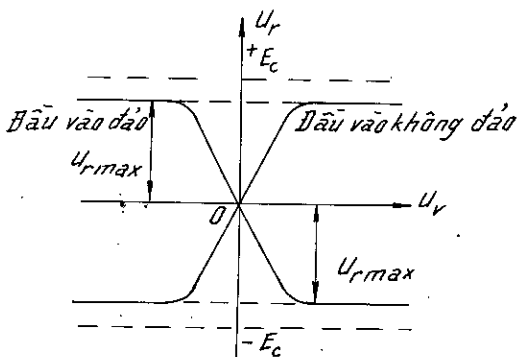
Cấu tạo cơ sở của OA là các tầng vi sai dùng làm tầng vào và tầng giữa của bộ khuếch đại. Tầng ra OA thường là tầng lập emitter (CC) đảm bảo khả năng tải yêu cầu của các sơ đồ. Vì hệ số khuếch đại của tầng emitter gần bằng 1, nên hệ số khuếch đại đạt được nhờ tầng vào và các tầng khuếch đại bổ sung mắc giữa tầng vi sai và tầng CC. Tùy thuộc vào hệ số khuếch đại của OA mà quyết định số lượng tầng giữa. Trong OA hai tầng (thế hệ mới) thì gồm một tầng vi sai vào và một tầng bổ sung, còn trong OA ba tầng (thế hệ cũ) thì gồm một tầng vi sai vào và hai tầng bổ sung. Ngoài ra OA còn có các tầng phụ, như tầng dịch mức điện áp một chiều, tầng tạo nguồn ổn dòng, mạch hồi tiếp.

Sơ đồ nguyên lí của OA ba tầng vẽ trên hình 2.103, được cung cấp từ hai nguồn E_{c1} và E_{c2} có thể không bằng nhau hoặc bằng nhau và có điểm chung. Tầng khuếch đại vào dùng T_1 và T_2 và tầng hai dùng T_5 và T_6 mắc theo sơ đồ vi sai (h. 2.195a). Tầng thứ ba gồm T_7 và T_8 . Đầu ra của nó ghép với đầu vào T_9 mắc theo tầng CC. Điều khiển T_7 theo mạch bazơ bằng tín hiệu ra tầng hai, điều khiển T_8 theo mạch emitter bằng điện áp trên điện trở R_{12} do dòng emitter T_9 chảy qua nó. T_8 tham gia vào vòng hồi tiếp dương đảm bảo hệ số khuếch đại cao cho tầng ba. Tác dụng đồng thời của T_7 và T_8 hoặc là làm tăng, hoặc là làm giảm (tùy thuộc vào tín hiệu vào T_6) điện áp vào tầng CC. Tầng điện áp trên bazơ T_9 là do sự giảm điện trở một chiều của T_7 cũng như do sự giảm điện trở của T_8 và ngược lại.

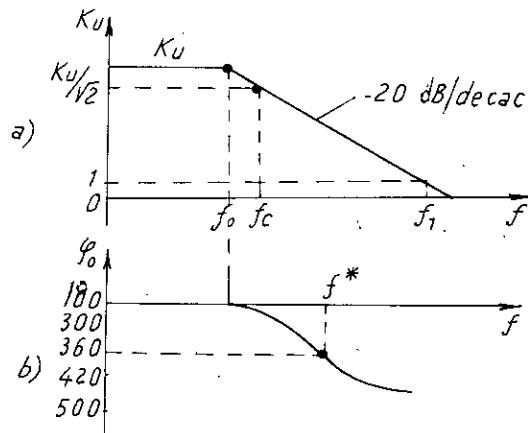
Tranzito T_3 đóng vai trò nguồn ổn dòng, còn tranzito T_4 được mắc thành diốt để tạo điện áp chuẩn, ổn định nhiệt cho T_3 đã được nói tới ở 2.3.6b.

Khi điện áp vào OA $U_{vk} = U_{vd} = 0$ thì điện áp đầu ra của OA $U_r = 0$.

Dưới tác dụng của tín hiệu vào (h.2.103) có dạng nửa sóng "+", điện áp trên collector của T_6 tăng, sẽ làm dòng I_B và I_E của T_7 đều tăng. Điều này dẫn đến làm tăng dòng I_B và I_E của T_9 . Điện áp trên R_{12} tăng sẽ làm giảm dòng I_B và I_C của T_8 . Kết quả



Hình 2.104 : Đặc tuyến truyền đạt của bộ khuếch đại thuật toán.



Hình 2.105 : Đặc tuyến biên độ và đặc tuyến pha của KTO.

là đầu ra OA có điện áp cực dương $U_r > 0$. Nếu tín hiệu vào ứng với nửa sóng "-" thì ở đầu ra OA có điện áp cực tính âm $U_r < 0$.

Đặc tuyến quan trọng nhất của OA là đặc tuyến truyền đạt điện áp (h. 2.104), gồm hai đường cong tương ứng với các đầu vào đảo và không đảo. Mỗi đường cong gồm một đoạn nằm ngang và một đoạn dốc. Đoạn nằm ngang tương ứng với chế độ tranzito tăng ra (tăng CC) thông bão hòa hoặc cắt dòng. Trên những đoạn đó khi thay đổi điện áp tín hiệu đặt vào, điện áp ra của bộ khuếch đại không đổi và được xác định bằng các giá trị $U_{r\max}^+$ $U_{r\max}^-$ gọi là giá trị điện áp ra cực đại, (điện áp bão hòa) gần bằng E_c của nguồn cung cấp (trong các IC thuật toán mức điện áp bão hòa này thường thấp hơn giá trị nguồn E_c từ 1 đến 3V về giá trị). Đoạn dốc biểu thị phụ thuộc tỉ lệ của điện áp ra với điện áp vào, với góc nghiêng xác định hệ số khuếch đại của OA (khi không có hồi tiếp ngoài).

$$K = \Delta U_r / \Delta U_v$$

Trị số K, tùy thuộc vào từng loại OA, có thể từ vài trăm đến hàng trăm nghìn lần lớn hơn. Giá trị K lớn cho phép thực hiện hồi tiếp âm sâu nhằm cải thiện nhiều tính chất quan trọng của OA.

Đường cong lí tưởng (h. 2.104) đi qua gốc tọa độ. Trạng thái $U_r = 0$ khi $U_v = 0$ gọi là trạng thái cân bằng của OA. Tuy nhiên, đối với những OA thực tế thường khó đạt được cân bằng hoàn toàn, nghĩa là khi $U_v = 0$ thì U_r có thể lớn hơn hoặc nhỏ hơn không. Nguyên nhân mất cân bằng là do sự tản mạn các tham số của những linh kiện trong khuếch đại vi sai (đặc biệt là tranzito).

Sự phụ thuộc vào nhiệt độ của tham số OA gây nên độ trôi thiên áp đầu vào và điện áp đầu ra theo nhiệt độ. Vì vậy để cân bằng ban đầu cho OA người ta đưa vào một trong các đầu vào của nó một điện áp phụ thích hợp hoặc một điện trở để điều chỉnh dòng thiên áp ở mạch vào.

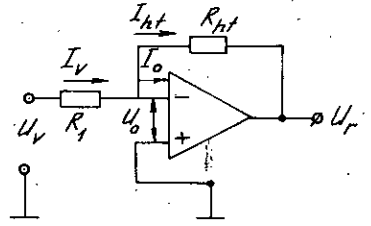
Điện trở ra là một trong những tham số quan trọng của OA. OA phải có điện trở ra nhỏ (hàng chục hoặc hàng trăm Ω) để đảm bảo điện áp ra lớn khi điện trở tải nhỏ, điều đó đạt được bằng mạch lặp emitter ở đầu ra OA. Tham số tần số của OA xác định theo đặc tuyến biên độ tần số của nó (h. 2.105a) bị giảm ở miền tần số cao, bắt đầu từ tần số cắt f_c với độ dốc đều (-20dB) trên 1 khoảng mười (1 để các) của trục tần số. Nguyên nhân là do sự phụ thuộc các tham số của tranzito và điện dung kí sinh của sơ đồ OA vào tần số. Tần số f_1 ứng với hệ số khuếch đại của OA bằng 1 gọi là tần số khuếch đại đơn vị. Tần số biên f_c ứng với hệ số khuếch đại của OA bị giảm đi $\sqrt{2}$ lần, được gọi là dải thông khi không có mạch hồi tiếp âm, f_c thường thấp cỡ vài chục Hz.

Khi dùng OA khuếch đại tín hiệu, thường sử dụng hồi tiếp âm ở đầu vào đảo. Vì có sự dịch pha tín hiệu ra so với tín hiệu vào ở tần cao nên đặc tuyến pha tần số của OA theo đầu vào đảo còn có thêm góc lệch pha phụ và trở nên lớn hơn 180° (h. 2.105b). Ở một tần số cao f^* nào đó, nếu tổng góc dịch pha bằng 360° thì xuất hiện hồi tiếp dương theo đầu vào đảo ở tần số đó làm mạch bị mất ổn định (xem 2.5.1.) ở tần số này. Để khắc phục hiện tượng trên, người ta mắc thêm mạch hiệu chỉnh pha RC ngoài để chuyển tần số f^* ra khỏi dải thông của bộ khuếch đại. Tham số mạch RC và vị trí mắc chúng trong sơ đồ IC để khử tự kích do người sản xuất chỉ dẫn.

Dưới đây ta khảo sát một số mạch ứng dụng cơ bản dùng OA ở chế độ làm việc trong miền tuyến tính của đặc tuyến truyền đạt và có sử dụng hồi tiếp âm để điều khiển các tham số cơ bản của mạch.

2.4.2. Bộ khuếch đại đảo

Bộ khuếch đại đảo cho trên hình 2.106, có thực hiện hồi tiếp âm song song điện áp ra qua R_{ht} . Đầu vào không đảo được nối với điểm chung của sơ đồ (nối đất). Tín hiệu vào qua R_1 đặt vào đầu đảo của OA. Nếu coi OA là lí tưởng thì điện trở vào của nó vô cùng lớn $R_v \rightarrow \infty$, và dòng vào OA vô cùng bé $I_o = 0$, khi đó tại nút N có phương trình nút dòng điện: $I_v \approx I_{ht}$.



Hình 2.106 : Sơ đồ khuếch đại đảo.

Từ đó ta có :

$$\frac{U_v - U_o}{R_1} = \frac{U_o - U_{ra}}{R_{ht}} \quad (2-235)$$

Khi $K \rightarrow \infty$, điện áp đầu vào $U_o = U_r/K \rightarrow 0$, vì vậy (2-235) có dạng :

$$U_v/R_1 = -U_r/R_{ht} \quad (2-236)$$

Do đó hệ số khuếch đại điện áp K_d của bộ khuếch đại đảo có hồi tiếp âm song song được xác định bằng tham số của các phần tử thụ động trong sơ đồ :

$$K_d = U_r/U_v = -R_{ht}/R_1 \quad (2-237)$$

Nếu chọn $R_{ht} = R_1$, thì $K_d = -1$, sơ đồ (h. 2.106) có tính chất tăng đảo lặp lại điện áp (đảo tín hiệu). Nếu $R_1 = 0$ thì từ phương trình $I_v \approx I_{ht}$ ta có $I_v = -U_{ra}/R_{ht}$ hay $U_{ra} = -I_v \cdot R_{ht}$ tức là điện áp ra tỉ lệ với dòng điện vào (bộ biến đổi dòng thành áp).

Vì $U_o \rightarrow 0$ nên $R_v = R_1$, khi $K \rightarrow \infty$ thì $R_r = 0$.

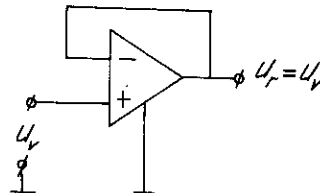
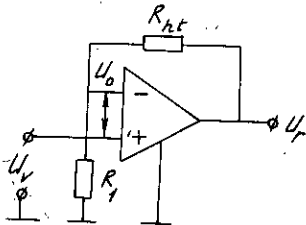
2.4.3. Bộ khuếch đại không đảo

Bộ khuếch đại không đảo (h. 2.107) gồm có mạch hồi tiếp âm điện áp đặt vào đầu đảo, còn tín hiệu đặt tới đầu vào không đảo của OA. Vì điện áp giữa các đầu vào OA bằng 0 ($U_o = 0$) nên quan hệ giữa U_v và U_r xác định bởi :

$$U_v = U_r \cdot \frac{R_1}{R_1 + R_{ht}}$$

Hệ số khuếch đại không đảo có dạng :

$$K_k = \frac{U_{ra}}{U_{vào}} = \frac{R_{ht} + R_1}{R_1} = 1 + \frac{R_{ht}}{R_1} \quad (2-238a)$$



Hình 2.107 : a) Sơ đồ khuếch đại không đảo.

b) Sơ đồ lặp điện áp.

Lưu ý khi đến vị trí giữa lối vào và lối ra tức là thay thế U_{ra} bằng $U_{vào}$ và ngược lại trong sơ đồ (2.107a), ta có bộ suy giảm điện áp :

$$U_{ra} = \frac{U_{vào}}{(R_{ht} + R_1)} \cdot R_1 \quad (2-238b)$$

Khi $R_{ht} = 0$ và $R_1 = \infty$ thì ta có sơ đồ bộ lặp lại điện áp (h. 2.107b) với $K_k = 1$

Điện trở vào của bộ khuếch đại không đảo bằng điện trở vào OA theo dấu đảo và khá lớn, điện trở ra $R_r \rightarrow 0$.

2.4.4. Mạch cộng

a - Mạch cộng đảo :

Sơ đồ hình 2.108 có dạng bộ khuếch đại đảo với các nhánh song song ở đầu vào bằng số lượng tín hiệu cần cộng. Coi các điện trở là bằng nhau :

$$R_{ht} = R_1 = R_2 = \dots = R_n < R_v.$$

Khi $I_v = 0$ thì

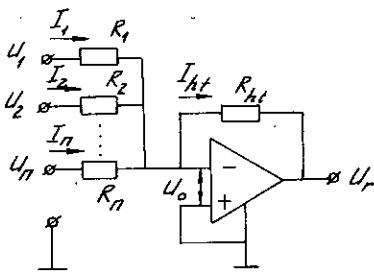
$$I_{ht} = I_1 + I_2 + \dots + I_n$$

hay
$$U_r = -(U_1 + U_2 + \dots + U_n) = - \sum_{i=1}^n U_i \quad (2-239)$$

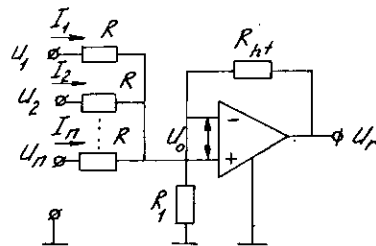
Công thức (2-239) phản ánh sự tham gia giống nhau của các số hạng trong tổng. Tổng quát :

Khi $R_1 \neq \dots \neq R_n$ có :

$$\begin{aligned} U_r &= - \left(\frac{R_{ht}}{R_1} U_1 + \frac{R_{ht}}{R_2} U_2 + \dots + \frac{R_{ht}}{R_n} U_n \right) \quad (2-240) \\ &= -R_{ht} \left(\frac{U_1}{R_1} + \frac{U_2}{R_2} + \dots + \frac{U_n}{R_n} \right) = - \sum_{i=1}^n \alpha_i U_i \text{ với } \alpha_i = \frac{R_{ht}}{R_i} \end{aligned}$$



Hình 2.108 : Sơ đồ cộng đảo.



Hình 2.109 : Sơ đồ cộng không đảo.

b - Mạch cộng không đảo :

Sơ đồ nguyên lý của mạch cộng không đảo vẽ trên hình 2.109.

Khi $U_o = 0$, điện áp ở hai đầu vào bằng nhau và bằng

$$U_{v+} = U_{v-} = \frac{R_1}{R_1 + R_{ht}} \cdot U_r$$

Khi dòng vào đầu không đảo bằng không ($R_v = \infty$), ta có :

$$\frac{U_1 - U_{v-}}{R} + \frac{U_2 - U_{v-}}{R} + \dots + \frac{U_n - U_{v-}}{R} = 0$$

hay
$$U_1 + U_2 + \dots + U_n = n \cdot \frac{R_1}{R_1 + R_{ht}} U_r$$

từ đó
$$U_r = \frac{R_1 + R_{ht}}{n \cdot R_1} \cdot (U_1 + U_2 + \dots + U_n) = \frac{R_1 + R_{ht}}{n \cdot R_1} \sum_{i=1}^n U_i \quad (2-241)$$

Chọn các tham số của sơ đồ thích hợp sẽ có thừa số đầu tiên của vế phải công thức (2-240) bằng 1

$$(R_1 + R_{ht}) / (nR_1) = 1 \text{ và } U_{ra} = U_1 + U_2 + \dots + U_n = \sum_{i=1}^n U_i$$

2.4.5. Mạch trừ

Khi cần trừ hai điện áp, người ta có thể thực hiện theo sơ đồ hình 2.110. Khi đó điện áp đầu ra được tính theo :

$$U_r = K_1 U_1 + K_2 U_2 \quad (2-242)$$

Có thể tìm K_1 và K_2 theo phương pháp sau : Cho $U_2 = 0$, mạch làm việc như một bộ khuếch đại đảo, tức là

$$U_{ra} = -\alpha_a U_1$$

Vậy $K_1 = -\alpha_a$. Khi $U_1 = 0$, mạch này chính là mạch khuếch đại không đảo có phân áp. Khi đó

$$U_{rb} = \frac{R_b}{R_b + R_b/\alpha_b} U_2$$

Hệ số khuếch đại của mạch khi đó là

$$\frac{\alpha_b}{1 + \alpha_b}$$

Vậy :
$$U_r = U_{ra} + U_{rb} = [\alpha_b/(1 + \alpha_b)] (1 + \alpha_a) U_2 - \alpha_a U_1$$

Nếu điện trở trên cả hai lối vào là như nhau, tức là

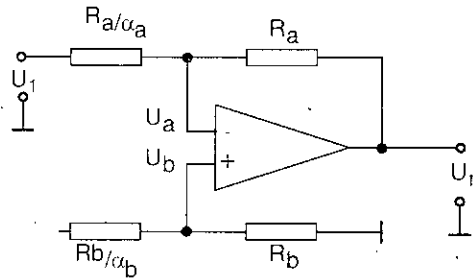
$$\alpha_a = \alpha_b = \alpha \text{ thì } K_2 = \alpha, K_1 = -\alpha$$

vậy
$$U_{ra} = \alpha (U_2 - U_1) \quad (2-243)$$

Tổng quát, sơ đồ trừ vạn năng dùng để đồng thời lấy tổng và lấy hiệu của một số điện áp vào bất kì có thể thực hiện bằng mạch hình 2.111.

Để rút ra hệ thức cần thiết, ta sử dụng quy tắc nút đối với cửa vào A của bộ khuếch đại :

$$\sum_{i=1}^n \frac{U_1 - U_a}{(R_a/\alpha_i)} + \frac{U_a - U}{R_a} = 0$$



Hình 2.110 : Sơ đồ mạch trừ

Rút ra :

$$\sum_{i=1}^n \alpha_i U_i - U_a \left[\sum_{i=1}^n \alpha_i + 1 \right] + U_a = 0$$

Tương tự đối với cửa vào B của bộ khuếch đại

$$\sum_{i=1}^n \alpha'_i U'_i - U_b \left[\sum_{i=1}^n \alpha'_i + 1 \right] = 0$$

nếu $U_a = U_b$ và thỏa mãn thêm điều kiện :

$$\sum_{i=1}^n \alpha_i = \sum_{i=1}^n \alpha'_i$$

thì sau khi trừ hai biểu thức trên ta sẽ có :

$$U_a = \sum_{i=1}^n \alpha'_i U'_i - \sum_{i=1}^n \alpha_i U_i \quad (2-244)$$

2.4.6. Bộ tích phân

Sơ đồ bộ tích phân được mô tả trên hình 2.112. Với phương pháp tính như trên, từ điều kiện cân bằng dòng ở nút A, $i_R = i_C$ ta có

$$-C \frac{dU_r}{dt} = \frac{U_v}{R}$$

$$U_r = \frac{1}{CR} \int_0^t U_v dt + U_{r0} \quad (2-245)$$

Ở đây : U_{r0} là điện áp trên tụ C khi $t = 0$ (là hằng số tích phân xác định từ điều kiện ban đầu).

Thường khi $t = 0$, $U_v = 0$ và $U_r = 0$. Nên ta có

$$U_r = \frac{1}{\tau} \int_0^t U_v dt \quad (2-246)$$

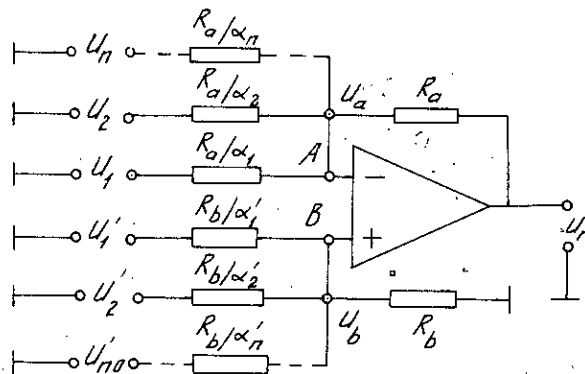
Ở đây : $\tau = RC$ gọi là hằng số tích phân của mạch.

Khi tín hiệu vào thay đổi từng nấc, tốc độ thay đổi của điện áp ra sẽ bằng :

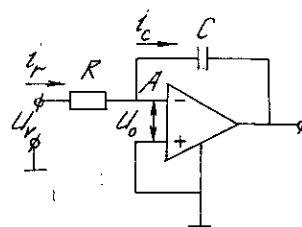
$$\frac{\Delta U_r}{\Delta t} = - \frac{U_v}{RC}$$

nghĩa là ở đầu ra bộ tích phân sẽ có điện áp tăng (hay giảm) tuyến tính theo thời gian.

Đối với tín hiệu hình sin, bộ tích phân sẽ là bộ lọc tần thấp, quay pha tín hiệu hình sin đi 90° và hệ số khuếch đại của nó tỉ lệ nghịch với tần số [4].



Hình 2.111 : Sơ đồ lấy hiệu một số lớn các tín hiệu.



Hình 2.112 : Sơ đồ bộ tích phân.

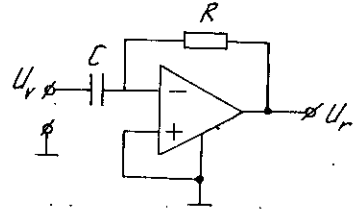
2.4.7. Bộ vi phân

Bộ vi phân cho trên hình 2.113. Bằng các tính toán, tương tự các phần trên có điện áp ra của nó tỉ lệ với tốc độ thay đổi của điện áp vào :

$$U_r = -RC \frac{dU_v}{dt} \quad (2-247)$$

Ở đây $\tau = RC$ gọi là hằng số vi phân của mạch.

Khi tín hiệu vào là hình sin, bộ vi phân làm việc như một bộ lọc tần cao, hệ số khuếch đại của nó tỉ lệ thuận với tần số tín hiệu vào [4] và làm quay pha $U_{\text{vào}}$ 1 góc 90° . Thường bộ vi phân làm việc kém ổn định ở tần cao vì khi đó $z_c = \frac{1}{\omega c} \rightarrow 0$ làm hệ số hồi tiếp âm giảm nên khi sử dụng cần lưu ý đặc điểm này và bổ sung 1 điện trở làm nhụt R_1 .



Hình 2.113 : Sơ đồ bộ vi phân

2.4.8. Các bộ biến đổi hàm số

Trong thực tế thường cần tạo ra một điện áp U_2 là hàm số nào đó của điện áp U_1 , tức là $U_2 = F(U_1)$. Ở đây F là một quan hệ hàm như hàm logarit, hàm mũ, hàm lượng giác, sin, cos... của U_1 .

Dưới đây hãy xét một ví dụ với F có dạng hàm logarit, tức là cần nhận được một sự phụ thuộc có dạng

$$U_2 = \alpha_1 \ln(\alpha_2 U_1)$$

Muốn vậy, có thể dùng biểu thức dòng của điốt đã có ở phần 2.1 :

$$I_D = I_s (e^{U_{ak}/mU_T} - 1)$$

(trong đó : I_s : dòng ngược tính

U_T : điện thế nhiệt KT/e_0

m : hệ số hiệu chỉnh ($1 < m < 2$)

U_{ak} : điện áp trên điốt).

Trong miền làm việc (thỏa mãn điều kiện $I_D \gg I_s$) có thể coi :

$$I_D = I_s \cdot e^{U_{ak}/mU_T}$$

Từ đó ta có

$$U_{ak} = mU_T \ln(I_D/I_s) \quad (2-248)$$

chính là hàm logarit cần tìm.

Để thực hiện quan hệ này, có thể sử dụng mạch như hình 2.114. Nếu coi vi mạch khuếch đại thuật toán là lí tưởng ta có thể tính được như sau :

$$I_D = \frac{U_1}{R}$$

$$U_r = -U_{ak}$$

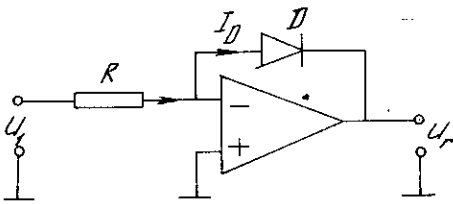
rút ra :

$$U_r = -mU_T \ln(U_1/I_S R)$$

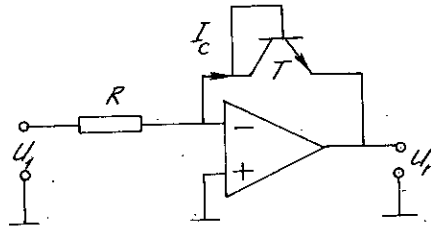
$$= -mU_T \ln 10 \lg(U_1/I_S R)$$

ở nhiệt độ phòng sẽ có :

$$U_r = -(1 \div 2)60 \lg(U_1/I_S R) \text{ [mV]} \quad (2-249)$$



Hình 2.114 : Sơ đồ nguyên lý mạch logarit dùng điốt.



Hình 2.115 : Sơ đồ nguyên lý mạch logarit dùng tranzito nối kiểu điốt.

Dải điện áp làm việc có thể của mạch bị hạn chế bởi hai tính chất đặc biệt của điốt. Do có điện trở kí sinh nên với dòng lớn, trên nó có sụt áp và dẫn đến méo đặc tính logarit. Ngoài ra hệ số m còn phụ thuộc vào dòng điện. Vì vậy, độ chính xác cần thiết chỉ có thể nhận được ở mạch này khi thay đổi điện áp vào trong phạm vi 2 decac.

Có thể loại trừ ảnh hưởng của hệ số m và mở rộng dải ra phạm vi 6 ÷ 8 decac bằng cách thay điốt D bằng một tranzito T (h. 2.115). Đối với dòng cực colector tranzito ($U_{CB} = 0$) nghiệm đúng với hệ thức :

$$I_c = \alpha I_E = \alpha I_{ES} (e^{U_{BE}/mU_T} - 1)$$

Ở đây sự phụ thuộc của các tham số α và m vào dòng được bù cho nhau, vì vậy có thể viết :

$$I_c = \gamma I_{ES} (e^{U_{BE}/U_T} - 1)$$

Lúc này γ phụ thuộc chủ yếu vào dòng và trị số của nó gần bằng 1. Khi $U_{BE} > 0$ có thể viết

$$I_c \approx I_{ES} e^{U_{BE}/U_T} \quad (2-250)$$

hay

$$U_r = -U_{BE} = -U_T \ln(U_1/I_{ES} R)$$

Chất lượng sơ đồ logarit sẽ được nâng cao, đặc biệt đối với độ ổn nhiệt khi dùng hai sơ đồ 2.115 mắc kiểu sơ đồ khuếch đại vi sai, đó là cấu trúc cơ bản các IC lấy logarit.

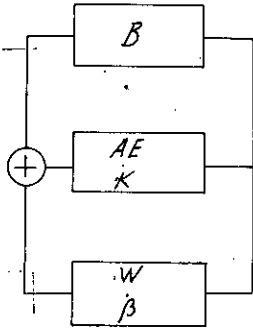
2.4.9. Các mạch lọc

Mạch lọc là một mạng bốn cực, dùng để tách từ một tín hiệu phức tạp những thành phần có tần số nằm trong một dải nhất định và loại đi những thành phần ngoài dải tần số đó. Dải tần số mà mạch lọc cho tín hiệu đi qua được gọi là dải thông của nó.

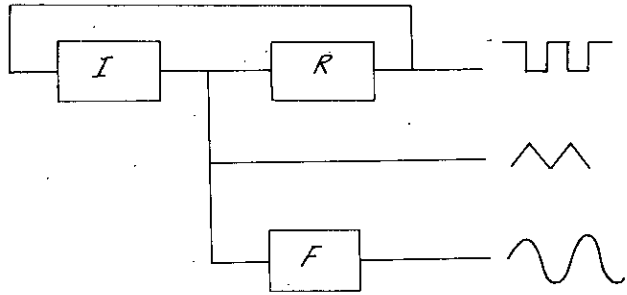
Mạch lọc được ứng dụng hết sức rộng rãi trong mọi dải tần số. Chúng thường được dùng để tách tín hiệu hữu ích khỏi tạp nhiễu.

Phương pháp thứ nhất được ứng dụng khá rộng rãi trong các máy tạo dao động hình sin cổ điển. Phương trình vi phân của một hệ dao động được mô tả như sau :

$$\frac{d^2x}{dt^2} + \mu F\left(x, \frac{dx}{dt}\right) + \omega^2 x = 0$$



Hình 2.118 : Sơ đồ khối của mạch tạo tín hiệu hình sin dùng hệ tự dao động gần với hệ bảo toàn tuyến tính.



Hình 2.119 : Sơ đồ khối của máy phát đa tần hiệu.

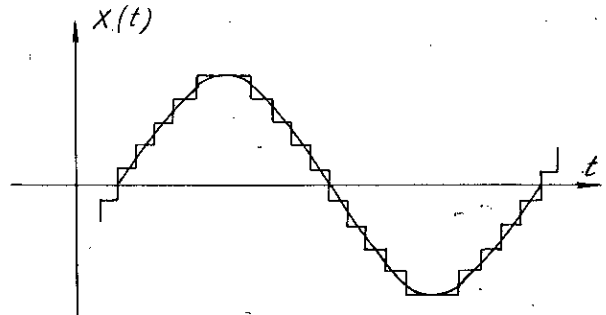
Trong đó $F\left(x, \frac{dx}{dt}\right)$ là một hàm phi tuyến μ là hệ số nhỏ, đồng thời thỏa mãn điều kiện $\mu F\left(x, \frac{dx}{dt}\right) \rightarrow 0$. Máy tạo dao động hình sin loại này thường được xây dựng dựa trên các mạch chọn lọc RLC. Loại máy phát này đơn giản, có hệ số méo nhỏ.

Sơ đồ khối của chúng có dạng như hình 2.118. Ở đây AE là phần tử tích cực có hệ số khuếch đại K ; W là mạch hồi tiếp tuyến tính có hệ số truyền đạt là β phụ thuộc vào tần số. Mạch này xác định tần số dao động của hệ. B là mạch hồi tiếp phi tuyến dùng để ổn định biên độ dao động.

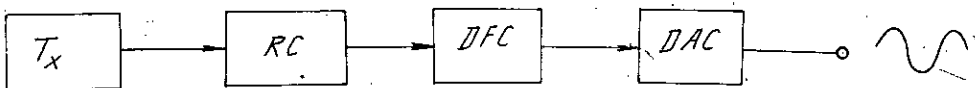
Phương pháp thứ hai được sử dụng trong các loại máy phát đa chức năng (máy phát hàm). Loại máy phát này cùng lúc có thể cho nhiều dạng tín hiệu ở các đầu ra khác nhau như tín hiệu hình tam giác, tín hiệu xung chữ nhật v. v... Tín hiệu hình sin nhận được nhờ một bộ biến đổi "xung tam giác - hình sin". Loại máy phát này gần đây được sử dụng rộng rãi nhờ tính đa chức năng của nó. Tuy nhiên tín hiệu hình sin ở đây thường có hệ số méo lớn hơn so với phương pháp trên. Một trong những sơ đồ khối điển hình của loại máy phát này được mô tả trên hình 2.117; trong đó : I là bộ tích phân, R là phần tử role, F là bộ biến đổi "xung tam giác - hình sin". Mạch kín I-R tạo nên một hệ tự dao động, sinh ra hai loại tín hiệu có dạng xung tam giác và xung chữ nhật.

Dựa trên tiến bộ kĩ thuật của những năm sau này, đặc biệt trong lĩnh vực kĩ thuật số, người ta có thể xây dựng máy phát tín hiệu hình sin dựa trên nguyên tắc xấp xỉ hóa từng đoạn kết hợp với lấy mẫu đều theo thời gian (h. 2.120). Sơ đồ khối máy tạo dao động hình sin bằng phương pháp số được mô tả trên hình 2.121. Trong đó T_x là khối tạo - xung nhịp ; C là bộ đếm thuận nghịch dùng để mở theo thời gian giá trị

tức thời của đối số ; DFC là bộ biến đổi số - hàm để tạo các giá trị của tín hiệu hình sin (ở dạng số) ; DAC là bộ biến đổi số - tương tự để biến tín hiệu từ dạng số (đầu ra của DFC) thành tín hiệu tương tự (hình sin). Độ méo tín hiệu hình sin phụ thuộc vào số lượng mẫu lấy trong một chu kỳ. Nếu số lấy mẫu càng lớn (được xác định bởi tần số xung nhịp) thì hình sin có độ chính xác càng cao. Tuy nhiên điều này phụ thuộc vào giới hạn tần số làm việc của các bộ DFC và DAC. Vì vậy phương pháp này không thể ứng dụng ở tần số cao để tạo tín hiệu hình sin với hệ số méo nhỏ được. Trong ba phương pháp nêu trên, hai phương pháp đầu được sử dụng rộng rãi hơn. Vì vậy dưới đây khảo sát kỹ hơn hai phương pháp này.



Hình 2.120 : Xấp xỉ hóa từng đoạn tín hiệu hình sin bằng các tín hiệu bậc thang.



Hình 2.121 : Sơ đồ khối máy tạo tín hiệu hình sin dùng phương pháp số.

2.5.2. Máy phát dao động hình sin dùng hệ tự dao động gần với hệ bảo toàn tuyến tính

Máy phát dao động hình sin thực hiện biến đổi năng lượng nguồn dòng một chiều thành dòng xoay chiều có tần số yêu cầu. Chúng được cấu tạo trên cơ sở bộ khuếch đại có hồi tiếp dương đảm bảo chế độ tự kích ổn định ở tần số yêu cầu. Nếu không xét đến phần mạch phi tuyến dùng để ổn định biên độ, sơ đồ khối máy phát dao động hình sin vẽ lại trên hình 2.122. Hệ số khuếch đại của bộ khuếch đại và hệ số truyền đạt của mạch hồi tiếp là số phức, nghĩa là có tính đến sự phụ thuộc của chúng vào tần số. Tín hiệu vào sơ đồ máy phát là một phần của điện áp ra được truyền về theo mạch hồi tiếp dương.

Để sơ đồ làm việc trong chế độ phát sóng thì cần có hai điều kiện : điều kiện cần là tổng các góc dịch pha của tín hiệu trong bộ khuếch đại φ_k và trong mạch hồi tiếp φ_β (theo một vòng kín) là bội số của 2π .

$$\varphi_k + \varphi_\beta = 2n\pi \quad (2-256)$$

ở đây : $n = 0, 1, 2, 3, \dots$

Công thức (2-256) xác định điều kiện cân bằng pha trong bộ khuếch đại có hồi tiếp dương. Điều kiện thứ hai gọi là điều kiện về biên độ được xác định bởi bất đẳng thức

$$|K| \cdot |\beta| \geq 1 \quad (2-257)$$

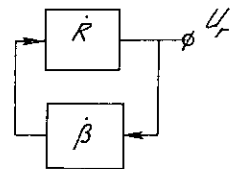
Muốn đầu ra của máy phát có điện áp dạng hình sin thì công thức (2-256)(2-257) chỉ đúng ở một tần số. Ý nghĩa vật lý của bất đẳng thức (2-257) là : Tín hiệu được khuếch đại lên $|K|$ lần và bị suy giảm ở mạch hồi tiếp $|\beta|$ lần, khi thỏa mãn điều

kiện (2-157) thì tín hiệu xuất hiện lại ở đầu vào bộ khuếch đại cùng pha như trước, nhưng biên độ lớn. Nói cách khác đi, bất đẳng thức $|K| \cdot |\beta| > 1$ xác định điều kiện cần để máy phát tự kích khi có những thay đổi đầu tiên của dòng điện và điện áp trong sơ đồ khuếch đại. Đẳng thức $|K| \cdot |\beta| = 1$ tương ứng với việc chuyển máy phát sang chế độ công tác xác lập, khi đó sự tăng của biên độ dao động kéo theo hệ số khuếch đại $-K$ giảm do đặc tuyến của tranzito không tuyến tính (với biên độ tín hiệu lớn). Trong chế độ xác lập thì tín hiệu ở đầu ra và vào máy phát tương ứng với một giá trị ổn định nào đó. Đó là vì độ suy giảm do mạch hồi tiếp gây ra được bù hoàn toàn nhờ bộ khuếch đại (điều kiện cân bằng biên độ).

Giá trị điện áp xác lập tùy thuộc vào hệ số khuếch đại của bộ khuếch đại K đối với tín hiệu nhỏ, cũng như vào độ không tuyến tính của đặc tuyến tranzito. Sự phụ thuộc hệ số khuếch đại vào nhiệt độ và điện trở tải là nguyên nhân gây ra không ổn định biên độ điện áp ra. Để ổn định biên độ này, người ta mắc thêm vào mạch một phần tử ổn định không tuyến tính, cũng như thực hiện hồi tiếp âm phần thực.

Máy phát dao động hình sin thường dùng mạch dao động LC và mạch RC phụ thuộc tần số. Máy phát dùng LC để tạo ra tín hiệu cao tần (tần số cao hơn vài chục kHz), còn máy phát dùng RC để tạo ra tín hiệu tần thấp (tới vài Hz).

Để tạo ra dao động hình sin, các biểu thức (2-256)(2-257) được thỏa mãn đối với tần số điều chuẩn f_0 và trở kháng của mạch dao động phải là thuận trở. Sự thay đổi góc di pha của bộ khuếch đại khi lệch khỏi tần số cộng hưởng là điều kiện đủ để hoàn thành biểu thức (2-256) đối với tần số f_0 , vì trở kháng của mạch sẽ không phải là thuận trở, mà mang tính chất điện kháng (điện cảm hay là điện dung). Tính chất đúng đắn của biểu thức (2-257) đối với tần số cộng hưởng được xác định bằng trị số cực đại của hệ số khuếch đại ở tần số f_0 .



Hình 2.122 : Sơ đồ khối máy.

Mạch điện của máy phát LC rất đa dạng. Chúng có thể khác nhau do phương pháp mắc mạch dao động LC trong bộ khuếch đại và việc thực hiện hồi tiếp dương. Sơ đồ máy phát vẽ trên hình 2.123 thực hiện hồi tiếp dương nhờ cách ghép biến áp thích hợp.

Các tham số của mạch dao động này là điện dung C và điện cảm L của cuộn sơ cấp biến áp. Trong sơ đồ khuếch đại một tầng tải thuận trở thì tín hiệu ra ngược pha với tín hiệu vào. Vì thế để đảm bảo điều kiện cân bằng pha (2-156) thì mạch hồi tiếp dương ở tần số cộng hưởng phải thực hiện đảo pha tín hiệu để đưa tới đầu vào bộ khuếch đại. Tín hiệu hồi tiếp dương lấy từ cuộn W_2 qua tụ phân đường C_{p1} đặt tới đầu vào tranzito. Sự di pha cần thiết của mạch hồi tiếp thực hiện bằng cách mắc đầu dây cuộn thứ cấp thích hợp. Vì điện áp hồi tiếp nhỏ hơn điện áp ra nên tỉ số vòng dây $n = \omega_2/\omega_1 < 1$.

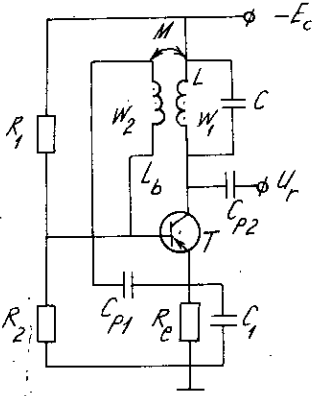
Tần số dao động tạo ra gần với tần số cộng hưởng của mạch dao động

$$f = \frac{1}{2\pi\sqrt{LC}} \quad (2-258)$$

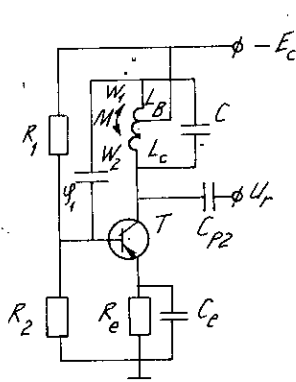
Tín hiệu hồi tiếp cũng có thể lấy trực tiếp từ colectơ mạch dao động bằng cách làm cuộn dây hay tụ có nhiều đầu ra. Với các sơ đồ phát sóng như thế, mạch dao động có ba điểm nối với bộ khuếch đại, vì vậy gọi là mạch ba điểm.

Trong sơ đồ phát sóng hình 2.124 (ba điểm điện cảm), nhánh điện cảm quấn hai cuộn W_1, W_2 . Tín hiệu hồi tiếp lấy từ cuộn W_2 điện áp lấy ra từ colectơ qua tụ C_{p2} .

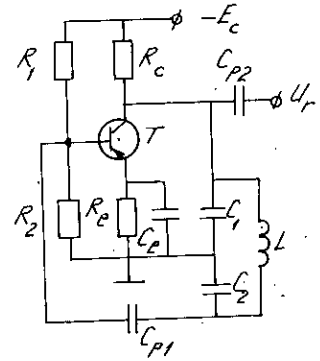
Điện áp trên cuộn W_1 , W_2 đối với điểm chung (đất) ngược pha nhau. Tín hiệu từ cuộn W_1 qua tụ C_{p1} ($C_{p1} \ll C$) được đưa tới đầu vào tranzito. Trong sơ đồ hình 2.125 (ba điểm điện dung), mạch dao động gồm điện cảm L và hai tụ nối tiếp C_1 , C_2 được mắc song song với mạch ra của tầng. Điện áp hồi tiếp lấy từ tụ C_2 đặt tới đầu vào tranzito qua tụ C_{p1} . Điện áp trên tụ C_1 và C_2 đối với điểm chung (đất) ngược pha nhau vì thế sẽ tạo nên hồi tiếp dương.



Hình 2.123 : Máy phát ghép biến áp hồi tiếp (Sơ đồ Maisner).



Hình 2.124 : Sơ đồ máy phát ba điểm điện cảm (Sơ đồ Hatley).



Hình 2.125 : Sơ đồ máy phát ba điểm điện dung (Sơ đồ Colpitts).

Điều kiện tự kích được đảm bảo theo quan hệ

$$\frac{C_L}{C_2} = \frac{r_v(B)}{R_c // R_t} \quad (2-259)$$

Ở đây : $r_v(B)$ - điện trở vào của tranzito theo sơ đồ BC ;

R_t - điện trở tải mạch ngoài.

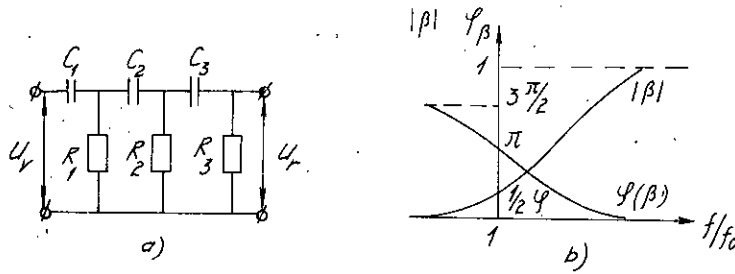
Để tính toán tần số ta dùng công thức (2-258) ở đây

$$C = C_1 C_2 / (C_1 + C_2).$$

Vì trị số của L , C trong mạch dao động và tham số của tranzito phụ thuộc vào nhiệt độ nên tần số f của máy phát tạo ra cũng sẽ phụ thuộc vào nhiệt độ. Muốn tăng độ ổn định tần số thì phải tăng độ ổn định theo nhiệt độ cho chế độ tĩnh của tranzito, cũng như dùng biện pháp bù sự thay đổi của tần số theo nhiệt độ. Một trong những phương pháp bù đó là mắc thêm vào mạch dao động những tụ điện có điện dung phụ thuộc vào tần số. Trong những máy phát có chất lượng cao, người ta dùng bộ cộng hưởng thạch anh, khi đó độ ổn định tần số là lớn nhất.

Ở dải tần số thấp (dưới vài chục kHz), người ta dùng mạch phát sóng RC. Ở đây không dùng mạch LC vì nó làm tăng kích thước và trọng lượng của các phần tử ở trong mạch dao động.

Mạch phát sóng RC dựa trên cơ sở dùng mạch phụ thuộc tần số gồm điện trở và tụ điện có sơ đồ khối tương tự như máy phát sóng LC đã cho ở hình 2.122. Trong khối khuếch đại, tín hiệu ra có thể ngược pha hoặc đồng pha với tín hiệu vào. Trong trường hợp đầu, mạch hồi tiếp RC phụ thuộc tần số phải dịch pha tín hiệu 180° ở tần số phát sóng, còn trường hợp thứ hai thì không cần dịch pha tín hiệu. Giải quyết hai nhiệm vụ này bằng nhiều sơ đồ mạch RC khác nhau.



Hình 2.126 : a) Mạch RC ;
b) Đặc tuyến biên độ tần số và pha tần số (đồ thị Bode) của mạch 2.126a.

Hình 2.126a là sơ đồ loại thang R song song thực hiện dịch pha tín hiệu 180° . Sơ đồ này có hệ số truyền đạt và pha tín hiệu của mạch RC phụ thuộc vào tần số. Vì sự dịch pha cực đại của một khâu RC ở tần số gần bằng không là vào khoảng 90° , nên để có góc dịch pha là 180° , cần có ít nhất ba khâu RC nối tiếp (thường người ta dùng mạch có ba khâu RC là đủ).

Sự phụ thuộc $|\beta|$ và φ_β vào tần số đối với mạch ba khâu RC khi $C_1 = C_2 = C_3 = C$ và $R_1 = R_2 = R_3$ vẽ trên hình 2.126b với biểu thức :

$$|\beta| = \frac{1}{[(1 - 5\alpha^2)^2 + \alpha^2(6 - \alpha^2)^2]^{1/2}}$$

$$\varphi_\beta = \arctg \frac{\alpha(6 - \alpha^2)}{1 - 5\alpha^2} \text{ với } \alpha = \frac{1}{\omega RC}$$

Tần số f_0 ứng với góc di pha bằng 180° được xác định theo [4] (đạt được lúc $\alpha^2 = 6$)

$$f_0 = \frac{1}{2\pi\sqrt{6}RC} \quad (2-260)$$

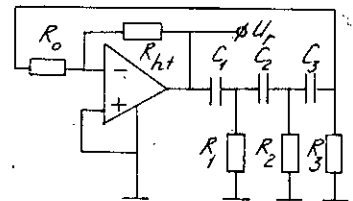
Ta thấy ở tần số f_0 môđun của hệ số truyền đạt của mạch hồi tiếp là $\beta = 1/29$. Do đó máy phát chỉ có thể tự kích nếu hệ số khuếch đại của bộ khuếch đại thỏa mãn $K \geq 29$.

Hình 2.127 vẽ sơ đồ máy phát RC dùng khuếch đại thuật toán. Mạch hồi tiếp phụ thuộc tần số được mắc giữa đầu ra và đầu vào đảo. Muốn có hệ số khuếch đại theo yêu cầu ($K \geq 29$) thì phải chọn tỉ số $R_{ht}/R_{td} \geq 29$ ở đây $R_{td} = R_3 // R_0$.

Điện trở vào bộ khuếch đại đảo bằng R_0 cùng với R_3 xác định thành phần thuận trở của khâu cuối cùng trong mạch hồi tiếp phụ thuộc tần số. Vì thế để tính f_0 theo (2-260) cần phải chọn $R_1 = R_2 = R_3 // R_0 = R$. Trên thực tế muốn có biên độ dao động cần thiết thì phải hiệu chỉnh điện trở R_{ht} .

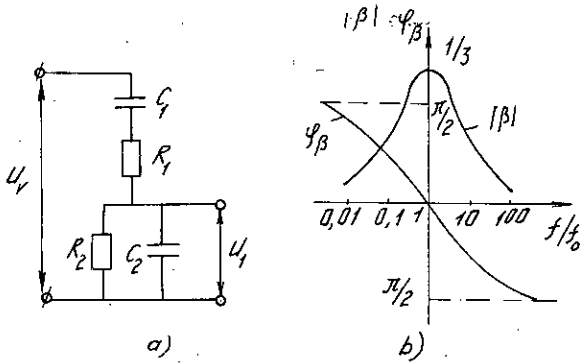
Hình 2.128a vẽ mạch hồi tiếp RC không làm dịch pha tín hiệu ở tần số f_0 . Đó chính là cầu Viên. Đặc tuyến biên độ tần số và pha tần số cho trên hình 2.128b với

các biểu thức dạng : $\beta = \frac{1}{[9 + (\frac{1}{\alpha} - \alpha)^2]^{1/2}}$; $\varphi_\beta = \arctg \frac{(\alpha - \frac{1}{\alpha})}{3}$; $(\alpha = \frac{1}{\omega RC})$

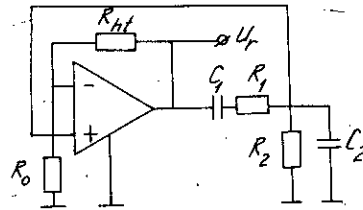


Hình 2.127 : Máy phát hình sin RC dùng khuếch đại thuật toán.

Tại $\alpha = 1$ hay $f_0 = 1/(2\pi RC)$ có $\varphi_\beta = 0$, nên khi xây dựng bộ tạo sóng dùng khuếch đại thuật toán (h.2.129) thì mạch hồi tiếp phụ thuộc tần số (h. 2.128a) được mắc giữa đầu ra và đầu vào không đảo của khuếch đại thuật toán.



Hình 2.128 : a) Sơ đồ cầu Viền ; b) Đặc tuyến biên độ tần số và pha tần số (đồ thị Bô) của mạch hình 2.128a.



Hình 2.129 : Sơ đồ máy phát hình sin kiểu RC dùng cầu Viền.

Vì ở tần số f_0 hệ số truyền đạt của mạch cầu Viền là $1/3$ nên máy phát chỉ tự kích khi $K \geq 3$, nghĩa là phải chọn tỉ số $R_{ht}/R_0 \geq 2$. Tần số của máy phát xác định theo

$$f_0 = \frac{1}{2\pi\sqrt{R_1 R_2 C_1 C_2}} = \frac{1}{2\pi RC} \quad (2-261)$$

ở đây : $R_1 = R_2 = R$ và $C_1 = C_2 = C$.

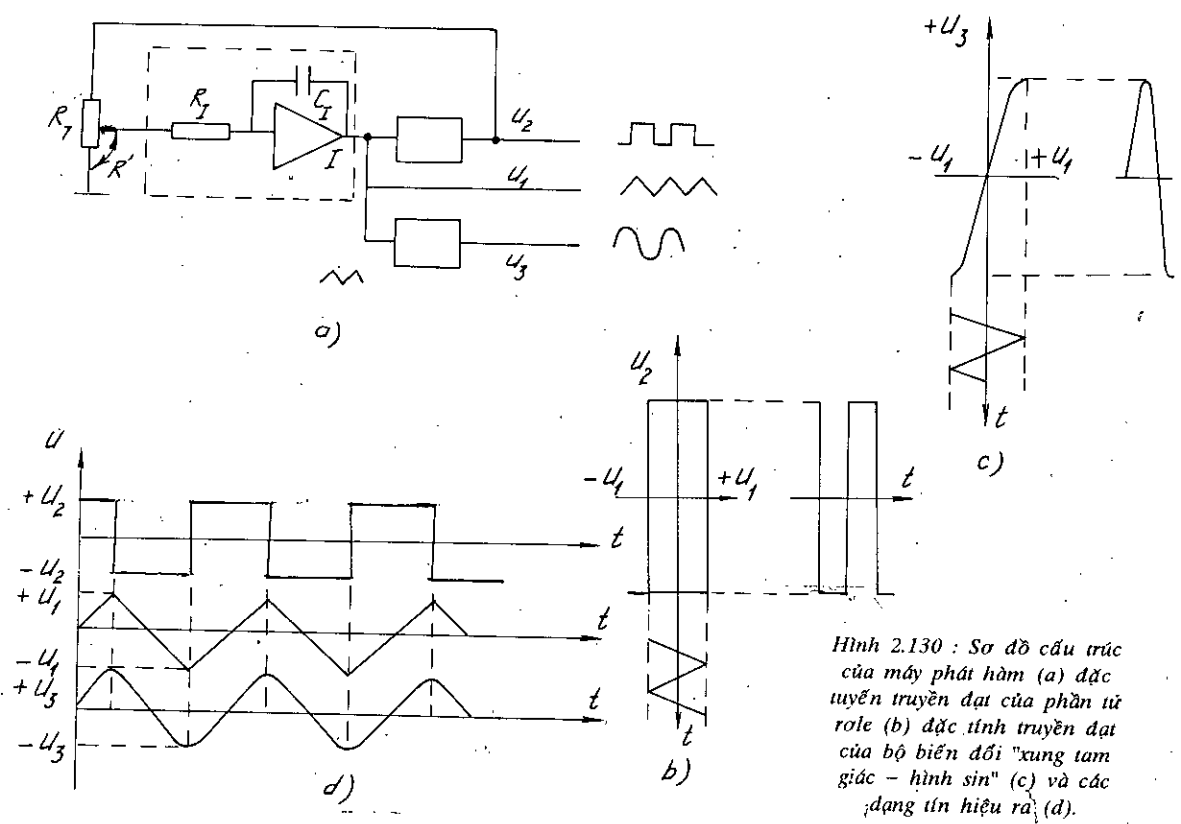
Biên độ dao động cần thiết đạt được bằng cách hiệu chỉnh điện trở R_{ht} hay R_0 trong quá trình điều chỉnh sơ đồ.

Cần lưu ý một điểm là nếu chọn tỉ số $R_{ht} / R_0 = 2$ thì tại tần số f_0 điện áp hồi tiếp lấy trên đường chéo cầu giữa 2 đầu vào đảo và không đảo của OA bằng 0, tức là mạch không thể dao động được. Vì lí do này người ta thường sử dụng loại cầu Viền có cái biên bằng cách chọn quan hệ $R_{ht} / R_0 = 2 + \varepsilon$ với ε là 1 lượng vô cùng bé (một vài %) để mạch dễ dao động có độ ổn định tần số cao nhờ đặc tính φ_β dốc hơn ở lân cận f_0 . Tỷ số $R_{ht}/R_0 = 2 + \varepsilon$ là 1 hàm của biên độ điện áp ra tạo khả năng tự động ổn định biên độ dao động hình sin tại đầu ra của máy phát.

Dùng khuếch đại thuật toán có hồi tiếp âm sâu sẽ làm ổn định tham số của bộ phát sóng RC. Vì vậy độ không ổn định tần số theo nhiệt độ trong bộ phát sóng RC chủ yếu là do sự phụ thuộc của mạch RC vào nhiệt độ. Độ ổn định của nó nằm trong khoảng $\pm 0,1 \div 3\%$.

2.5.3. Tạo tín hiệu hình sin bằng phương pháp biến đổi từ một dạng tín hiệu tuần hoàn khác

Hình 2.119 đã mô tả sơ đồ khối của phương pháp này. Đây là dạng máy phát vạn năng hơn, có nhiều ưu điểm và hiện nay được sử dụng khá rộng rãi. Sơ đồ cấu trúc của một máy phát loại này (máy phát hàm) được trình bày trên hình 2.130a.



Hình 2.130 : Sơ đồ cấu trúc của máy phát hàm (a) đặc tuyến truyền đạt của phần tử role (b) đặc tính truyền đạt của bộ biến đổi "xung tam giác - hình sin" (c) và các dạng tín hiệu ra (d).

Hệ kín bao gồm một mạch tích phân I, (một mạch khuếch đại thuật toán và hai phần tử R, C_1), phần tử role R (mạch khuếch đại thuật toán gồm 1 khâu hồi tiếp dương R_1, R_2) tạo thành một hệ tự dao động và cho ra hai dạng tín hiệu : tín hiệu tam giác (U_1) và tín hiệu xung chữ nhật (U_2) (xem thêm ở phần 3.6). Hàm truyền đạt của phần tử role $U_2 = f_1(U_1)$ được mô tả trên hình 2.130b.

Còn hàm truyền đạt của bộ biến đổi "xung tam giác - hình sin" $U_3 = f_2(U_1)$ có dạng như hình 2.130c. Nguyên tắc làm việc của cả hệ thống này có thể giải thích sơ bộ như sau : Nếu tín hiệu vào có dạng tuyến tính đi xuống (h. 130d) cho đến khi đạt tới mức $-U_1$ sẽ làm lật mạch role thành $+U_2$ cần chú ý $|U_2| > |U_1|$. Từ thời điểm này tại đầu ra của mạch tích phân tín hiệu có dạng tuyến tính đi lên cho đến khi đạt tới giá trị U_1 làm cho role chuyển về trạng thái ban đầu ($-U_2$). Quá trình cứ tiếp tục như vậy và ở đầu ra của role có dạng xung chữ nhật độ lớn $\pm U_2$ và đầu ra của mạch tích phân có dạng xung tam giác biên độ U_1 (h.2.130d). Các tín hiệu này cùng tần số và các khoảng cách xung (độ dầy, độ rộng...).

Nếu đặc tuyến trễ của role đối xứng qua trục X và trục Y có nghĩa là ngưỡng lật mạch như nhau ($\pm U_1$) và mức tín hiệu ra ($\pm U_2$) cũng là như nhau thì tần số dao động được tính bằng công thức sau : xuất phát từ phương trình $I_{C_1} = C_1 \frac{\Delta U_{C_1}}{\Delta t} \approx I$,

suy ra $\Delta t = C_1 \frac{\Delta U_{C_1}}{I}$ hay $f = \frac{1}{2\Delta t}$

do đó :
$$f = \frac{\alpha \cdot U_2}{4R_1 C_1 U_1} \quad (2-262)$$

Trong đó $\alpha = R'/R_f$, R' là phần dưới của điện trở R_f (h.2.130a) ; $R_1 C_1$: hằng số thời gian của mạch tích phân. Tần số của mạch có thể điều chỉnh nhờ thay đổi R_f , ở đây Δt là độ rộng xung.

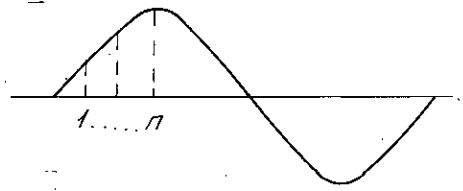
Tín hiệu hình sin nhận được nhờ một bộ biến đổi đặc biệt có đặc tuyến truyền đạt phi tuyến như hình 2.130c. Để nhận được hình sin lý tưởng, khi đầu vào có dạng xung tam giác, đặc tính truyền đạt của phần tử này phải có dạng 1/4 chu kì hình sin tức là $U_3 = a \sin U_1$. Trong đó a là hằng số.

Dạng của ba tín hiệu trên được mô tả trên hình 2.130d.

Yêu cầu đối với phần tử role trong máy phát hàm có dải tần số rộng (từ dưới 1Hz đến 10MHz) là có tốc độ chuyển mạch phải rất nhanh. Để thực hiện nó, có thể dùng mạch so sánh (comparator) (xem thêm 3.1.3). Nhưng các vi mạch so sánh hiện nay thường có thời gian chuyển mạch tương đối lớn $(0,03 \div 4)\mu s$ nên chỉ sử dụng chúng ở tần số không vượt quá 100kHz : Vì vậy trong máy phát hàm phần tử role thường được xây dựng trên cơ sở mạch rời rạc dùng các tranzito cao tần (tranzito xung). (Thời gian chuyển mạch không quá 20-30ns).

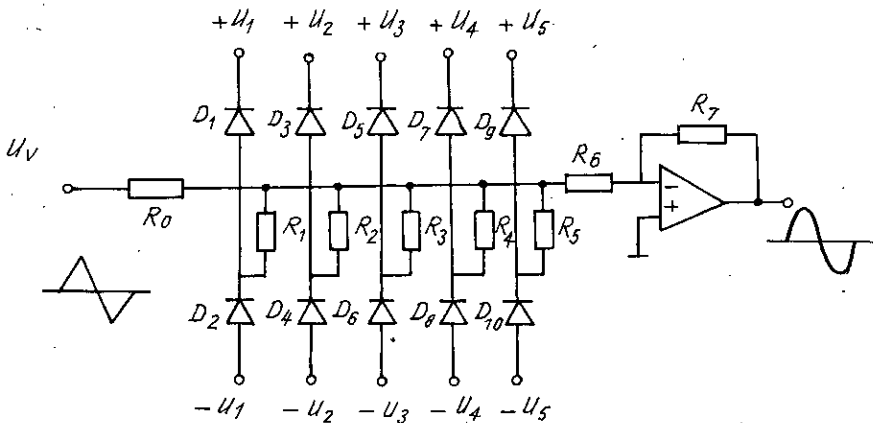
Để nhận được tín hiệu hình sin từ xung tam giác, bộ biến đổi "xung tam giác - hình sin" cần có hàm truyền đạt $U_3 = a \sin U_1$. Để thực hiện hàm này, có hai phương pháp chính là phương pháp xấp xỉ từng đoạn tuyến tính và phương pháp xấp xỉ từng đoạn không tuyến tính.

Phương pháp xấp xỉ bằng những đoạn tuyến tính là chia khoảng hình sin thành $4n$ phần nhỏ và thay thế mỗi phần bằng một đoạn thẳng có độ nghiêng khác nhau (h.2.131).



Hình 2.131 : Xấp xỉ dạng hình sin bằng $4n$ những đoạn thẳng có góc nghiêng thay đổi.

Số n càng lớn thì độ chính xác càng cao và hệ số méo của hình sin nhận được càng nhỏ. Một trong những sơ đồ thực hiện phương pháp này được mô tả trên hình 2.132. Ở đây $n = 6$. Các diốt $D_1 \div D_{10}$ ở trạng thái ban đầu là khóa bằng các mức điện áp



Hình 2.132 : Mạch biến đổi xung tam giác - hình sin dùng phương pháp xấp xỉ từng đoạn tuyến tính.

cho trước : $| \pm U_1 | < \dots < | \pm U_n | < U_{vm}$ ở đây U_{vm} là biên độ xung tam giác ở lối vào. Khi U_v tăng dần thì lần lượt các diốt mở và sau đó khóa (nhóm diốt lẻ làm việc ở nửa dương và nhóm diốt chẵn làm việc ở nửa âm của điện áp tam giác) tạo thành từng đoạn tín hiệu tuyến tính có độ dốc khác nhau. Độ dốc của từng đoạn này được xác định bởi điện dẫn tác động lên từng khoảng thời gian tương ứng. Xét trong 1/4 chu kì đầu, khi số thứ tự của từng khoảng càng cao (1, 2, ... đến n) thì độ dốc sẽ càng giảm. Nếu gọi điện dẫn ban đầu (khi tất cả các diốt đều khóa) là $Y_0 = 1/R_0$ và độ dẫn của từng mạch có diốt mở là $Y_1 = 1/R_1$ và $Y_2 = 1/R_2$ v.v...., thì độ dốc của đoạn bất kì là :

$$\begin{aligned} \operatorname{tg} \alpha_n &= Y_0 - (Y_1 + Y_2 + \dots + Y_n) \\ &= \frac{1}{R_0} - \left(\frac{1}{R_1} + \frac{1}{R_2} + \dots + \frac{1}{R_n} \right) \end{aligned} \quad (2-263)$$

Trong đó α_n là góc nghiêng của đoạn thứ n.

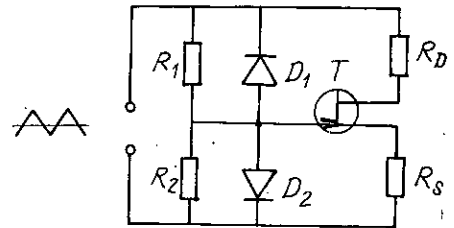
Phương pháp xấp xỉ hóa bằng những đoạn không tuyến tính là chia hình sin ra làm nhiều đoạn và mỗi đoạn thay bằng các hàm phi tuyến. Thí dụ : đường đặc tuyến Vôn - Ampe của diốt có dạng đa thức bậc hai $y = ax^2 + bx + c$ (xấp xỉ từng đoạn bằng hàm bậc hai) hay đặc tuyến Vôn-Ampe của điện trở bán dẫn (Varistor) có dạng đa thức :

$$y = \sum_{i=0}^n a_i x_i^n$$

Xấp xỉ bằng đoạn cong hoặc dùng tranzito trường (FET) mà đặc tuyến Vôn-Ampe có dạng $y = a \sin x$ trong khoảng $0 \div \pi/2$.

Sơ với phương pháp xấp xỉ từng đoạn tuyến tính, phương pháp xấp xỉ từng đoạn không tuyến tính cho độ chính xác cao hơn. (Hệ số méo hình sin nhỏ hơn nếu cùng số lượng chia đoạn n) nhưng thực hiện phức tạp hơn.

Ở tần số $f_{max} \leq 1\text{MHz}$, người ta có thể sử dụng FET để biến đổi xung tam giác thành hình sin do đặc tính đặc biệt của loại này như đã nói ở trên. Sơ đồ bộ biến đổi này được mô tả trên hình 2.133.



Hình 2.133 : Mạch bộ biến đổi "xung tam giác - hình sin" dùng JFET.

Để tín hiệu hình sin không bị méo cần đảm bảo các điều kiện sau :

$$U_v = 1,33U_c$$

$$R_D = R_s = r_{DSO}$$

Ở đây : U_v - biên độ điện áp tam giác.

U_c - điện áp cắt của tranzito trường T ; r_{DSO} - điện trở của kênh của JFET khi điện áp trên cực cửa bằng không.

Tuy nhiên các tham số của tranzito trường phụ thuộc nhiều vào nhiệt độ. Vì vậy để đảm bảo cho bộ biến đổi này làm việc tốt cần có các biện pháp ổn định nhiệt độ hay bù nhiệt bằng các phần tử mắc thêm.

2.6. NGUỒN MỘT CHIỀU

2.6.1. Khái niệm chung

Nguồn 1 chiều có nhiệm vụ cung cấp năng lượng 1 chiều cho các mạch và thiết bị điện tử hoạt động. Năng lượng 1 chiều của nó tổng quát được lấy từ nguồn xoay chiều của lưới điện thông qua 1 quá trình biến đổi được thực hiện trong nguồn 1 chiều.

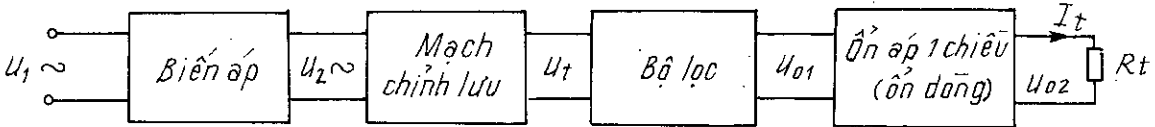
Hình 2.134 biểu diễn sơ đồ khối của một bộ nguồn hoàn chỉnh với chức năng các khối như sau :

- Biến áp để biến đổi điện áp xoay chiều U_1 thành điện áp xoay chiều U_2 có giá trị thích hợp với yêu cầu. Trong một số trường hợp có thể dùng trực tiếp U_1 không cần biến áp.

- Mạch chỉnh lưu có nhiệm vụ chuyển điện áp xoay chiều U_2 thành điện áp một chiều không bằng phẳng U_t (có giá trị thay đổi nhấp nhô). Sự thay đổi này phụ thuộc cụ thể vào từng dạng mạch chỉnh lưu (xem 2.13).

- Bộ lọc có nhiệm vụ san bằng điện áp một chiều đập mạch U_t thành điện áp một chiều U_{o1} ít nhấp nhô hơn.

- Bộ ổn áp một chiều (ổn dòng) có nhiệm vụ ổn định điện áp (dòng điện) ở đầu ra của nó U_{o2} (I_t) khi U_{o1} bị thay đổi theo sự mất ổn định của U_{o1} hay I_t . Trong nhiều trường hợp nếu không có yêu cầu cao thì không cần bộ ổn áp hay ổn dòng 1 chiều.



Hình 2.134 : Sơ đồ khối của nguồn một chiều.

Tùy theo điều kiện và yêu cầu cụ thể mà bộ chỉnh lưu có thể mắc theo những sơ đồ khác nhau và dùng các loại van chỉnh lưu khác nhau. Bộ chỉnh lưu công suất vừa và lớn thường dùng mạch chỉnh lưu ba pha. Dưới đây khảo sát cụ thể từng khối nêu trên trong bộ nguồn một chiều. Riêng phần mạch chỉnh lưu xem (2.1.3) và (4.2).

2.6.2. Lọc các thành phần xoay chiều của dòng điện ra tải

Trong các mạch chỉnh lưu nói trên điện áp hay dòng điện ra tải tuy có cực tính không đổi, nhưng giá trị của chúng thay đổi theo thời gian một cách chu kì, gọi là sự đập mạch của điện áp hay dòng điện sau chỉnh lưu.

Một cách tổng quát khi tải thuần trở, dòng điện tổng hợp ra tải là :

$$i_t = I_0 + \sum_{n=1}^{\infty} A_n \sin n\omega t + \sum_{n=1}^{\infty} B_n \cos n\omega t \quad (2-264)$$

Trong đó I_0 là thành phần 1 chiều và

$$\sum_{n=1}^{\infty} A_n \sin n\omega t + \sum_{n=1}^{\infty} B_n \cos n\omega t$$

Hình 2.137 biểu thị các đặc tuyến ngoài của bộ chỉnh lưu hai 1/2 chu kì với các bộ lọc khác nhau.

Để so sánh các trường hợp trên, có thể căn cứ vào :

- Điện áp ra khi không tải E_0
- Độ dốc của đặc tuyến và dạng của chúng :

Đường 1 ứng với trường hợp không lọc, điện áp không tải bằng trị số trung bình của điện áp chỉnh lưu và nhỏ nhất. Trong các trường hợp khác, do điện trở trong của van phụ thuộc vào dòng điện tải nên đặc tuyến hơi cong, độ dốc của đặc tuyến rất ít nên điện trở ra của bộ chỉnh lưu nhỏ.

Đường 2 ứng với trường hợp lọc tụ C. Do có tụ lọc nên điện áp không tải tăng lên khi dòng I_0 tăng, ngoài ra ảnh hưởng của van, biến áp, sự phóng nhanh của tụ C qua tải cũng làm cho U_0 giảm nhanh hơn khi không lọc.

Đường 3 ứng với trường hợp lọc RC. Khi I_0 tăng, sụt áp trên điện trở lọc R tăng nhanh nên điện áp ra tải U_0 giảm nhanh nhất so với các trường hợp nêu ở đây.

Đường 4 ứng với trường hợp lọc LC (hình L ngược). Phần đặc tuyến giảm nhanh do đó dòng từ hóa cho cuộn L chưa đủ để gây sụt áp cảm tính. Sau đó cùng với sự tăng của dòng từ hóa cuộn L, sụt áp cảm tính trên cuộn L và ảnh hưởng của nó tăng lên làm cho U_0 giảm chậm nhưng vẫn có độ dốc lớn hơn khi không lọc do cuộn L có điện trở 1 chiều.

Đường 5 ứng với bộ lọc hình π gần giống với trường hợp lọc C do đặc tuyến chịu ảnh hưởng chủ yếu của tụ C.

Nhìn chung, độ dốc của đặc tuyến ngoài phản ánh điện trở ra (điện trở trong) của bộ chỉnh lưu. Do yêu cầu chung đối với một nguồn áp, chúng ta mong muốn điện trở này càng nhỏ càng tốt.

2.6.4 Ổn định điện áp và dòng điện

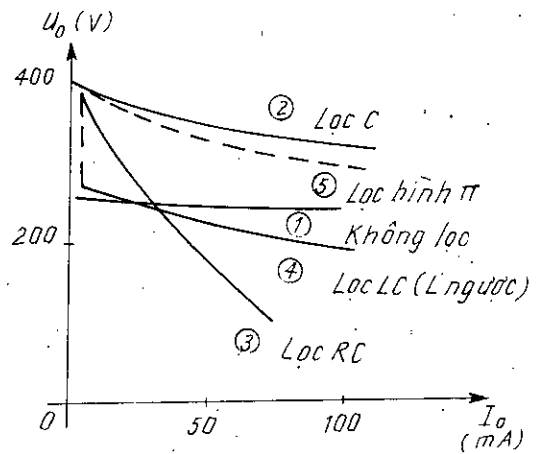
a - Ổn định điện áp

Nhiệm vụ ổn định điện áp (gọi tắt là ổn áp) một chiều ra tải khi điện áp và tần số lưới điện thay đổi, khi tải biến đổi (nhất là đối với bán dẫn) rất thường gặp trong thực tế. Điện trở ra của bộ nguồn cung cấp yêu cầu nhỏ, để hạn chế sự ghép kí sinh giữa các tầng, giữa các thiết bị dùng chung nguồn chỉnh lưu.

Việc ổn định điện áp xoay chiều bằng các bộ ổn áp xoay chiều có nhiều hạn chế nhất là khi điện áp lưới thay đổi nhiều. Dùng bộ ổn áp một chiều bằng phương pháp điện tử được sử dụng phổ biến hơn đặc biệt khi công suất tải yêu cầu không lớn và tải tiêu thụ trực tiếp điện áp 1 chiều.

Các chỉ tiêu cơ bản của một bộ ổn áp là :

- Hệ số ổn áp xác định bằng tỉ số giữa lượng biến thiên tương đối của điện áp đầu vào và điện áp đầu ra khi giữ tải ở một giá trị không đổi.



Hình 2.137 : Đặc tuyến ngoài của bộ chỉnh lưu.

$$K_{0,d} = \frac{dU_{vào}/U_{vào}}{dU_{ra}/U_{ra}} \quad | \quad R_l = \text{const} \quad (2-268)$$

Phân biệt hệ số ổn áp theo đường dây :

$$K_{dây} = \frac{\Delta U_{ra1}}{U_{ra}} \% \text{ là hệ số ổn áp theo tải } K_{tải} = \frac{\Delta U_{ra2}}{U_{ra}} \%$$

ở đây ΔU_{ra1} được xác định khi $dU_{vào}/U_{vào} = 10\%$

ΔU_{ra2} được xác định khi $\Delta I_{tải} = I_{tmax}$.

- Điện trở ra đặc trưng cho sự biến thiên của điện áp ra khi dòng điện tải thay đổi (lấy giá trị tuyệt đối vì thường $\Delta U_{ra} > 0$ khi $\Delta I_l > 0$)

$$R_{ra} = \frac{dU_{ra}}{dI_l} \quad | \quad U_v = \text{const} \quad (2-269)$$

- Hiệu suất : đo bằng tỉ số công suất ra tải và công suất danh định ở đầu vào :

$$\eta = \frac{U_{ra} \cdot I_l}{U_v \cdot I_v} \quad (2-270)$$

- Lượng trôi (lượng không ổn định) của dòng (điện áp) một chiều ra tải :

$$\Delta U_{trôi} = \Delta U_{vào}/K_{0,d}$$

Các dạng bộ ổn áp trên thực tế được chia thành ba loại chính : ổn áp kiểu tham số, ổn áp kiểu bù tuyến tính và ổn áp kiểu bù xung.

- *Ổn áp kiểu tham số.* Nguyên lí và đặc tuyến của bộ ổn áp kiểu tham số dùng diốt zener đã được nêu ở 2.1.3.

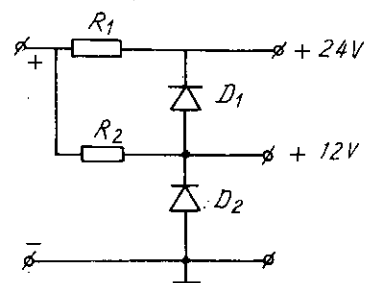
Ở đây, chỉ cần nhắc lại vài nhận xét chính sau :

+ Khi điện áp vào U_1 biến đổi lượng ΔU_1 khá lớn, từ đặc tuyến diốt ổn áp silic, ta thấy điện áp ổn định biến đổi rất ít và dòng điện qua diốt I_0 tăng lên khá lớn. Vậy toàn bộ lượng tăng giảm của U_1 hầu như hạ trên R_{hc} , điện áp ra tải hầu như không đổi.

+ Trường hợp nếu như $U_1 = \text{const}$ và chỉ có dòng tải I_l tăng sẽ gây nên sự phân phối lại dòng điện. Khi đó I_0 giảm xuống. Kết quả là dòng điện I_r hầu như không thay đổi và U_2 giữ không đổi.

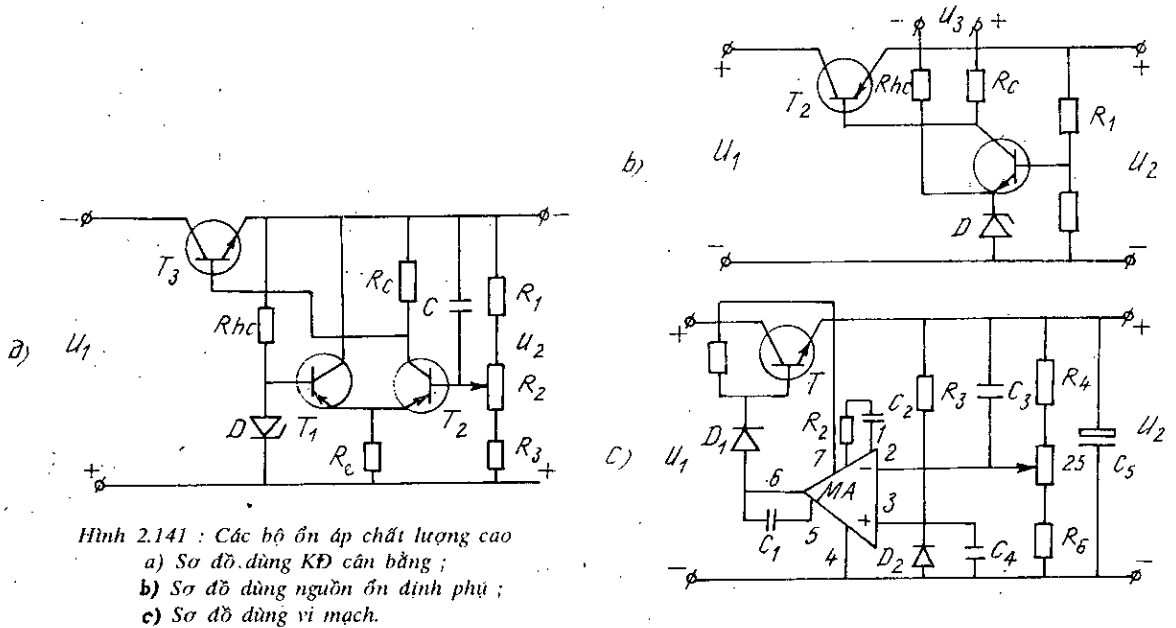
+ Hệ số ổn định của mạch tỷ lệ với tỷ số R_{hc}/r_i (r_i là điện trở trong của phần tử ổn định lúc làm việc) nghĩa là r_i càng nhỏ càng tốt và giới hạn trên của R_{hc} do dòng I_{min} của phần tử ổn định quyết định. Khi cần ổn định điện áp cao quá điện áp ổn định của diốt có thể mắc nối tiếp 2 hay nhiều diốt ổn áp, khi đó có thể nhận được nhiều mức điện áp ổn định (h. 2.138).

Bộ ổn áp tham số có ưu điểm là mạch đơn giản, tiết kiệm, khuyết điểm của nó là chất lượng ổn áp thấp và không thay đổi được mức điện áp ra U_2 theo yêu cầu.



Hình 2.138 : Mạch dùng nhiều đèn ổn áp Silic mắc nối tiếp cho ra nhiều mức điện áp ổn định.

+ Khả độ trôi điện áp do việc dùng bộ khuếch đại ghép trực tiếp bằng cách dùng sơ đồ khuếch đại vi sai cố bù nhiệt như hình 2.141a. Điện áp ổn định do D tạo ra được đưa vào B₁ của T₁; điện áp hồi tiếp đưa vào B₂ của T₂, điện áp ra của mạch khuếch đại vi sai lấy trên colectơ của T₂ (đầu ra không đối xứng) đưa vào không chế T₃. Do mạch vi sai cố độ trôi theo nhiệt độ rất nhỏ nên chất lượng ổn định được tăng lên.



Hình 2.141 : Các bộ ổn áp chất lượng cao
 a) Sơ đồ dùng KĐ cân bằng;
 b) Sơ đồ dùng nguồn ổn định phụ;
 c) Sơ đồ dùng vi mạch.

+ Dùng nguồn 1 chiều ổn định phụ U₃ để cung cấp cho T₁ nguồn này ổn định theo sự biến thiên của tải và nguồn nên chất lượng ổn định tăng lên.

+ Dùng bộ khuếch đại thuật toán. Hình 2.141c biểu thị kiểu mạch này dùng vi mạch μA 741 thay cho đèn khuếch đại T₁. Do vi mạch có hệ số khuếch đại lớn, ổn định cao nên chất lượng bộ ổn áp tăng. Trong sơ đồ, D₂ để ổn định điện áp một chiều cho đầu vào không đảo 3. Điện áp ra của μA741 lấy ở chân 6 được đưa vào không chế T.D₁ là đèn ổn áp có tác dụng định mức điện áp từ đầu ra của μA741 vào bazơ của tranzito T.

Ưu điểm chung của các bộ ổn áp theo phương pháp bù liên tục là chất lượng ổn định cao và cho phép thay đổi được mức điện áp ra trong 1 dải nhất định. Tuy nhiên hiệu suất năng lượng thấp (dưới 50%) do tổn hao công suất của nguồn 1 chiều trên bộ ổn định tương đối lớn. Để nâng cao chất lượng ổn áp đặc biệt là dải điều chỉnh điện áp ra, độ ổn định của điện áp ra cũng như nâng cao hiệu suất năng lượng, hiện nay người ta sử dụng phương pháp ổn áp bù không liên tục (hay thường gọi là ổn áp xung).

- Ổn áp xung

+ Nguyên lý chung :

Đặc điểm quan trọng nhất của bộ ổn áp bù tuyến tính là sự sai lệch điện áp ra được đặt liên tục lên một tranzito công suất để điều khiển, bù lại sai lệch này và giá trị điện áp ra sau bộ ổn định :

$$U_{ra} = U_{\text{ổn định}} \leq U_{\text{vào min}}$$

với U_{vmin} là giá trị nhỏ nhất của điện áp đưa tới bộ ổn định.

Ở các bộ ổn áp xung, người ta thay tranzito điều khiển bằng một bộ chuyển mạch xung. Trị số trung bình (1 chiều) của điện áp ở lối ra được điều chỉnh nhờ việc đóng hay mở chuyển mạch theo 1 chu kỳ xác định và với thời gian đóng hay mở có thể điều chỉnh được theo mức độ sai lệch của U_{ra} . Nếu đặt bộ chuyển mạch điện tử ở mạch thứ cấp của biến áp nguồn, ta nhận được bộ ổn áp xung thứ cấp. Trong trường hợp ngược lại, nếu ở mạch sơ cấp, ta có bộ ổn áp xung sơ cấp.

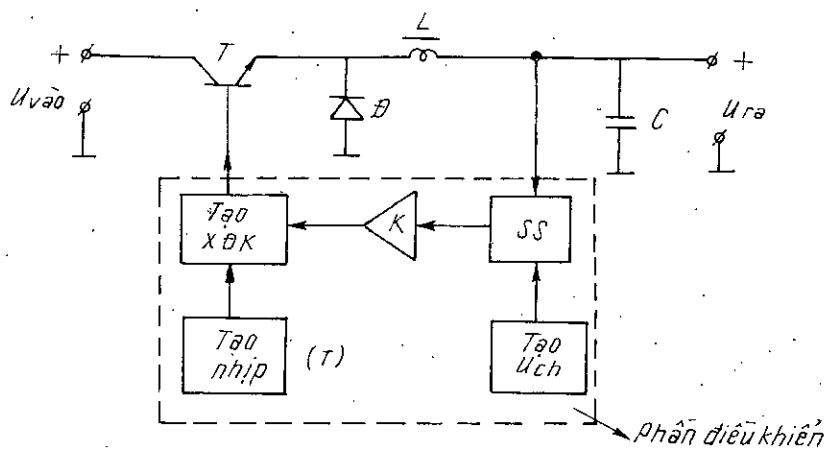
Để giảm nhỏ công suất tổn hao của biến áp, người ta chọn tần số làm việc của chuyển mạch cao (vài kHz đến vài chục kHz). Bằng cách đó, kích thước, trọng lượng biến áp giảm vài lần và hiệu suất năng lượng chung của bộ ổn áp có thể đạt tới trên 80%.

Các chuyển mạch điện tử là các tranzito công suất làm việc ở chế độ xung (hoặc các tranzito). Việc điều khiển đóng mở tranzito được thực hiện nhờ 1 xung vuông góc đưa tới bazơ, có chu kỳ xung không đổi. Tồn tại 3 khả năng điều khiển tranzito chuyển mạch là :

- Thay đổi độ xung vuông (tương ứng với thời gian mở hay nối mạch của tranzito) theo mức sai lệch của U_{ra} , nhờ đó điều chỉnh được ở điện áp ra ở một mức ổn định.
- Thay đổi độ trống của xung vuông (tương ứng với thời gian khóa hay ngắt mạch của tranzito).
- Thay đổi đồng thời cả độ rộng và độ trống của xung điều khiển. Tương ứng ở 3 khả năng trên có 3 dạng mạch nguyên lý thực hiện như sau (kiểu thứ cấp).

+ Phương pháp thay đổi độ rộng xung :

Sơ đồ khối của phương pháp này cho trên hình 2.142.



Hình 2.142 : Bộ ổn áp xung thứ cấp theo phương pháp điều chỉnh độ rộng xung điều khiển.

Đặc điểm kết cấu của phương pháp này là tranzito chuyển mạch T, cuộn cảm L và tải mắc nối tiếp nhau, điốt mắc song song với tải.

- Tranzito T làm việc như 1 khóa điện tử mở hoặc khóa với tần số không đổi (khoảng 20 kHz) do khối tạo xung nhịp của phần điều khiển tạo ra. Phần điều khiển thực hiện việc so sánh điện áp ra U_{ra} với 1 điện áp chuẩn U_{ch} (do khối tạo điện áp chuẩn tạo ra), kết quả sai lệch được khối K khuếch đại sau đó điều chế độ rộng xung để tạo ra xung vuông có độ rộng thay đổi (tại khối tạo xung điều khiển) trước khi đưa tới khóa tranzito để điều tiết khoảng thời gian mở của nó. Trong khoảng thời

gian nghỉ của xung điều khiển, dòng điện ra được đảm bảo nhờ tụ lọc C và cuộn chẵn L. Điốt D dùng để ngăn ngừa việc xuất hiện điện áp tự cảm trên cuộn L quá lớn lúc chuyển mạch tranzito chuyển từ mở sang khóa và do đó bảo vệ tranzito khỏi quá áp đánh thủng $U_{CEngmax}$.

- Một trong những phương án đơn giản để điều chế độ rộng xung là dùng xung tam giác có chu kỳ và biên độ không đổi so sánh với điện áp cân ổn định như minh họa trên hình 2.143.

- Việc phân tích chi tiết sơ đồ khối hình 2.142 qua giản đồ điện áp và dòng điện (tìm phương trình $U_L(t)$ và $I_L(t)$ qua đó xác định dòng tuyến tính $I_L(t)$ và ΔI_L) cho phép rút ra các kết luận chính đối với phương pháp này là :

- + Tỷ số $U_{ra}/U_{vào}$ tỷ lệ với $t_{mở}/T$ và do $0 \leq t_{mở} \leq T$ nên $0 \leq U_{ra} \leq U_{vào}$

Tức là dải điều chỉnh của điện áp ra ổn định nằm trong giới hạn $(0 \div U_{vào})$ điện áp ra sau bộ ổn áp luôn không lớn hơn điện áp vào.

- + Dòng trung bình qua tranzito chuyển mạch (là dòng điện vào) luôn nhỏ hơn dòng ra tải : $I_v < I_{ra}$

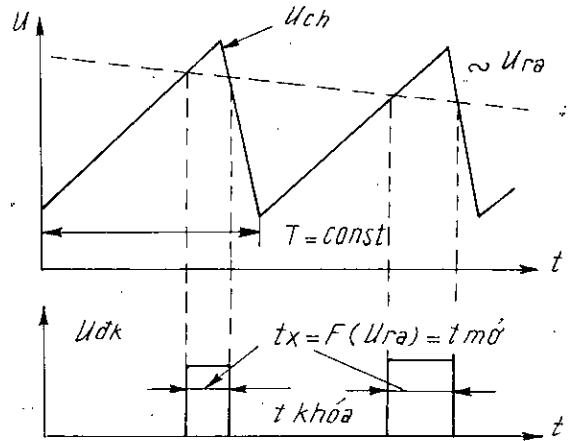
- + Bộ ổn áp nhận năng lượng của mạch vào ($U_{vào}$ dưới dạng không liên tục và chuyển năng lượng 1 chiều ra tải dưới dạng liên tục theo thời gian).

- Phương pháp điều chỉnh độ rộng xung

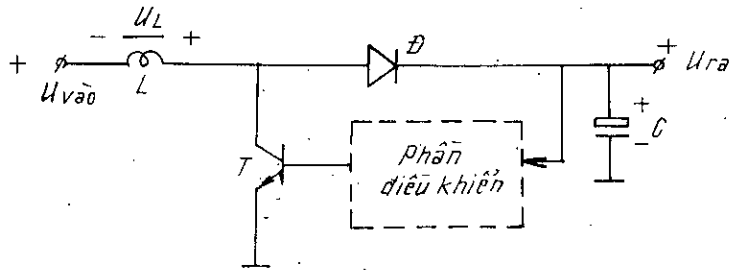
Sơ đồ khối của phương pháp này được cho trên hình 2.144.

Đặc điểm kết cấu của phương pháp này là cuộn chẵn L điốt bảo vệ D và tải mắc nối tiếp nhau. Tranzito chuyển mạch T mắc song song với tải phân cách qua điốt. Việc phân tích nguyên lý hoạt động tương tự như trên, qua đó có thể rút ra các nhận xét chính sau :

- + Do sử dụng tính chất tự cảm của cuộn chẵn L, có khả năng nhận được $U_{ra} > U_{vào}$ tỷ số $U_{ra}/U_{vào}$ tỷ lệ với $T/t_{khóa}$. Vì $0 \leq t_{khóa} \leq T$ nên $U_{vào} \leq U_{ra} < \infty$ tức là phương pháp này cho phép nhận được điện áp ra lớn hơn điện áp vào bộ ổn định hay dải điều chỉnh rộng hơn. Điều này có thể giải thích tóm tắt do có hiện tượng tích lũy năng lượng từ trường trong cuộn L lúc tranzito mở (tương ứng với khoảng thời gian



Hình 2.143 : Một phương pháp điều chế độ rộng xung nhờ 1 xung chuẩn dạng tam giác.



Hình 2.144 : Phương pháp điều chỉnh độ rộng xung.

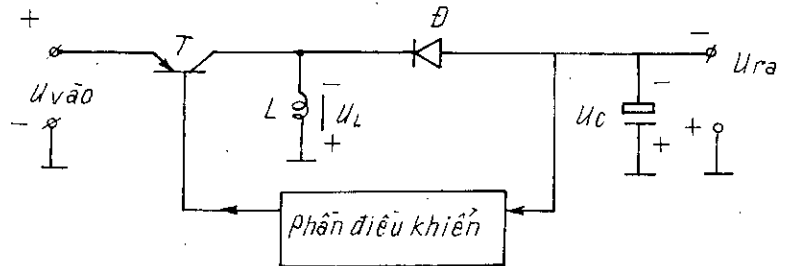
$t_{mở} = t_x$ của xung) khi đó Đ khóa, ngắt tải khỏi mạch vào. Khi tranzito khóa (tương ứng với khoảng thời gian $t_{nghe} = t_{khóa}$ năng lượng của $U_{vào}$ kết hợp với năng lượng của U_L qua diốt (lúc này mở) nạp cho tụ C và cung cấp U_{ra} cho tải.

+ Năng lượng của nguồn U_v liên tục cung cấp cho bộ ổn áp (trên cuộn L) và việc truyền năng lượng ra tải xảy ra dưới dạng xung không liên tục.

- Phương pháp điều chỉnh đồng thời độ rộng và độ rỗng xung

Sơ đồ khối thực hiện phương án này cho trên hình 2.145.

Đặc điểm kết cấu ở đây là tranzito chuyển mạch và diốt mắc nối tiếp với tải cuộn chặn L mắc song song với tải phân cách qua diốt. Khi tranzito mở, dòng do $U_{vào}$ cung cấp cho cuộn L tích lũy năng lượng từ trường. Diốt lúc này khóa ngắt phần trước nó khỏi mạch tải, tụ C được nạp đầy từ trước phóng điện qua mạch tải, cung cấp U_{ra} .



Hình 2.145: Phương pháp điều chỉnh đồng thời $t_{mở}$ và $t_{khóa}$.

Khi tranzito khóa (ứng với khoảng thời gian không có xung điều khiển), trên L xuất hiện sức điện động tự cảm chiều ngược lại với $U_{vào}$ làm diốt Đ mở giải phóng năng lượng từ cuộn L nạp cho C và cung cấp cho mạch tải.

Qua việc phân tích có mấy nhận xét sau :

+ Điện áp U_L và U_C ngược cực tính với $U_{vào}$, do đó tại đầu ra ta nhận được điện áp trên tải ngược cực tính với $U_{vào}$ hay bộ ổn áp có tác dụng đảo dấu điện áp vào cần ổn định.

+ Điện áp ra được xác định theo hệ thức :

$$\frac{U_{ra}}{U_{vào}} = - \frac{t_{mở}}{t_{khóa}}$$

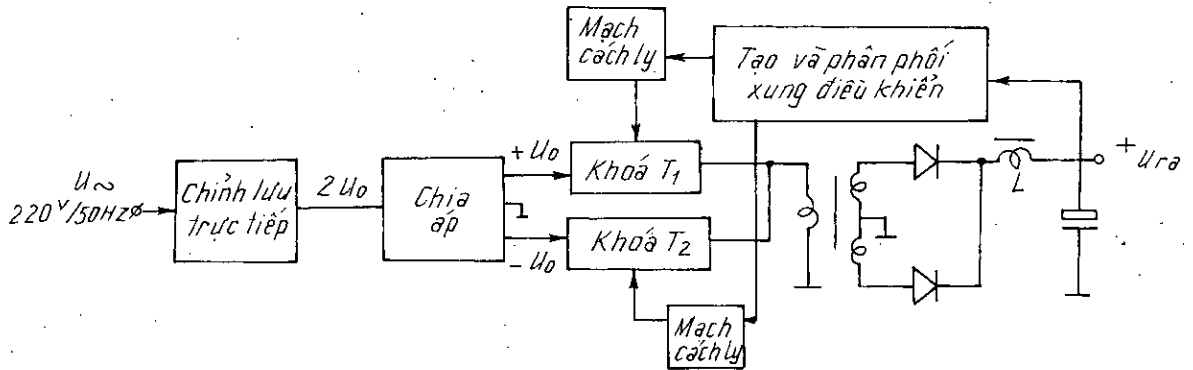
vì $t_{mở}$ và $t_{khóa}$ luôn biến đổi tỷ lệ ngược (do chu kỳ T là hằng số), dải cho phép nhận điện áp ra là $0 \leq |U_{ra}| < \infty$ hay phương pháp này cho khả năng điều chỉnh U_{ra} rộng nhất trong số 3 phương pháp trình bày.

+ Năng lượng từ mạch vào cung cấp cho bộ ổn áp dưới dạng xung vào bộ ổn áp truyền năng lượng ra tải cũng dưới dạng xung.

- Phương pháp ổn áp xung sơ cấp.

Sơ đồ khối của phương pháp ổn định sơ cấp cho trên hình 2.146.

Mạch hình 2.146 hoạt động như sau : điện áp lưới được nắn trực tiếp nhờ 1 cầu chỉnh lưu thành điện áp 1 chiều $2U_0$, qua bộ chia áp chuyển thành điện áp đối xứng $\pm U_0$ (cỡ $\pm 150V$) cung cấp cho 2 tranzito chuyển mạch T_1 và T_2 . T_1 và T_2 lần lượt làm việc kiểu đẩy kéo nhờ 2 dãy xung điều khiển ngược pha nhau có tần số cao (khoảng $5 \div 50kHz$) do khối tải và chia xung điều khiển tạo ra sau khi đã qua mạch phân cách. Các xung điều khiển có độ rộng thay đổi theo quy luật sai lệch của điện



Hình 2.146 : Phương pháp ổn áp xung kiểu sơ cấp.

áp ra U_{ra} (giống như phương pháp ổn định kiểu thứ cấp đã nói trên). Nhờ T_1 và T_2 điện áp $\pm U_0$ lần lượt được đưa tới 1 biến áp xung và tải thứ cấp của nó qua một mạch chỉnh lưu hai nửa chu kỳ, và 1 khâu lọc LC, ta nhận được điện áp ra đã được ổn định. Đặc điểm chính của phương pháp này là ở đây sử dụng biến áp xung làm việc ở tần số cao nên kết cấu gọn và tổn hao nhỏ. Mạch cách ly để phân cách điện thế giữa mạch thứ và sơ cấp bảo vệ khối điều khiển khỏi ảnh hưởng của ổn áp (thường dùng ghép biến áp hay ghép opton).

Điểm lưu ý cuối cùng là trong tất cả các phương pháp đã nêu, có thể thay khóa chuyển mạch tranzito bằng các khóa tiristô (xem phần 2.7 tiếp sau). Khi đó, chỉ cần điều chỉnh thời điểm xuất hiệu xung điều khiển mở cho tiristô (thay vì điều chỉnh độ rộng của xung vuông điều khiển khóa tranzito) nhờ các mạch tạo xung điều khiển thích hợp.

b - Ổn định dòng điện

Trong những thiết bị điện tử có độ chính xác, độ ổn định cao, ngoài yêu cầu ổn định điện áp ra tải còn có yêu cầu ổn định dòng điện qua một mạch tải nào đó. Phần dưới đây đề cập tới một vài phương pháp ổn dòng.

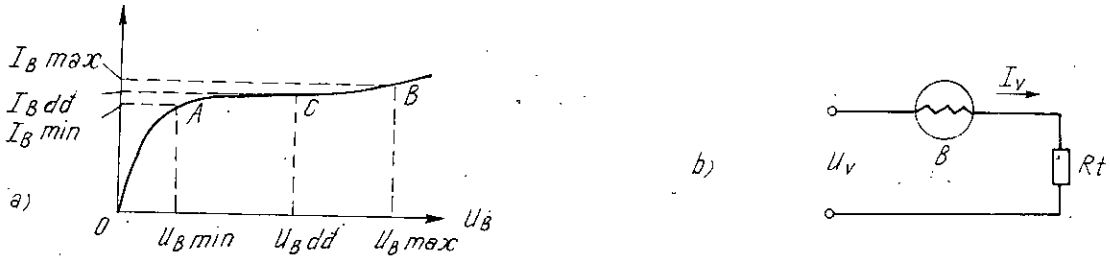
- Để ổn định dòng điện qua một mạch tải (khi điện áp nguồn hay khi trị số tải thay đổi) ta có thể dùng phần tử ổn dòng như barette. Dụng cụ này gồm có một sợi dây sắt hay vonfram đặt trong bóng thủy tinh chứa hidrô. Khi có dòng điện qua barette, sợi dây được nung nóng làm cho điện trở của nó biến đổi. Đặc tuyến của barette được vẽ trên hình 2.147a. Khu vực làm việc của barette là đoạn AB trong đó khi điểm làm việc của barette biến đổi thì dòng qua nó hầu như không đổi.

Hình 2.147b biểu thị mạch điện dùng barette để ổn định dòng qua R_1 giả sử U_v tăng thì điện trở của B cũng tăng (do nó bị nung nóng hơn), sụt áp trên B tăng bù lại sự tăng của U_v , dòng nối tiếp qua B và R_1 giữ ổn định. Barette đảm bảo sự ổn định dòng điện với độ chính xác $\pm 1\%$ khi điện áp nguồn biến đổi $\pm (10-15\%)$ các tham số của phần tử barette là các cặp giá trị điện áp và dòng ứng với các điểm A, B, C trên hình 2.147a.

- Tranzito như một nguồn dòng điện

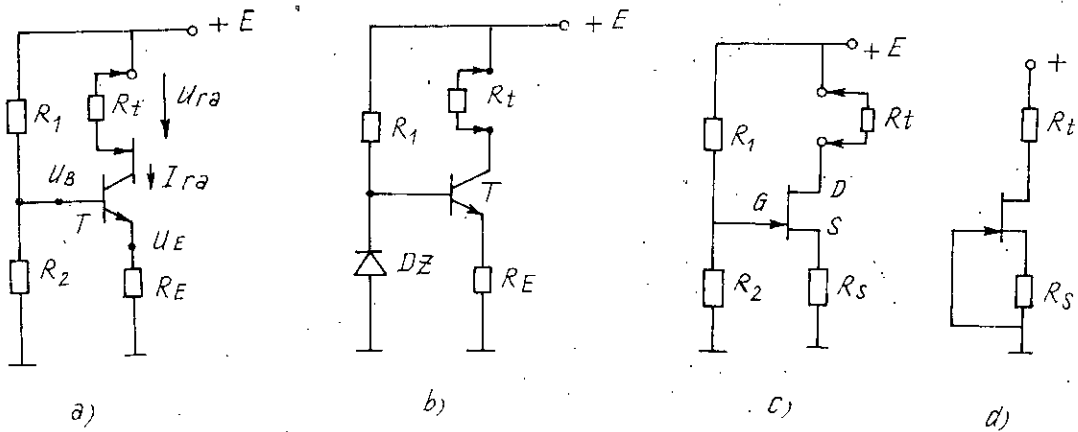
Một phương pháp phổ biến hơn để ổn định dòng điện là sử dụng tranzito làm việc ở đoạn nằm ngang của đặc tuyến ra của nó. Khi đó, điện trở vi phân của tranzito

khá lớn (là yêu cầu cần thiết đối với 1 nguồn dòng gắn với lý tưởng) trong khi điện trở 1 chiều lại nhỏ.



Hình 2.147 : a) Đặc tuyến V-A của barect ; b) Mạch điện dùng barect để ổn dòng.

Hình 2.148 đưa ra một mạch ổn dòng đơn giản dùng tranzito mắc theo sơ đồ EC có hồi tiếp âm dòng điện trên R_E , điện trở tải được mắc nối tiếp với tranzito ở mạch colecto.



Hình 2.148 : Mạch ổn dòng dùng tranzito ở chế độ không bão hòa.

• Khi $U_{CE} > U_{CE}$ bão hòa, dòng điện mạch ra $I_c = I_{ra} \approx I_E$ gần như không thay đổi cho tới khi tranzito bị bão hòa :

$$I_{ra} \approx I_E = \frac{U_E}{R_E} = \frac{U_B - U_{BE0}}{R_E} \quad (2-273)$$

Điện trở trong của nguồn dòng khi đó được xác định bởi [4]

$$r_i = - \frac{dU_{ra}}{dI_{ra}} = r_{cE} \left[1 + \frac{\beta R_E}{(R_1 // R_2) + r_{BE} + R_E} \right] \quad (2-274)$$

Ví dụ với $I_{ra} = 1mA$. $r_{cE} = 100k\Omega$.

$R_E = 5k\Omega$ $\beta = 300$

$U_E = 5V$

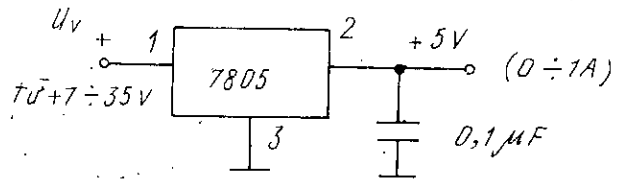
dụng cũng dễ dàng hơn. Các bộ IC ổn áp trên thực tế cũng bao gồm các phần chính là bộ tạo điện áp chuẩn, bộ khuếch đại tín hiệu sai lệch, tranzito điều chỉnh, bộ hạn chế dòng (trong phần lớn các ổn áp đều có bộ hạn chế dòng).

Các IC ổn áp thường bảo đảm dòng ra khoảng từ 100mA đến 1A điện áp tới 50V, công suất tiêu tán khoảng 500 - 800 mW. Hiện nay người ta cũng chế tạo các IC ổn áp cho dòng tới 10A, điện áp từ 2-50V. Các loại IC ổn áp điển hình thường dùng là : LM105, LM309, μ A723, LM323, LM345, LM350, LM337, LM338, Seri 78H00...

Tùy thuộc vào yêu cầu về các tham số kỹ thuật như điện áp ra, dòng ra, hệ số ổn định điện áp, khả năng điều khiển điện áp ra, dải nhiệt độ làm việc, nguồn cung cấp, độ ổn định theo thời gian v.v... Mà người ta chế tạo ra nhiều loại (có cấu trúc mạch bên trong) khác nhau, với 3 hoặc 4 chân ra giúp cho việc sử dụng nó hết sức thuận tiện.

a - Loại IC ổn áp 3 chân nối (h.2.151) (đầu ra, đầu vào và đất). Loại này thường cho ra một điện áp cố định. Đại diện cho loại này là Seri 7800 hay 7900. Điện áp ra được chỉ bằng 2 số cuối cùng của kí hiệu. Ví dụ 7805 (ổn áp 5V) ; 7812 (+ 12V) ; 7815 (+ 15V) ; 7818 (+ 18V) ; 7824 (+ 24V).

Tụ điện C = 0,1 μ F để cải thiện quá trình quá độ và giữ cho điện trở ra của mạch đủ nhỏ ở tần số cao, dòng điện ra, phổ biến $\leq 1A$.

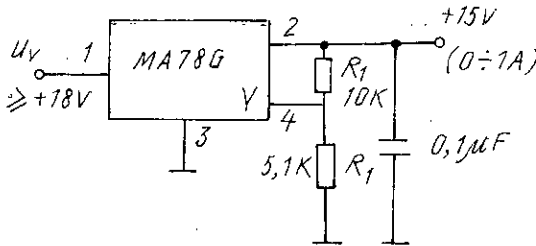


Hình 2.151 : Sơ đồ nguồn ổn áp dùng IC loại 7800.

Seri 7900 tương tự như Seri 7800 nhưng cho điện áp ra âm.

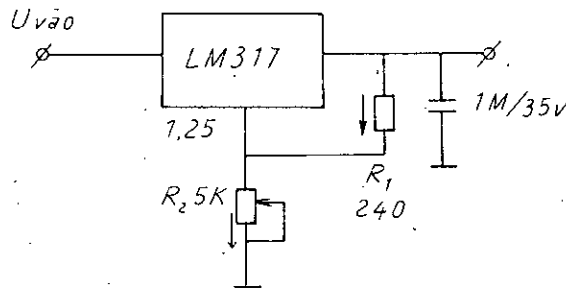
b - Loại IC ổn áp bốn chân nối (h. 2.152) : Loại này có thêm một đầu ra dùng để điều chỉnh (đầu Y).

Loại IC ổn áp này thường dùng trong những trường hợp yêu cầu điện áp đầu ra có thể thay đổi được, hoặc cần tinh chỉnh cho thật chính xác.



Hình 2.152 : Sơ đồ nguồn ổn áp 4 chân nối (loại μ A 78G).

c - Loại IC ổn áp 3 chân nối ra có điều chỉnh (h. 2.153) :



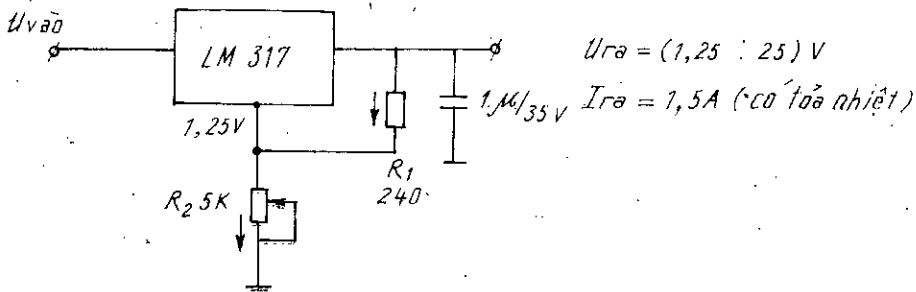
Hình 2.153 a: IC ổn áp có điều chỉnh.

Loại này cần dùng khi điện áp ra có thể điều chỉnh được. Loại IC này thí dụ như LM 317 không có chân nối đất, mà thay vào đó là chân Y. Nhờ có phân áp R_1, R_2 . Dòng ra tại đầu Adj rất nhỏ ($50 - 100\mu A$). Điện áp trên R_1 là 1,25V tức là dòng qua R_1 là 5mA. Điện áp ra có thể điều chỉnh trong khoảng

$$U_{ra} = 1,25 \left(1 + \frac{R_2}{R_1} \right) V \quad (2-281)$$

(Ở đây mức điện áp chuẩn $U_{ch} = 1,25V$ là do 1 ống ổn áp kiểu nguồn gương dòng điện tạo ra, nằm bên trong cấu trúc của LM317 có dạng tương tự như LM113).

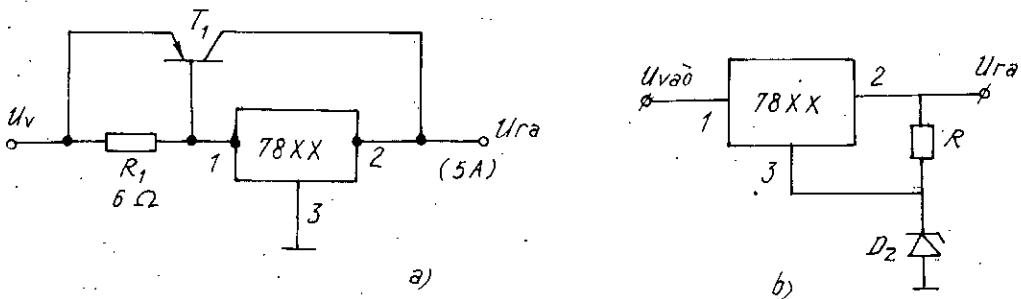
Trong trường hợp cụ thể này điện áp ra có thể điều chỉnh trong phạm vi từ 1,25V đến 25V.



Hình 2.153b: IC ổn áp có điều chỉnh.

d - Để tăng dòng tải ở đầu ra người ta có thể mắc thêm tranzito điều chỉnh phối hợp với IC ổn áp (h.2.154a) hoặc nâng cao điện áp đầu ra bằng cách đấu thêm Dz (h.2.154b), khi đó:

$$U_{ra} = U_{ôn} + U_z$$



Hình 2.154 : IC ổn áp dùng thêm tranzito ngoài để tăng dòng sử dụng (a) hay dùng diốt zener để nâng mức U_{ra} (b).

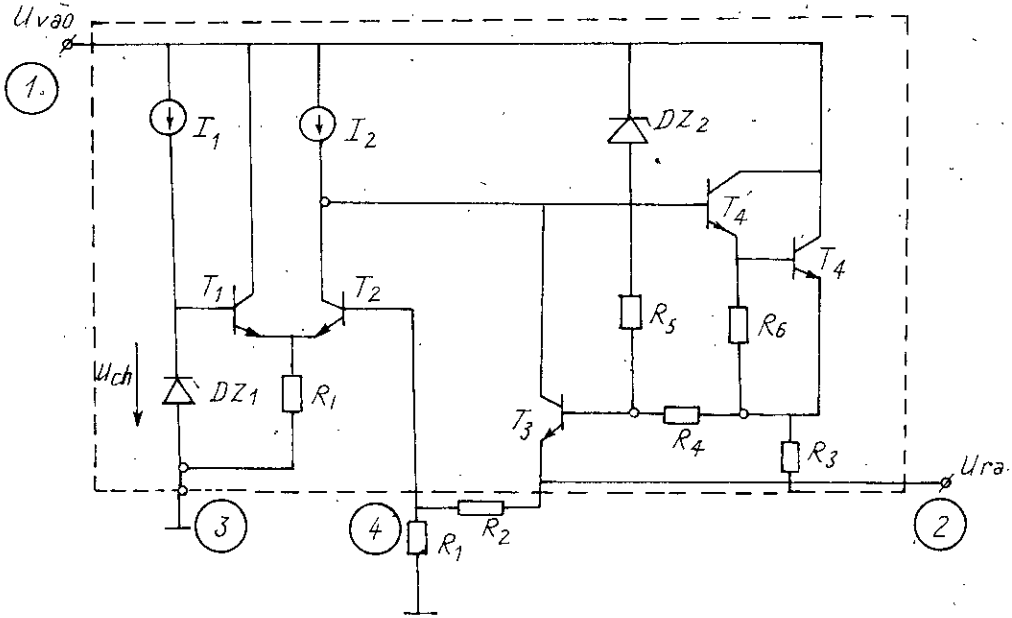
e - Cấu trúc điển hình bên trong của IC ổn áp được cho trên hình 2.155 (loại $\mu A7800, \mu A78G$)

• Với loại cấu trúc 3 chân ra (không có chân số 4) các điện trở hồi tiếp R_1, R_2 được chế tạo ngay bên trong vỏ IC ($\mu A 7800$). Còn với loại có cấu trúc 4 chân, cực

bazơ của T_2 được để ngỏ để đưa ra dấu R_1, R_2 từ ngoài, khi đó có thể chọn (hoặc điều chỉnh) mức điện áp ra lấy tại chân 2 :

$$U_{ra} = U_{ch} \left(1 + \frac{R_2}{R_1} \right) \quad (2-282)$$

• Để chống hiện tượng quá tải (ngắn mạch tải hay tăng quá mức điện áp vào) người ta đưa vào các khâu mạch bảo vệ quá áp (dùng R_5, DZ_2) và bảo vệ quá dòng (dùng R_3, R_4) kết hợp với tranzito T_3 .



Hình 2.155 : Sơ đồ cấu trúc điển hình IC ổn áp.

Dòng cực bazơ của cặp tranzito điều chỉnh Darlington $T_4' T_4$ được duy trì không vượt quá giới hạn I_{Bmax} (cỡ vài mA) nhờ tác dụng phân dòng của T_3 lúc quá áp hay quá dòng. Từ đó dòng điện lối ra : $I_{ra} \leq I_{ramax} = \beta' \beta_4 \cdot I_{Bmax}$

• Bình thường T_3 ở trạng thái khóa nhờ việc chọn $R_3 R_4$ thích hợp. Khi sụt áp trên R_3 tăng lên do quá dòng đạt tới giá trị $U_{R3} \geq 0,6V$, T_3 chuyển sang mở, ngăn ngừa sự gia tăng tiếp tục của dòng I'_{B4} . Từ đó mức hạn chế dòng ra xác định bởi :

$$I_{ramax} = \frac{0,6V}{R_3} \quad (2 - 283)$$

(chú ý rằng mức hạn dòng này chỉ thích hợp khi U_{ra} nhỏ, còn khi U_{ra} lớn nó sẽ giảm đi do ảnh hưởng của $R_4 R_5$).

• Công suất nhiệt tiêu tán cực đại trên $T_4' T_4$ xác định từ hệ thức

$$P_t = I_{ramax} (U_{vào \uparrow} - U_{ra \downarrow})$$

Vì những nguyên nhân không mong muốn, mạch ra bị chập ($U_{ra} \approx 0$) $I_{ra} \uparrow$ hay điện áp lối vào tăng quá cao đều dẫn tới khả năng bị quá nhiệt gây hư hỏng cho $T_4' T_4$. Mạch dùng DZ_2 và R_5 có tác dụng bảo vệ T_4 khỏi các nguyên nhân này.

- Nếu $U_{\text{vào}} - U_{\text{ra}} < U_Z$ (U_Z là giá trị điện áp đánh thủng Zener của DZ_2), sẽ không có dòng qua R_5 và chỉ mạch hạn chế $R_3R_4T_3$ hoạt động lúc quá dòng.

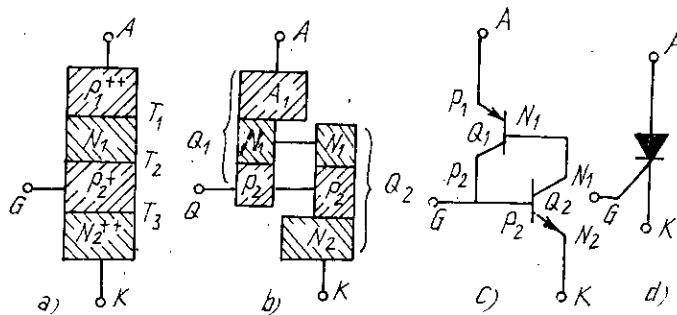
- Nếu $U_{\text{vào}} - U_{\text{ra}} \geq U_Z$ nhánh DZ_2 , R_5 dẫn dòng, qua phân áp $R_4.T_5$ đặt 1 điện áp dương lên T_3 làm nó mở ngay cả khi dòng trên R_3 chưa đạt tới trị I_{ramax} (và nhờ đó làm giảm dòng ra kể cả khi điều kiện $I_{\text{ra}} \geq I_{\text{ramax}}$ không thỏa mãn).

2.7. PHẦN TỬ NHIỀU MẶT GHÉP P-N

Một ứng dụng quan trọng khác là các mạch chỉnh lưu có không chế cấu tạo từ các dụng cụ nhiều mặt ghép p-n. Các dụng cụ chỉnh lưu có không chế đều có cấu trúc dạng bốn lớp bán dẫn công nghệ p-n-p-n xếp liên tiếp nhau.

2.7.1. Nguyên lí làm việc, đặc tuyến và tham số của tiristo

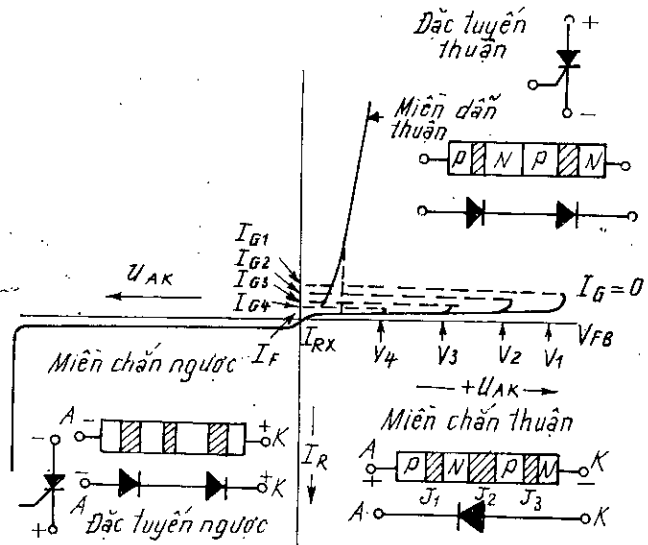
a - Tiristo được chế tạo từ bốn lớp bán dẫn $p_1-n_1-p_2-n_2$ đặt xen kẽ nhau (trên đế N_1 điện trở cao, tạo ra 2 lớp P_1^{++} và P_2^+ , sau đó tiếp N_2^{++}). Giữa các lớp bán dẫn này hình thành các chuyển tiếp p-n lần lượt là J_1, J_2, J_3 và lấy ra 3 cực là anốt (A), katốt (K) và cực không chế G (h.2.156a).



Hình 2.156 : Cấu trúc 4 lớp p-n của tiristo (a, b) ; Sơ đồ tương đương (c) và kí hiệu quy ước của tiristo (d).

Để tiện cho việc phân tích nguyên lí làm việc của tiristo, hãy tưởng tượng 4 lớp bán dẫn của tiristo có thể chia thành hai cấu trúc tranzito $p_1n_1p_2$ và $n_1p_2n_2$ như hình 2.156b với sự nối thông các miền N_1 và P_2 giữa chúng. Từ đó có thể vẽ được sơ đồ tương đương như hình 2.156c. Kí hiệu quy ước của tiristo cho trên hình 2.156d.

b - Đặc tuyến Von-Ampe của tiristo có dạng như hình 2.157 và chia thành 4 vùng rõ rệt. Trước tiên hãy xét trường hợp phân cực ngược tiristo với $U_{AK} < 0$. Đặc tính ở đoạn này có thể coi như của 2 diốt phân cực ngược mắc nối tiếp (J_1 và J_3). Dòng qua tiristo chính là dòng dò ngược của diốt (giống hệt như dòng ngược bão hòa của diốt). Nếu tăng điện áp ngược dẫn đến một giá trị nhất định thì



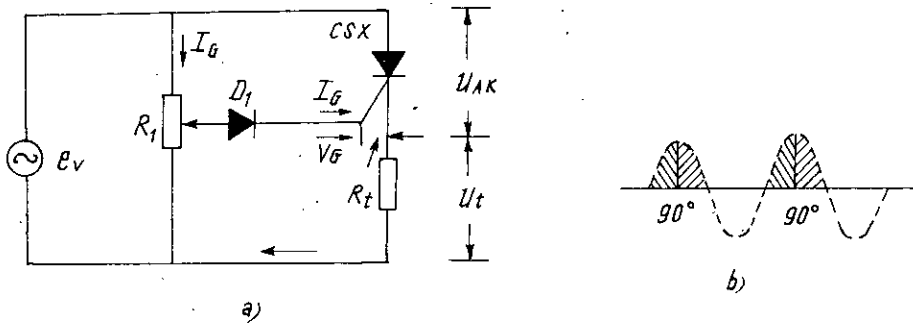
Hình 2.157 : Đặc tuyến von-ampe của tiristo.

do đó :

$$I_T = I_G + (U_G/R_1) = 0,01\text{mA} + (0,5\text{V}/k\Omega) = 0,51\text{mA}.$$

Vậy điện áp kích mở cực G là $U_G = 0,5\text{V}$ dòng kích mở cực G là $I_T = 0,51\text{mA}$. Như trên đã biết tiristo sẽ đóng khi dòng tải I_t nhỏ hơn dòng I_H , theo số tay tra cứu đối với C6F thì $I_H = 1\text{mA}$. Từ sơ đồ mạch khống chế biết $e_v = U_{AK} + I_H R_t = 1\text{V} + (1\text{mA} \cdot 15\Omega) = 1,015\text{V}$. Như vậy tiristo sẽ đóng khi e_v hạ xuống nhỏ hơn $1,015\text{V}$.

b - Mạch khống chế pha 90° (h.2.159)



Hình 2.159 : Mạch khống chế pha 90° .

• Dòng kích mở cực G được lấy từ nguồn cung cấp qua điện trở R_1 . Nếu R_1 được điều chỉnh đến giá trị điện trở nhỏ thì tiristo sẽ mở hầu như đồng thời với nửa chu kì dương đặt vào anốt. Nếu R_1 được điều chỉnh đến một giá trị lớn thích hợp thì tiristo chỉ mở ở nửa chu kì dương lúc e_v đến giá trị cực đại. Điều chỉnh điện trở R_1 trong khoảng 2 giá trị này tiristo có thể mở với góc pha từ $0 - 90^\circ$. Nếu tại góc pha 90° mà I_G không mở tiristo thì nó cũng không thể mở được bất cứ ở góc pha nào vì tại góc pha 90° dòng I_G có cường độ lớn nhất.

Điốt D_1 để bảo vệ tiristo khi nửa chu kì âm của nguồn điện đặt vào cực G.

Từ hình 2.159 có thể thấy rằng trong khoảng thời gian tiristo mở, dòng I_G chảy qua R_1 , D_1 và R_t . Bởi vậy khi tiristo mở có thể viết :

$$e_v = I_G R_1 + U_{D1} + U_G + I_G R_t ; I_G R_1 = e_v - U_{D1} - I_G R_t - U_G$$

$$R_1 = \left(\frac{1}{I_G} \right) (e_v - U_{D1} - U_G - I_G R_t) \quad (2-284)$$

• Ví dụ với sơ đồ nguyên lí của mạch khống chế pha như hình 2-159, điện áp nguồn xoay chiều có biên độ là 30V , điện trở tải 15Ω . Xác định khoảng điều chỉnh của R_1 để có thể mở tiristo tại bất kì góc nào trong khoảng $5-90^\circ$. Biết rằng dòng mở cực G là $100\mu\text{A}$, và điện áp cực G là $0,5\text{V}$.

Giải : Tại 5° thì $e_v = 30\sin 5^\circ = 30 \cdot 0,0872 = 2,6\text{V}$. Áp dụng biểu thức (2-370) tính được :

$$R_1 = (2,6\text{V} - 0,7\text{V} - 0,5\text{V} - 100\mu\text{A} \cdot 15)/100\mu\text{A}$$

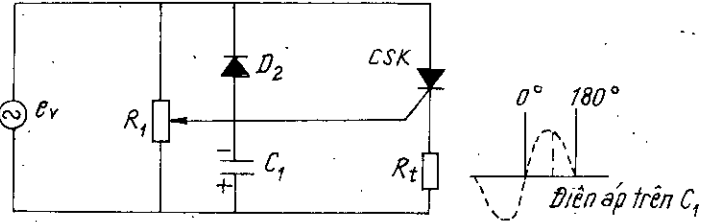
$$R_1 = R_{1\min} = 1,4\text{V}/100\mu\text{A} = 14\text{k}\Omega$$

tại 90° thì $e_v = 30 \cdot \sin 90^\circ = 30\text{V}$ tương tự tính được $R_1 = R_{1\max} = 288\text{k}\Omega$.

Như vậy để góc mở của tiristo có thể mở từ $5^\circ - 90^\circ$ thì điện trở R_1 phải điều chỉnh từ $14k\Omega$ đến $288k\Omega$.

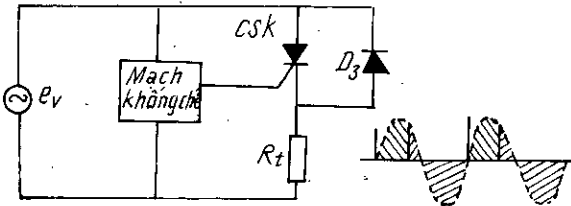
c - Mạch khống chế pha 180°

Mạch khống chế pha 180° điển hình trình bày trên hình 2.160. Mạch này tương tự như mạch khống chế pha 90° đã biết ở hình 2.159 chỉ khác là thêm vào diốt D_2 và tụ điện C_1 . Khoảng nửa chu kì âm của điện áp đặt vào, tụ C_1 được nạp theo chiều âm như dạng điện áp trình bày trên hình 2.160. Quá trình nạp tiếp diễn tới giá trị cực đại của nửa chu kì âm. Khi điểm cực đại của nửa chu kì âm đi qua diốt D_2 được phân cực âm (vì anốt của nó được nối với tụ điện C_1 có điện thế âm so với katốt). Sau đó tụ C_1 phóng điện qua điện trở R_1 . Tùy theo giá trị của R_1 mà C_1 có thể phóng hết (điện áp trên hai cực của tụ bằng 0), ngay khi bắt đầu nửa chu kì dương của nguồn đặt vào tiristo, hoặc có thể duy trì một điện áp âm nhất định trên cực của nó cho mãi tới góc pha 180° của chu kì dương tiếp sau đặt vào tiristo. Khi tụ C_1 tích điện theo chiều âm thì D_1 cũng bị phân cực ngược và xung dương không thể đưa vào để kích mở cho tiristo. Như vậy bằng cách điều chỉnh R_1 hoặc C_1 hoặc cả hai có thể làm tiristo mở ở bất cứ góc nào trong khoảng từ $0 - 180^\circ$ của nửa chu kì dương nguồn điện áp đặt vào tiristo.

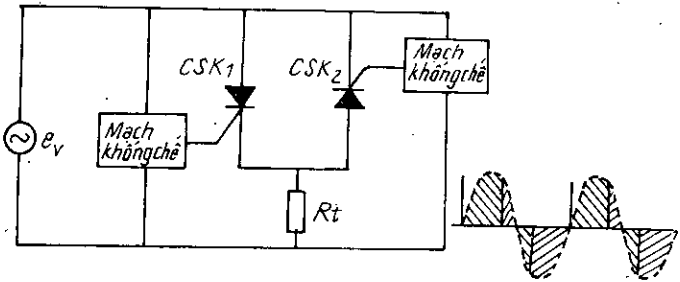


Hình 2.160 : Mạch khống chế pha 180° .

Trên cơ sở sơ đồ nguyên lí đơn giản hình 2.160 có thể thay đổi đôi chút về kết cấu mạch để được dạng điện áp ra trên tải theo ý mong muốn (h.2.161). Diốt D_3 được mắc thêm vào làm cho trên tải xuất hiện cả nửa chu kì âm của điện áp nguồn cung cấp sự khống chế chỉ thực hiện đối với nửa chu kì dương của nguồn. Trên hình 2.162 trình bày sơ đồ hai bộ chỉnh lưu có khống chế dòng tiristo mắc song song ngược chiều. Bằng cách mắc mạch như vậy có thể thực hiện khống chế được cả nửa chu kì dương lẫn chu kì âm.



Hình 2.161 : Mạch khống chế pha với diốt chỉnh lưu.

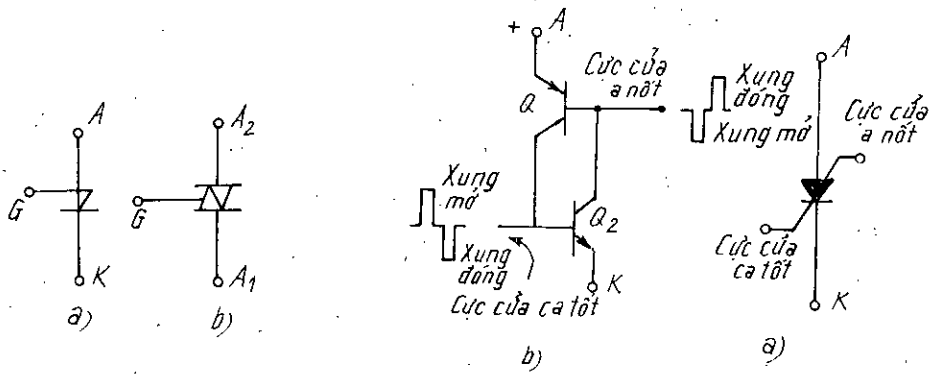


Hình 2.162 : Mạch khống chế đảo mắc song song.

Trên đây mới chỉ nêu những ví dụ đơn giản ứng dụng tiristo các mạch chỉnh lưu có khống chế.

Công tắc silic một chiều và hai chiều có kí hiệu mạch như hình 2.169. Thực chất chỉ là điốt 4 lớp một chiều và hai chiều có thêm cực cửa G.

Ngoài ra, cấu trúc 4 lớp tương tự như cấu trúc tiristo nhưng có 2 cực của cấu trúc tiristo nhưng có 2 cực cửa G và làm việc ở chế độ dòng nhỏ cũng được gọi là công tắc silic. Vì là cấu trúc 4 lớp cho nên sơ đồ tương đương của công tắc silic cũng giống hệt như tiristo. Kí hiệu mạch và sơ đồ tương đương của dòng công tắc silic được trình bày trên hình 2.170. Từ sơ đồ tương đương thấy rằng nếu đưa một xung âm vào cực G anôt. Tương tự nếu đặt vào cực của catôt xung dương sẽ làm cho Q_2 mở và dẫn đến Q_1 tức là công tắc đóng mạch. Muốn công tắc ngắt mạch tức là làm cho Q_1 và Q_2 đóng chỉ cần cho các xung ngược cực tính với các xung vừa trình bày ở trên vào cực G anôt hoặc vào cực G catôt như hình 2.170.



Hình 2.169 : Kí hiệu mạch của công tắc silic a) Một chiều b) Hai chiều.

Hình 2.170 : Kí hiệu mạch a) và sơ đồ tương đương của công tắc silic b).

Chương 3

KÍ THUẬT XUNG - SỐ

"Kĩ thuật xung - số" là thuật ngữ bao gồm một lĩnh vực khá rộng và quan trọng của ngành kĩ thuật điện tử - tin học. Ngày nay trong bước phát triển nhảy vọt của kĩ thuật tự động hóa, nó mang ý nghĩa là khâu then chốt, là công cụ không thể thiếu để giải quyết các nhiệm vụ kĩ thuật cụ thể hướng tới mục đích giảm các chi phí về năng lượng và thời gian cho một quá trình công nghệ hay kĩ thuật, nâng cao độ tin cậy hay hiệu quả của chúng.

Trong chương này, do thời gian hạn chế, chúng ta chỉ đề cập tới một số vấn đề có tính chất cơ bản, mở đầu của kĩ thuật xung - số.

3.1. KHÁI NIỆM CHUNG

3.1.1. Tín hiệu xung và tham số

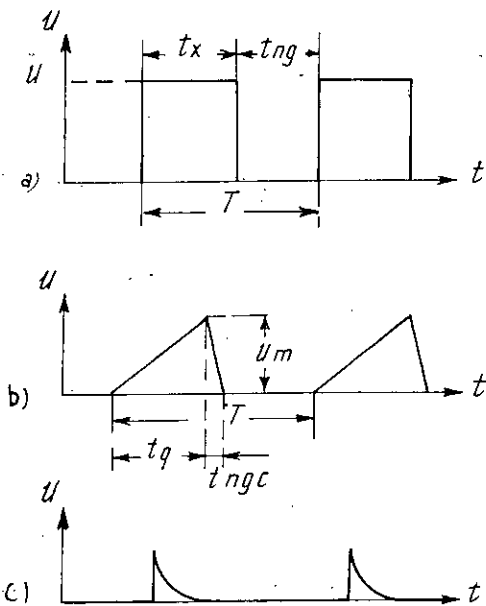
Tín hiệu điện áp hay dòng điện biến đổi theo thời gian (mang nội dung của một quá trình thông tin nào đó) có hai dạng cơ bản : liên tục hay rời rạc (gián đoạn). Tương ứng với chúng, tồn tại hai loại hệ thống gia công, xử lí tín hiệu có những đặc

điểm kĩ thuật khác nhau mang những ưu, nhược điểm khác nhau là hệ thống liên tục (analog) và hệ thống rời rạc (digital). Nhiều khi, do đặc điểm lịch sử phát triển và để phát huy đầy đủ ưu thế của từng loại ta gặp trong thực tế hệ thống lai ghép kết hợp, cả việc gia công xử lí hai loại tín hiệu trên.

Đối tượng của chương này chỉ đề cập tới loại tín hiệu rời rạc theo thời gian gọi là tín hiệu xung.

Dạng các tín hiệu xung thường gặp cho trên hình 3.1. Chúng có thể là một dãy xung tuần hoàn theo thời gian với chu kì lặp lại T , hay chỉ là một xung đơn xuất hiện một lần, có cực tính dương, âm hoặc cực tính thay đổi.

Hình 3.2 chỉ ra một xung vuông thực tế với các đoạn đặc trưng : sườn trước, đỉnh và sườn sau. Các tham số cơ bản là biên độ, độ rộng xung, độ rộng sườn trước và sau, độ sụt đỉnh.



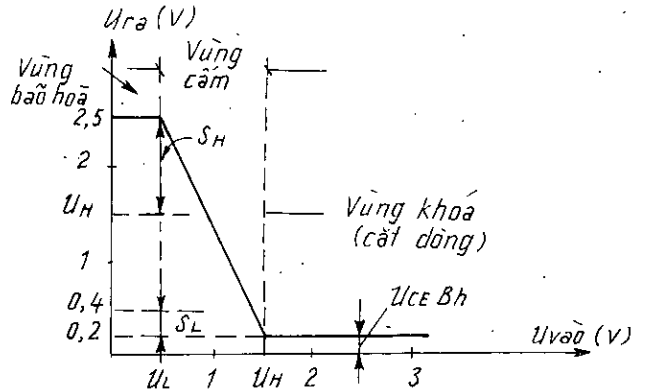
Hình 3.1 : Các dạng tín hiệu xung

- a) Dãy xung vuông ;
- b) Dãy xung tam giác (răng cưa) ;
- c) Dãy xung hàm mũ (xung kim).

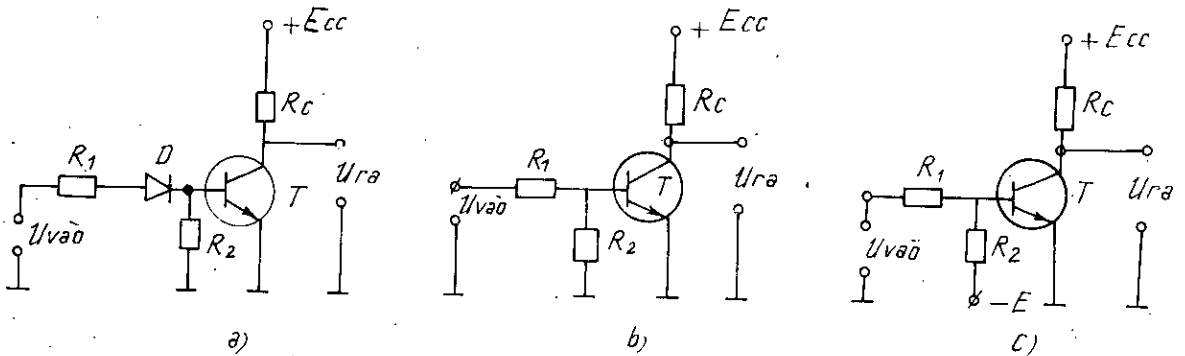
Từ đó có nhận xét sau :

- Có thể dễ dàng đạt được mức S_H lớn bằng cách chọn E_{cc} và các tham số R_C , R_B thích hợp.

- Do S_L thường nhỏ, cần phải quan tâm đặc biệt tới việc nâng cao tính chống nhiễu với mức thấp. Vì trị số điện áp ra $U_{rabh} = U_{CEbh}$ thực tế không thể giảm được, muốn S_L tăng, cần tăng mức U_L (xem biểu thức 3.2). Muốn vậy, người ta đưa vào mạch bazơ một hoặc vài diốt hoặc nối vào đó một mạch phân áp (h.3.5 a, b và c).



Hình 3.4 : Đặc tuyến truyền đạt của tranzito khóa.

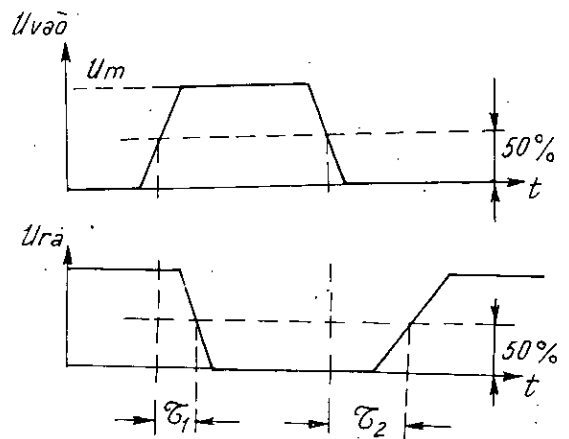


Hình 3.5 : Các biện pháp nâng cao S_L .

Những biện pháp nêu trên nhất thiết cần sử dụng khi dùng tranzito Gecmani làm phần tử khóa vì U_{BE} để mở tranzito phần lớn nhỏ hơn U_{CEbh} . Trong mạch 3.5a điện trở R_2 để nối mạch dòng ngược tiếp giáp với BC và mạch 3.5c R_2 được nối với một nguồn 1 chiều điện thế âm với mục đích để tranzito khóa chắc hơn khi không có xung điều khiển ở lối vào.

c - Một điểm cần lưu ý là khi sử dụng tranzito làm phần tử khóa cần chú ý tới các tính chất động (quá độ) của mạch và yêu cầu cơ bản là cần nâng cao tính tác động nhanh của khóa. Khi đó biện pháp cơ bản là ngăn ngừa hiện tượng bão hòa sâu của tranzito bằng các giải pháp kỹ thuật mạch (xem [1], [2]).

Thông thường, tính chất tần số của khóa được biểu thị bởi các tham số trung bình về thời gian trễ tín hiệu (h.3.6).



Hình 3.6 : Xác định thời gian trễ của mạch khóa trong đó τ_1 thời gian trễ sườn trước τ_2 thời gian trễ sườn sau được tính ở các mức biên độ 50% giá trị cực đại.

Các giá trị τ_1, τ_2 thường nhỏ ($10^{-8} - 10^{-9}$ s) nhưng không thể bỏ qua đặc biệt là τ_2 liên quan tới thời gian hồi phục điện trở ngược khi chuyển tranzito từ mở sang khóa khi quan tâm tới tính làm việc đồng bộ (nhịp nhàng) giữa các khối hoặc các sơ đồ khác nhau khi thực hiện một nhiệm vụ xử lý tin cụ thể, điều này càng quan trọng trong các hệ thống điều khiển, tính toán vì khi ghép nối giữa các khối hoặc các mạch, thời gian trễ này bị cộng tích lũy.

• Một điểm cần nhận xét nữa là từ hình 3.3 thấy rằng mức cao (mức H) nằm thấp hơn nhiều so với giá trị nguồn cung cấp U_{cc}^+ và phụ thuộc mạnh vào giá trị R_c , để khắc phục nhược điểm này, thực tế người ta thường mắc nối tiếp sau sơ đồ khóa emitor chung một sơ đồ mạch lặp collector chung ở chế độ khóa như hình 3.7.

Khi đó, các nhược điểm đã nêu được khắc phục; mức U_H được nâng lên tuy nhiên mức U_L khi đó cũng tăng (cỡ 0,8V) [4].

• Hoàn toàn tương tự có thể sử dụng các FET làm phân tử khóa với nhiều ưu điểm về mức tiêu hao công suất tín hiệu nhỏ, tác động nhanh... [3].

3.1.3. Chế độ khóa của khuếch đại thuật toán

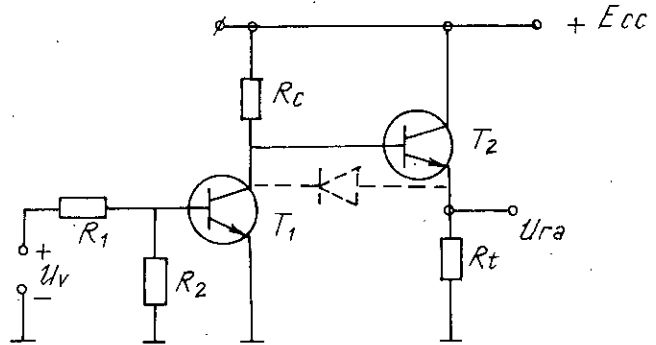
Khi làm việc ở chế độ xung, mạch vi điện tử tuyến tính hoạt động như một khóa điện tử đóng, mở nhanh, điểm làm việc luôn nằm trong vùng bão hòa của đặc tuyến truyền đạt $U_{ra} = f(U_{vào})$ (h.2.104). Khi đó điện áp ra chỉ nằm ở một trong hai mức bão hòa U_{ramax}^+ và U_{ramax}^- ứng với các biên độ U_v đủ lớn. Để minh họa nguyên lý hoạt động của một IC khóa ta xét một ví dụ điển hình là mạch so sánh (comparator).

a - Mạch so sánh (h.3.8) thực hiện quá trình so sánh biên độ của điện áp đưa vào ($U_{vào}$) với một điện áp chuẩn ($U_{ngưỡng}$) có cực tính có thể là dương hay âm. Thông thường giá trị $U_{ngưỡng}$ được định trước cố định và mang ý nghĩa là một thông tin chuẩn (tương tự như quả cân trong phép cân trọng lượng kiểu so sánh), còn giá trị $U_{vào}$ là một lượng biến đổi theo thời gian cần được giám sát theo dõi, đánh giá, mang thông tin của quá trình động (thường biến đổi chậm theo thời gian) cần được điều khiển trong một dải hay ở một trạng thái mong muốn. Khi hai mức điện áp này bằng nhau ($U_{vào} = U_{ngưỡng}$) tại đầu ra bộ so sánh sẽ có sự thay đổi cực tính của điện áp từ U_{ramax}^+ tới U_{ramax}^- hoặc ngược lại. Trong trường hợp riêng, nếu chọn $U_{ngưỡng} = 0$ thì thực chất mạch so sánh đánh dấu lúc đổi cực tính của $U_{vào}$.

Trong mạch hình 3.8a $U_{vào}$ và $U_{ngưỡng}$ được đưa tới hai đầu vào đảo và không đảo tương ứng của IC. Hiệu của chúng $U_o = U_v - U_{ngưỡng}$ là điện áp giữa hai đầu vào của IC sẽ xác định hàm truyền của nó :

$$\text{Khi } U_v < U_{ngưỡng} \text{ thì } U_o < 0 \text{ do đó } U_{ra} = U_{ramax}^+ \quad (3-3)$$

$$\text{Khi } U_v \geq U_{ngưỡng} \text{ thì } U_o > 0 \text{ và } U_{ra} = -U_{ramax}^-$$



Hình 3.7 : Sơ đồ khóa T_1 có mạch lặp tăng ra T_2

Bộ so sánh hai ngưỡng được ứng dụng đặc biệt thuận lợi khi cần theo dõi và khống chế tự động một thông số nào đó của một quá trình trong một giới hạn cho phép đã được định sẵn (thể hiện ở hai giá trị điện áp ngưỡng) hoặc ngược lại không cho phép thông số này rơi vào một vùng giới hạn cấm đã chỉ ra nhờ 2 ngưỡng điện áp tương ứng.

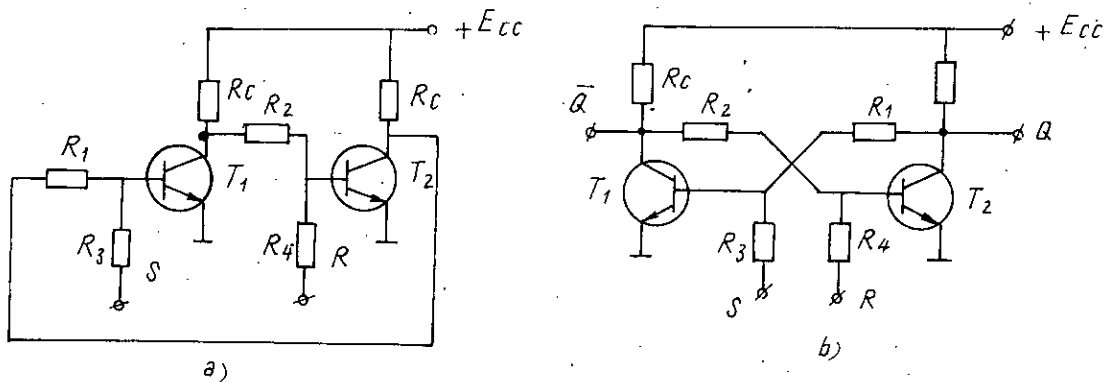
3.2. CÁC MẠCH KHÔNG ĐỒNG BỘ HAI TRẠNG THÁI ỔN ĐỊNH

Các mạch có hai trạng thái ổn định ở đầu ra (còn gọi là mạch trigơ) được đặc trưng bởi hai trạng thái ổn định bền theo thời gian và việc chuyển nó từ trạng thái này sang trạng thái kia (xảy ra tức thời nhờ các vòng hồi tiếp dương nội bộ) chỉ xảy ra khi đặt tới lối vào thích hợp của nó các xung điện áp có biên độ và cực tính thích hợp. Đây là phần tử cơ bản cấu trúc nên một ô nhớ (ghi, đọc) thông tin dưới dạng số nhị phân.

3.2.1. Trigơ đối xứng (RS-trigơ) dùng tranzito

Hình 3.11 a và b đưa ra dạng mạch nguyên lí của một trigơ RS đối xứng. Thực chất đây là hai mạch đảo hình 3.3 dùng T_1 và T_2 ghép liên tiếp nhau qua các vòng hồi tiếp dương bằng các cặp điện trở R_1R_3 và R_2R_4 (lưu ý rằng cách vẽ 3.11b hoàn toàn tương tự như 3.11a).

a - Nguyên lí hoạt động : Mạch 3.11 chỉ có hai trạng thái ổn định bền là : T_1 mở T_2 khóa ứng với mức điện áp ra $Q = 1, \bar{Q} = 0$ hay T_1 khóa T_2 mở ứng với trạng thái ra $Q = 0, \bar{Q} = 1$.



Hình 3.11 : Trigơ đối xứng kiểu RS dùng tranzito.

Các trạng thái còn lại là không thể xảy ra (T_1 và T_2 cùng khóa) hay là không ổn định (T_1 và T_2 cùng mở). T_1 và T_2 không thể cùng khóa do nguồn $+E_{cc}$ khi đóng mạch sẽ đưa một điện áp dương nhất định tới các cực bazơ. T_1 và T_2 có thể cùng mở nhưng do tính chất đối xứng không lí tưởng của mạch, chỉ cần một sự chênh lệch vô cùng bé giữa dòng điện trên 2 nhánh ($I_{B1} \neq I_{B2}$ hay $I_{c1} \neq I_{c2}$), thông qua các mạch hồi tiếp dương, độ chênh lệch này sẽ bị khoét sâu nhanh chóng tới mức sơ đồ chuyển về một trong hai trạng thái ổn định bền đã nêu (chẳng hạn thoạt đầu $I_{B1} > I_{B2}$ từ đó $I_{c1} > I_{c2}$, các giảm áp âm trên colectơ của T_1 và dương trên colectơ của T_2 thông qua phân áp R_2R_4 hay R_1R_3 đưa về làm $I_{B1} \gg I_{B2}$... dẫn tới T_1 mở T_2 khóa. Nếu ngược lại lúc đầu $I_{B1} < I_{B2}$ thì sẽ dẫn tới T_1 khóa T_2 mở).

• Tuy nhiên, không nói chắc được mạch sẽ ở trạng thái nào trong hai trạng thái ổn định đã nêu. Để đầu ra đơn trị, trạng thái vào ứng với lúc $R = S = 1$ (cùng có xung dương) là bị cấm. Nói khác đi điều kiện cấm là $R.S = 0$. (3-6).

• Từ việc phân tích trên rút ra bảng trạng thái của trigơ RS cho phép xác định trạng thái ở đầu ra của nó ứng với tất cả các khả năng có thể của các xung đầu vào ở bảng 3.1. Ở đây chỉ số n thể hiện trạng thái hiện tại, chỉ số $(n + 1)$ thể hiện trạng thái tương lai của đầu ra, dấu chéo thể hiện trạng thái cấm. Đầu vào R gọi là đầu vào xóa (Reset). Đầu vào S gọi là đầu vào thiết lập (Set).

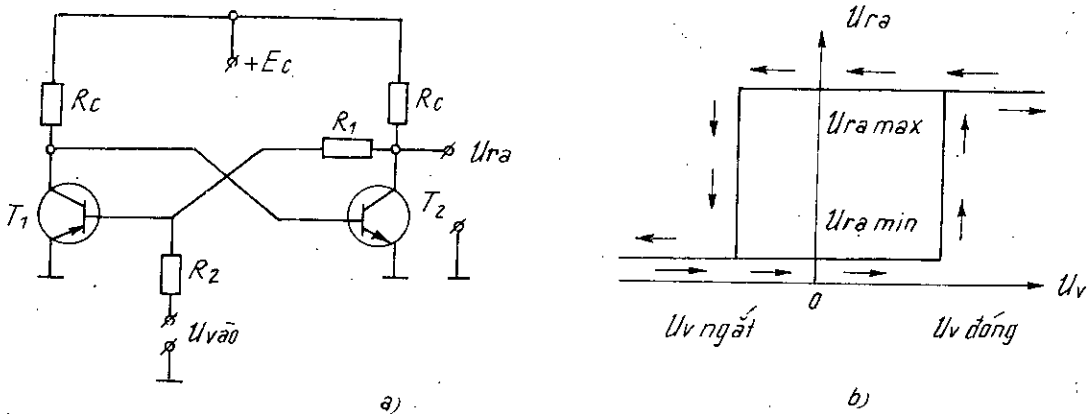
Bảng 3.1 : Bảng trạng thái của trigơ RS

Đầu vào		Đầu ra	
R_n	S_n	Q_{n+1}	\bar{Q}_{n+1}
0	0	Q_n	\bar{Q}_n
0	1	1	0
1	0	0	1
1	1	x	x

3.2.2. Trigơ Smit dùng tranzito

Sơ đồ trigơ RS ở trên lật trạng thái khi đặt vào cực bazơ của tranzito đang khóa một xung dương có biên độ thích hợp để mở nó (chỉ xét với quy ước logic dương). Có thể sử dụng chỉ một điện áp vào duy nhất cực tính và hình dạng tùy ý (chỉ yêu cầu mức biên độ đủ lớn) làm lật mạch trigơ. Loại mạch này có tên là trigơ Smit, được cấu tạo từ các tranzito hay IC tuyến tính (còn gọi là bộ so sánh có trễ).

a - Hình 3.12 đưa ra mạch nguyên lý trigơ Smit dùng tranzito và đặc tuyến truyền đạt của nó. Qua đặc tuyến hình 3.12b thấy rõ :



Hình 3.12 : Trigơ Smit dùng tranzito (a) và đặc tuyến truyền đạt của nó (b).

• Lúc tăng dần $U_{vào}$ từ một trị số rất âm thì :

$$\text{khi } U_v < U_{đóng} ; U_{ra} = U_{ra\min}$$

$$\text{khi } U_v \geq U_{đóng} ; U_{ra} = U_{ra\max} \quad (3-7)$$

• Lúc giảm dần $U_{vào}$ từ 1 trị số dương lớn thì

$$\text{khi } U_v > U_{ngắt} ; U_{ra} = U_{ra\max}$$

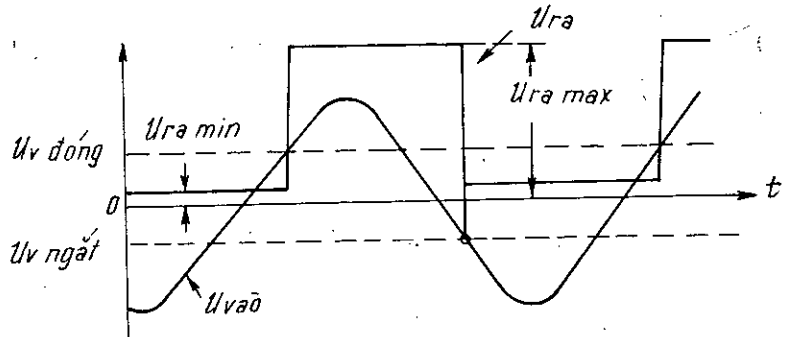
$$\text{khi } U_v \leq U_{ngắt} ; U_{ra} = U_{ra\min} \quad (3-8)$$

b - Có thể giải thích hoạt động của mạch như sau : Ban đầu T_1 khóa (do B_1 được đặt tới 1 điện áp âm lớn) T_2 mở (do R_c định dòng làm việc từ E_c) lúc đó $U_{ra} = U_{CE2}$ bão hòa =

$= U_{\text{ramin}}$. Khi tăng U_v tới lúc $U_v \geq U_{\text{đóng}}$ T_1 mở qua mạch hồi tiếp dương ghép trực tiếp từ collector T_1 về bazơ T_2 làm T_2 bị khóa do đột biến điện áp âm từ C_1 đưa tới, qua mạch $R_1 R_2$ đột biến điện áp dương tại C_2 đưa tới bazơ T_1 ... quá trình dẫn tới T_1 mở bão hòa, T_2 khóa và $U_{ra} = U_{\text{ramax}}$. Phân tích tương tự, mạch sẽ lật trạng thái về T_1 khóa T_2 mở lúc $U_{\text{vào}}$ giảm qua giá trị $U_{\text{ngắt}}$.

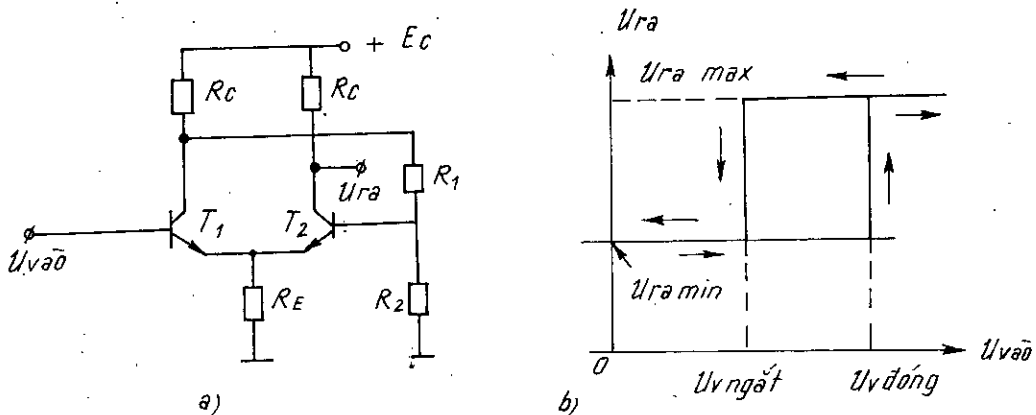
Các giá trị $U_{\text{vđóng}}$ và $U_{\text{vngắt}}$ do việc lựa chọn các giá trị R_c, R_1, R_2 của sơ đồ 3.12a quyết định. Hiện tượng trên cho phép dùng trigơ Smit như một bộ tạo xung vuông, nhờ hồi tiếp dương mà quá trình lật trạng thái xảy ra tức thời ngay cả khi $U_{\text{vào}}$ biến đổi từ từ. Hình 3.13 mô tả một ví dụ biến đổi tín hiệu hình sin thành xung vuông nhờ trigơ Smit. Giá trị hiệu số $U_{\text{vđóng}} - U_{\text{vngắt}}$ gọi là độ trễ chuyển mạch và càng nhỏ (điều mong muốn) nếu hiệu $U_{\text{ramax}} - U_{\text{ramin}}$ càng nhỏ hay hệ số suy giảm tín hiệu do phân áp R_1, R_2 gây ra càng lớn tức là hệ số hồi tiếp dương càng giảm, (điều này làm xấu tính chất của dạng xung).

c - Như trên đã phân tích, mọi cố gắng làm giảm độ trễ chuyển mạch $\Delta U_{\text{trễ}} = U_{\text{ramax}} - U_{\text{ramin}}$ đều làm xấu đi tính chất hồi tiếp dương và có thể làm mất đi hai trạng thái ổn định đặc trưng của sơ đồ 3.12(a). Để khắc phục nhược điểm này, người ta dùng trigơ Smit ghép cực emitơ như trên hình 3.14a.



Hình 3.13 : Biến đổi thời gian biến đổi tín hiệu hình sin thành xung vuông nhờ trigơ Smit.

Mạch hình 3.14a là 1 tầng khuếch đại vi sai có hồi tiếp dương qua R_1, R_2 và hồi tiếp âm dòng điện qua R_E . Bằng cách lựa chọn tham số thích hợp, có thể đạt tới trạng thái khi mạch lật dòng I_c của một tranzito (từ mở chuyển sang khóa) hoàn toàn truyền tới tranzito kia, nói khác đi, không xảy ra trạng thái bão hòa ở các tranzito lúc mở



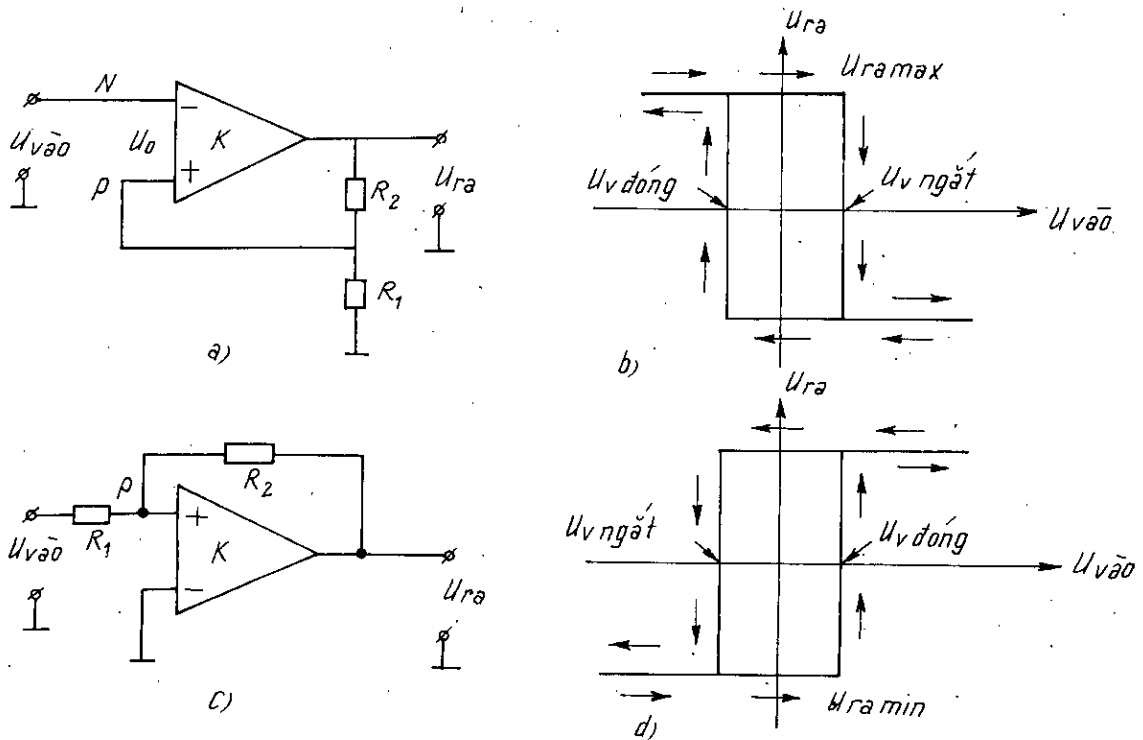
Hình 3.14 : Mạch nguyên lý trigơ Smit ghép emitơ (a) và đặc tuyến truyền đạt của nó (b).

và do đó nâng cao được mức U_{ramin} ($U_{ramin} \gg U_{CEbh-}$) làm tăng tần số chuyển mạch lên đáng kể (100MHz).

3.2.3. Trigo Smit dùng IC tuyến tính

Trigo Smit dùng IC tuyến tính thực chất là mạch phát triển tiếp theo của sơ đồ hình 3.14a, có dạng cơ bản là 1 mạch so sánh hình 3.8 a hoặc c, nhưng nhờ có mạch hồi tiếp dương nên mức nổi và ngắt mạch không trùng nhau như ở bộ so sánh bình thường. Do có hai dạng cơ bản của mạch so sánh hình 3.8a và 3.8c, theo đó cũng có hai dạng cơ bản của trigo Smit cho trên hình 3.15a và c.

a - Với trigo Smit đảo (h.3.15a) khi tăng dần $U_{vào}$ từ 1 giá trị âm lớn, ta thu được đặc tính truyền đạt dạng hình 3.15(b). Tức là :



Hình 3.15 : Trigo Smit kiểu đảo (a) và kiểu không đảo (c) với các đặc tính truyền đạt tương ứng (b) và (d).

- Khi U_v có giá trị âm lớn $U_{ra} = +U_{ramax}$

trên lối vào không đảo (P) có
$$U_{Pmax} = \frac{U_{ramax}}{R_1 + R_2} R_1 = U_{vngát} \quad (3-9)$$

Tăng dần $U_{vào}$, trạng thái này không đổi cho tới khi $U_{vào}$ chưa đạt tới $U_{vngát}$. Khi $U_{vào} \geq U_{vngát}$, điện áp U_o giữa 2 đầu vào IC đổi dấu, dẫn tới $U_{ra} = -U_{ramin}$, qua mạch hồi tiếp dương có

$$U_{Pmin} = \frac{-U_{ramin}}{R_1 + R_2} R_1 = U_{vđóng} \quad (3-10)$$

và tiếp tục giữ nguyên khi U_v tăng.

- Khi giảm $U_{\text{vào}}$ từ 1 giá trị dương lớn, cho tới lúc $U_v = U_{\text{vdóng}}$ mạch mới lật làm U_{ra} chuyển từ $-U_{\text{ramin}}$ tới $+U_{\text{ramax}}$.

- Để đạt được hai trạng thái ổn định cần có điều kiện

$$\frac{R_1}{R_1 + R_2} \cdot K \geq 1 \quad (3-11)$$

với K là hệ số khuếch đại không tải của IC.

Khi đó độ trễ chuyển mạch được xác định bởi :

$$\Delta U_{\text{trễ}} = \frac{R_1}{R_2 + R_1} (U_{\text{ramax}} - U_{\text{ramin}}) = \beta(U_{\text{ramax}} - U_{\text{ramin}}) \quad (3-12)$$

b - Với *trigơ Smit không đảo* (h.3.15c) có đặc tính truyền đạt hình 3.15d dạng ngược với đặc tính hình 3.15b. Thực chất sơ đồ 3.15c có dạng là một bộ so sánh tổng 3.9a với 1 trong số hai đầu vào được nối tới đầu ra ($U_2 \equiv U_{\text{ra}}$). Từ phương trình cân bằng dòng điện cho nút P có :

$$\frac{U_{\text{vào}}}{R_1} = \frac{U_{\text{ra}}}{R_2} \quad \text{Suy ra giá trị ngưỡng :}$$

$$\left. \begin{aligned} U_{\text{vngắt}} &= -\frac{R_1}{R_2} U_{\text{ramax}} \\ U_{\text{vdóng}} &= -\frac{R_1}{R_2} U_{\text{ramin}} \end{aligned} \right\} \quad (3-13)$$

hay độ trễ chuyển mạch xác định bởi :

$$\Delta U_{\text{trễ}} = \frac{R_1}{R_2} (U_{\text{ramax}} - U_{\text{ramin}}) \quad (3-14)$$

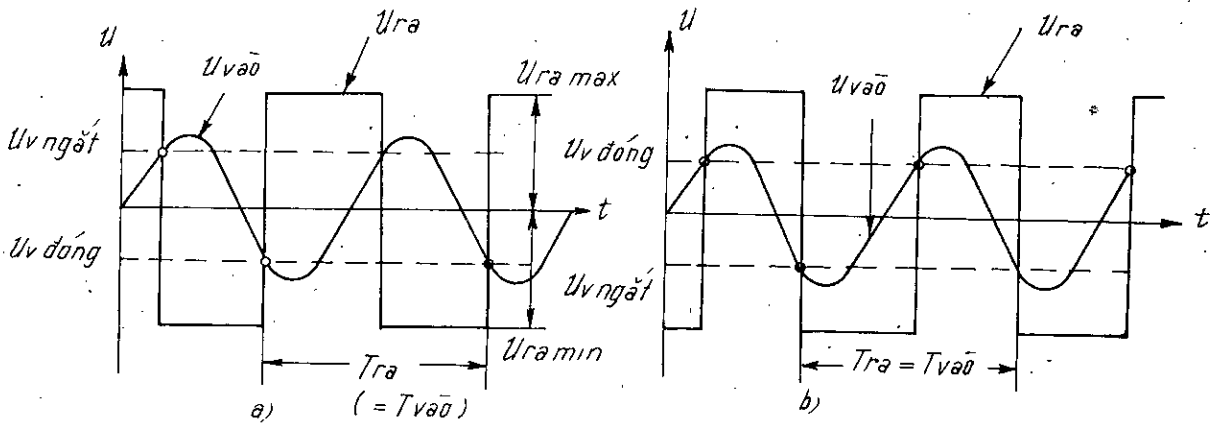
Do cách đưa điện áp vào tới lối vào không đảo (P) nên khi U_v có giá trị âm lớn : $U_{\text{ra}} = -U_{\text{ramin}}$ và khi U_v có giá trị dương lớn : $U_{\text{ra}} = +U_{\text{ramax}}$. Các phân tích khác tương tự như với mạch 3.15a đã xét.

c - *Tương tự như sơ đồ trigơ Smit dùng tranzito* hình 3.12a, có thể dùng các mạch 3.15a và 3.15c để tạo các xung vuông góc từ dạng điện áp vào bất kì (tuần hoàn). Khi đó chu kì xung ra $T_{\text{ra}} = T_{\text{vào}}$ điều này đặc biệt có ý nghĩa khi cần sửa và tạo lại dạng một tín hiệu tuần hoàn với thông số cơ bản là tần số giống nhau (hay chu kì đồng bộ nhau). Hình 3.16a và b đưa ra ví dụ giản đồ minh họa biến đổi điện áp hình sin lối vào thành xung vuông lối ra sử dụng trigơ Smit đảo (3.16a) và trigơ Smit không đảo (3.16b).

Các hệ thức từ (3-9) đến (3-14) cho phép xác định các mức ngưỡng lật của trigơ Smit và những thông số quyết định tới giá trị của chúng. Trigơ Smit là dạng mạch cơ bản để từ đó xây dựng các mạch tạo dao động xung dùng IC tuyến tính sẽ được xét trong các phần tiếp của chương này.

3.3. MẠCH KHÔNG ĐỒNG BỘ MỘT TRẠNG THÁI ỔN ĐỊNH

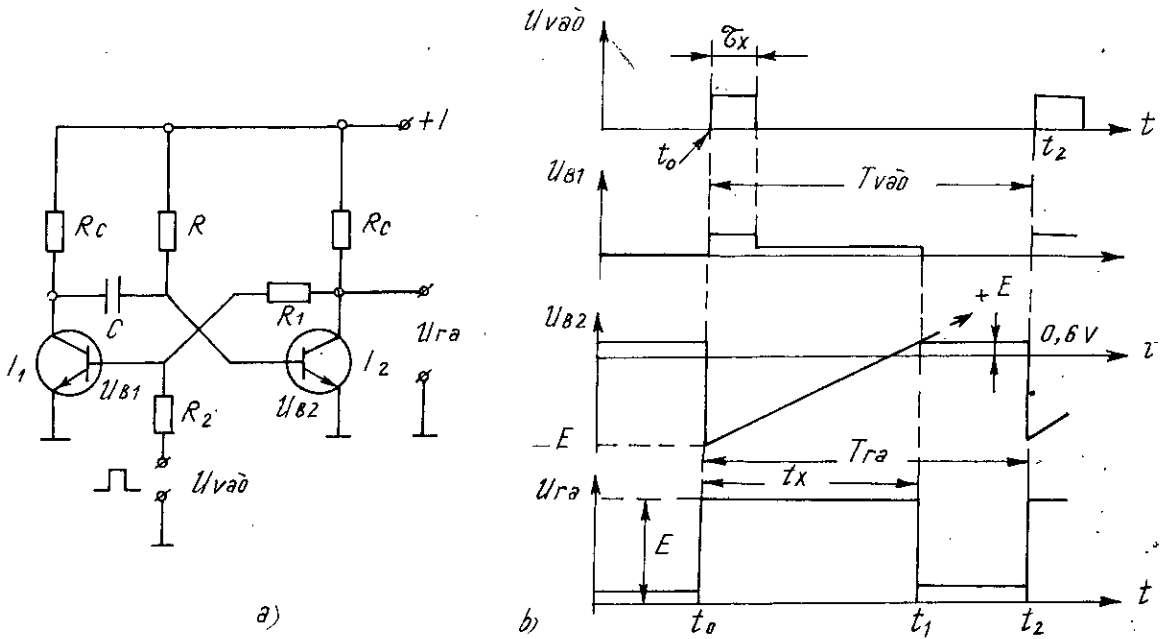
Đây là loại mạch có một trạng thái ổn định bên. Trạng thái thứ hai của nó chỉ ổn định trong một khoảng thời gian nhất định nào đó (phụ thuộc vào tham số của mạch) sau đó mạch lại quay về trạng thái ổn định bên ban đầu. Vì thế mạch còn có tên là trigơ một trạng thái ổn định hay đa hài đợi hay đơn giản hơn là mạch role thời gian.



Hình 3.16 : Biến đổi dao động hình sin sang dạng xung vuông cùng tần số dùng trigơ Smit đảo(a) và không đảo (b).

3.3.1. Đa hài đợi dùng tranzito

Hình 3.17a chỉ ra mạch điện nguyên lí và hình 3.17b là giản đồ điện áp - thời gian minh họa nguyên lí hoạt động của mạch đa hài đợi dùng tranzito.



Hình 3.17 : Mạch điện nguyên lí đa hài đợi dùng tranzito (a) giản đồ thời gian (b).

Thực chất mạch hình 3.17a là một trigơ RS, trong đó một trong các điện trở hồi tiếp dương được thay bằng một tụ điện. Trạng thái ban đầu T_2 mở T_1 khóa nhờ R, T_2 mở bảo hòa làm $U_{CE2} \approx U_{BE1} \approx 0$ nên T_1 khóa), đây là trạng thái ổn định bên (gọi là trạng thái đợi).

Lúc $t = t_0$ có xung điện áp dương ở lối vào mở T_1 , điện thế cực colectơ của T_1 giảm từ $+E$ xuống gần bằng 0. Bước nhảy điện thế này thông qua bộ lọc tần cao RC đặt toàn bộ đến cực bazơ của T_2 làm điện thế ở đó đột biến từ mức thông (khoảng $+0,6V$) đến mức $-E + 0,6V \approx -E$, do đó T_2 bị khóa lại. Khi đó T_1 được duy trì ở trạng thái mở nhờ mạch hồi tiếp dương R_1R_2 ngay cả khi điện áp vào bằng 0. Tụ C (đầu qua R đến điện thế $+E$) bắt đầu nạp điện làm điện thế cực bazơ T_2 biến đổi theo quy luật :

$$U_{B2} \approx E \left[1 - 2\exp\left(-\frac{t}{RC}\right) \right] \quad (3-15)$$

với điều kiện đầu : $U_{B2}(t = t_0) = -E$

và điều kiện cuối : $U_{B2}(t \rightarrow \infty) = E$

T_2 bị khóa cho tới lúc $t = t_1$ (h.3.17b) khi U_{B2} đạt tới giá trị $+0,6$ khoảng thời gian này xác định từ điều kiện $U_{B2}(t_1) \approx 0$ và quyết định độ dài xung ra t_x :

$$t_1 - t_0 = t_x = RC \ln 2 = 0,7RC \quad (3-16)$$

Sau lúc $t = t_1$, T_2 mở và quá trình hồi tiếp dương qua R_1 , R_2 đưa mạch về lại trạng thái ban đầu, đợi xung vào tiếp sau (lúc $t = t_2$). Lưu ý những điều trình bày trên đúng khi $T > t_x > \tau_x$ (3-17)

(τ_x là độ rộng xung vào và T_v là chu kì xung vào) và khi điều kiện (3-17) được thỏa mãn thì ta luôn có chu kì xung ra $T_{ra} = T_v$.

3.3.2. Mạch đa hài đợi dùng IC thuật toán

Hình 3.18a đưa ra 1 dạng của sơ đồ nguyên lí mạch đa hài đợi dùng IC thuật toán và hình 3.18b là giản đồ thời gian giải thích hoạt động của mạch. Để đơn giản, giả thiết IC được cung cấp từ một nguồn đối xứng $\pm E$ và khi đó $U_{ramax} = |U_{ramin}| = U_{max}$

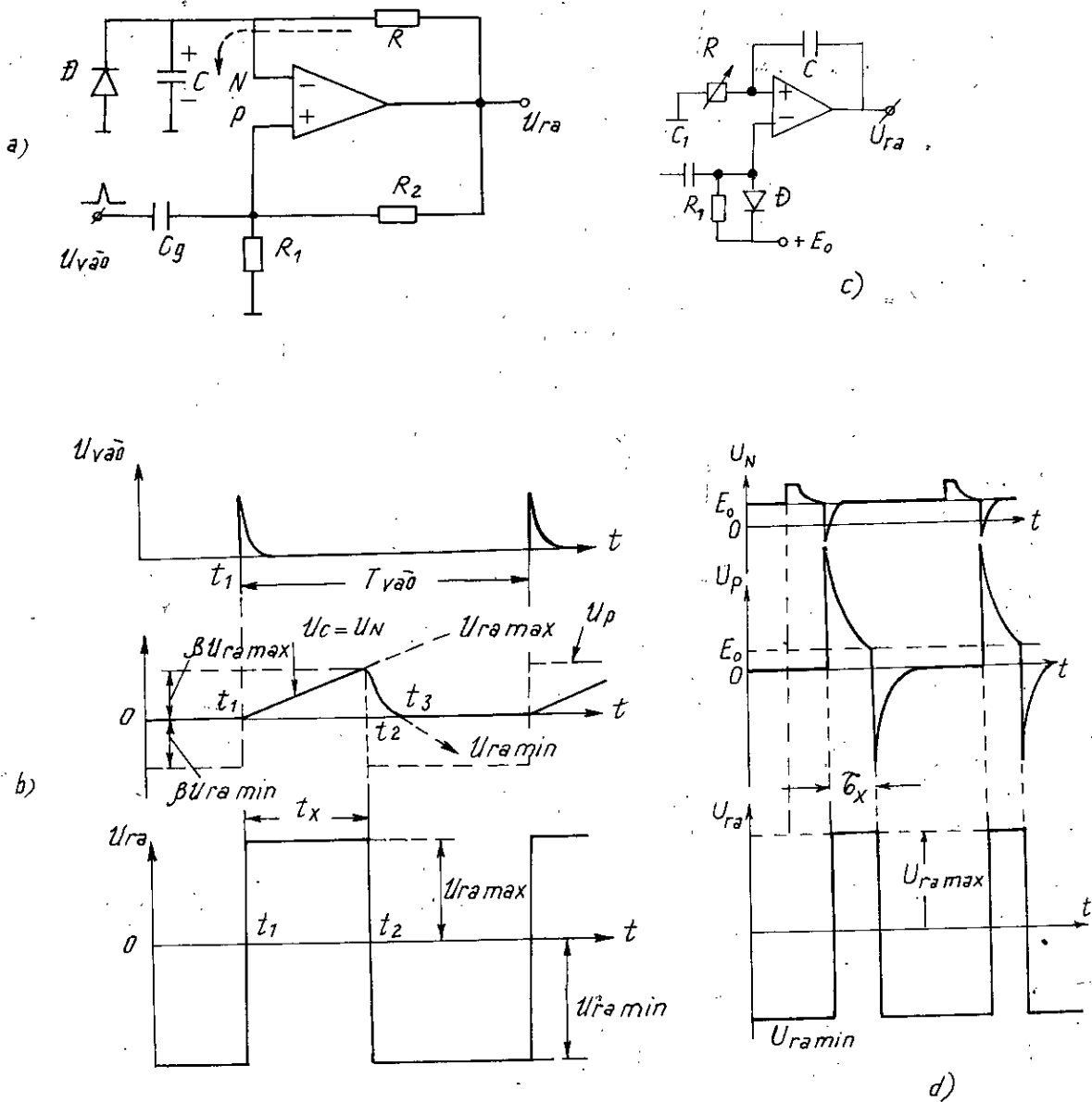
Ban đầu lúc $t < t_1$, $U_v = 0$; D thông nối đất (bỏ qua sụt áp thuận trên diốt) do $U_{ra} = -U_{max}$ từ đó $U_N = U_C = 0$. Qua mạch hồi tiếp dương $R_1 R_2$, $-U_{max}$ đưa tới đầu vào P điện áp $U_p = -\beta U_{max}$.

(với $\beta = \frac{R_1}{R_1 + R_2}$ là hệ số phân áp mạch hồi tiếp).

đây là trạng thái ổn định bên (trạng thái đợi) của mạch.

Lúc $t = t_1$ có xung nhọn cực tính dương tới đầu vào P. Nếu biên độ thích hợp vượt hơn giá trị $-\beta U_{max}$, sơ đồ lật sang trạng thái cân bằng không bên với $U_{ra} = +U_{ramax} = U_{max}$ và qua mạch hồi tiếp dương có $U_p = \beta U_{max}$. Sau lúc t_1 , điện áp ra U_{max} nạp cho tụ C làm cho $U_c = U_N$ dương dần cho tới lúc $t = t_2$ khi đó $U_N = \beta U_{max}$ thì xảy ra đột biến do điện thế đầu vào vi mạch $U_N - U_p$ đổi dấu, điện áp ra đổi dấu lần thứ hai $U_{ra} = -U_{max}$ (lưu ý trong khoảng $t_1 - t_2$, $U_N = U_C > 0$ nên diốt bị phân cực ngược và tách khỏi mạch).

Tiếp đó, sau lúc t_2 tụ C phóng điện qua R hướng tới giá trị điện áp ra lúc đó là $-U_{max}$, lúc $t = t_3$, $U_c = U_n \approx 0$ diốt trở nên mở, ghim mức thế đầu vào đảo ở giá trị 0, mạch quay về trạng thái đợi ban đầu. Nếu xung khởi động $U_{vào}$ cực tính âm, có thể dùng sơ đồ hình 3.18c với tần số xung ra thay đổi được nhờ R. Hoạt động của mạch được minh họa trên đồ thị hình 3-18d.



Hình 3.18 : Mạch nguyên lý đa hài dùng IC. Khởi động bằng xung cực tính dương (a) và cực tính âm (c) gián đồ điện áp minh họa (b) và (d).

Với 3.18a, b, ta có nhận xét độ rộng xung $\tau_x = t_2 - t_1$ có liên quan tới quá trình nạp cho tụ C từ mức 0 tới mức βU_{\max} , từ đó (với giả thiết $U_{\text{ramax}}^+ = |U_{\text{ramin}}^-| = U_{\max}$) có

$$U_c(t) = U_N(t) = U_{\max} (1 - e^{t/RC}) \quad (3-18)$$

thay giá trị $U_c(t_1) = 0$, $U_c(t_2) = \beta U_{\max}$ vào phương trình (3-18) có :

$$\tau_x = t_2 - t_1 = RC \ln \left(\frac{1}{1 - \beta} \right) = RC \ln \left(1 + \frac{R_1}{R_2} \right) \quad (3-19)$$

Gọi $t_3 - t_2 = t_{hph}$ là thời gian hồi phục về trạng thái ban đầu của sơ đồ, có liên quan tới quá trình phóng điện của tụ C từ mức βU_{max} về mức 0 hướng tới lúc xác lập $U_c(\infty) = -U_{max}$ xuất phát từ phương trình : [5]

$$U_c(t) = U_c(\infty) - [U_c(\infty) - U_c(0)] \exp\left(-\frac{t}{RC}\right) \quad (3-20)$$

có kết quả :

$$t_{hph} = RC \ln(1 + \beta) = RC \ln\left(1 + \frac{R_1}{R_1 + R_2}\right) \quad (3-21)$$

So sánh hai biểu thức xác định τ_x và t_{hf} thấy do $\beta < 1$ nên $\tau_x \gg t_{hf}$. Người ta cố gắng chọn các thông số và cải tiến mạch để t_{hph} giảm nhỏ, nâng cao độ tin cậy của mạch khi có dây xung tác động đầu vào. Khi đó cần tuân theo điều kiện :

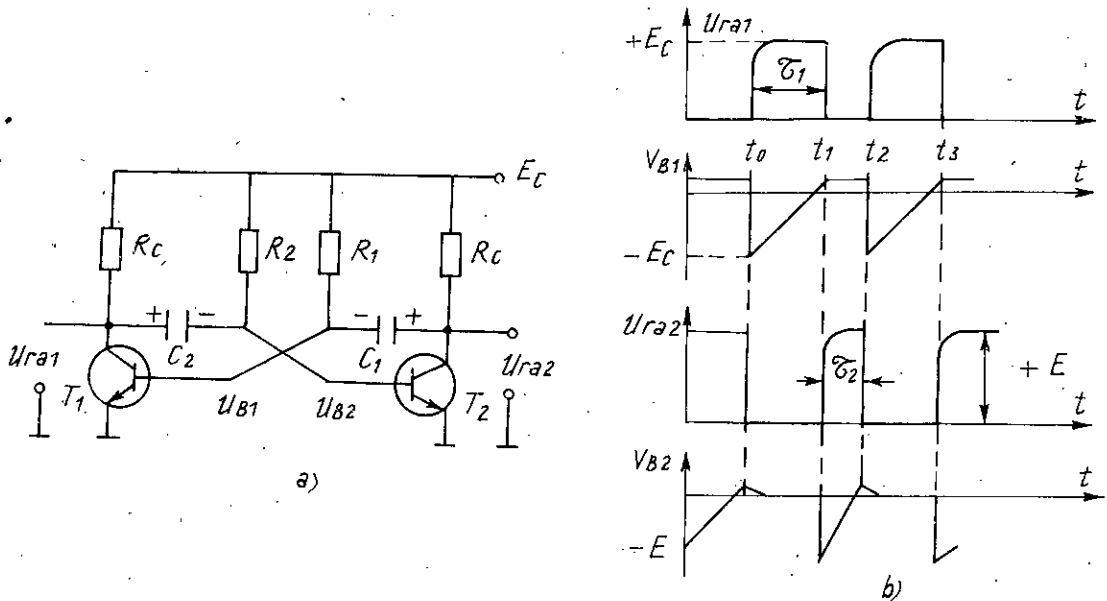
$$\tau_x + t_{hf} < T_{vào} = T_{ra} \quad (3-22)$$

với T_v là chu kỳ dây xung khởi động ở cửa vào. Các hệ thức (3-19) và (3-21) cho xác định các thông số quan trọng nhất của mạch 3.18a.

3.4. MẠCH KHÔNG ĐỒNG BỘ HAI TRẠNG THÁI KHÔNG ỔN ĐỊNH (ĐA HÀI TỰ DAO ĐỘNG)

3.4.1. Đa hài dùng tranzito

Nếu thay thế điện trở hồi tiếp còn lại trong mạch hình 3.17 bằng 1 tụ điện thứ 2 ta nhận được mạch hình 3.19 là mạch đa hài tự dao động dùng tranzito. Lúc đó trạng thái cân bằng của mạch (một tranzito khóa, một tranzito mở) chỉ ổn định trong một thời gian hạn chế nào đó, rồi tự động lật sang trạng thái kia và ngược lại. Hình 3.19b cho biểu đồ thời gian của mạch đa hài tự dao động 3.19a.



Hình 3.19 : Mạch nguyên lý bộ đa hài tự dao động (a) và biểu đồ thời gian của nó (b).

a) ● Hai trạng thái nêu trên của mạch đa hài tự dao động còn được gọi là các trạng thái chuẩn cân bằng. Ở đó những thay đổi tương đối chậm của dòng điện và điện áp giữa các điểm trong sơ đồ dẫn dẫn tới một trạng thái tới hạn nào đó, mà tại đây có những điều kiện để tự động chuyển đột ngột từ trạng thái này sang trạng thái khác. Nếu tác động tới các cửa vào một điện áp đồng bộ nào đó có chu kì lặp xấp xỉ nhưng ngắn hơn chu kì bản thân của điện áp dao động, quá trình chuyển đột ngột sẽ xảy ra sớm hơn, tương ứng lúc đó ta có chế độ làm việc đồng bộ của đa hài tự dao động mà đặc điểm chính là chu kì của xung ra phụ thuộc vào chu kì của điện áp đồng bộ, còn độ rộng xung ra do các thông số RC của mạch quy định.

● Nguyên lí hoạt động của mạch hình 3.19a có thể tóm tắt như sau : Việc hình thành xung vuông ở cửa ra được thực hiện sau một khoảng thời gian $\tau_1 = t_1 - t_0$ (đối với cửa ra 1) hoặc $\tau_2 = t_2 - t_1$ (với cửa ra 2) nhờ các quá trình đột biến chuyển trạng thái của sơ đồ tại các thời điểm $t_0, t_1, t_2...$

Trong khoảng τ_1 , tranzito T_1 khóa T_2 mở. Tụ C_1 đã được nạp đầy điện tích trước lúc t_0 phóng điện qua T_2 qua nguồn E_c , qua R_1 theo đường $+C_1 \rightarrow T_2 \rightarrow R_1 \rightarrow -C_1$ làm điện thế trên cực bazơ của T_1 thay đổi theo hình 3.19.b. Đồng thời trong khoảng thời gian này tụ C_2 được nguồn E nạp theo đường $+E \rightarrow R_c \rightarrow T_2 \rightarrow -E$ làm điện thế trên cực bazơ T_2 thay đổi theo dạng 3.19b.

Lúc $t = t_1$ $U_{B1} \approx +0,6V$ T_1 mở, xảy ra quá trình đột biến lần thứ nhất, nhờ mạch hồi tiếp dương làm sơ đồ lật đến trạng thái T_1 mở T_2 khóa.

Trong khoảng thời gian $\tau_2 = t_2 - t_1$ trạng thái trên được giữ nguyên, tụ C_2 (đã được nạp trước lúc t_1) bắt đầu phóng điện và C_1 bắt đầu quá trình nạp tương tự như đã nêu trên cho tới lúc $t = t_2$, $U_{B2} \approx +0,6V$ làm T_2 mở và xảy ra đột biến lần thứ hai chuyển sơ đồ về trạng thái ban đầu : T_1 khóa T_2 mở...

b) ● Các tham số chủ yếu và xung vuông đầu ra được xác định dựa trên việc phân tích nguyên lí vừa nêu trên và ta thấy rõ độ rộng xung ra τ_1 và τ_2 liên quan trực tiếp với hằng số thời gian phóng của các tụ điện tử hệ thức (3-16), tương tự có kết quả : [1], [5]

$$\tau_1 = RC \ln 2 \approx 0,7R_1C_1 \quad (3-23)$$

$$\tau_2 = R_2C_2 \ln 2 \approx 0,7R_2C_2$$

Nếu chọn đối xứng $R_1 = R_2$; $C_1 = C_2$, T_1 giống hệt T_2 , ta có $\tau_1 = \tau_2$ và nhận được sơ đồ đa hài đối xứng, ngược lại ta có đa hài không đối xứng ($\tau_1 \neq \tau_2$). Chu kì xung vuông

$$T_{ra} = \tau_1 + \tau_2$$

Biên độ xung ra được xác định gần đúng bằng giá trị nguồn E cung cấp.

Ta có một nhận xét nữa là : Để tạo ra các xung có tần số thấp hơn 1000Hz, các tụ C_1, C_2 trong sơ đồ cần có điện dung rất lớn. Còn để tạo ra các xung có tần số cao hơn 10kHz ảnh hưởng có hại của quán tính các tranzito (tính chất tần số) làm xấu các thông số của xung vuông nghiêm trọng. Do vậy dải ứng dụng của sơ đồ hình 3.19a là hạn chế và ở vùng tần số thấp và cao người ta đưa ra các sơ đồ đa hài khác tạo xung có ưu thế hơn mà ta sẽ xét dưới đây.

3.4.2. Mạch đa hài dùng IC tuyến tính

Để lập các xung vuông tần số thấp hơn 1000Hz sơ đồ đa hài (đối xứng hoặc không đối xứng) dùng IC tuyến tính dựa trên cấu trúc của một mạch so sánh hồi tiếp dương có nhiều ưu điểm hơn sơ đồ dùng tranzito đã nêu. Tuy nhiên do tính chất tần số của IC khá tốt nên với những tần số cao hơn việc ứng dụng sơ đồ IC vẫn mang nhiều ưu điểm (xét với tham số xung). Hình 3.20a và b đưa ra mạch điện nguyên lý của đa hài đối xứng dùng IC thuật toán cùng giản đồ thời gian giải thích hoạt động của sơ đồ.

Dựa vào các kết quả đã nêu ở 3.2.3, với trigơ Smit, có thể giải thích tóm tắt hoạt động của mạch 3.20(a) như sau : Khi điện thế trên đầu vào N đạt tới ngưỡng lật của trigơ Smit thì sơ đồ chuyển trạng thái và điện áp ra đột biến giá trị ngược lại với giá trị cũ. Sau đó điện thế trên đầu vào N thay đổi theo hướng ngược lại và tiếp tục cho tới khi chưa đạt được ngưỡng lật khác (ví dụ khoảng $(t_1 \div t_2)$ trên hình vẽ 3.20b). Sơ đồ lật về trạng thái ban đầu vào lúc t_2 khi $U_N = U_{\text{đóng}} = -\beta U_{\text{max}}$. Quá trình thay đổi U_N được điều khiển bởi thời gian phóng và nạp của C bởi U_{ra} qua R.

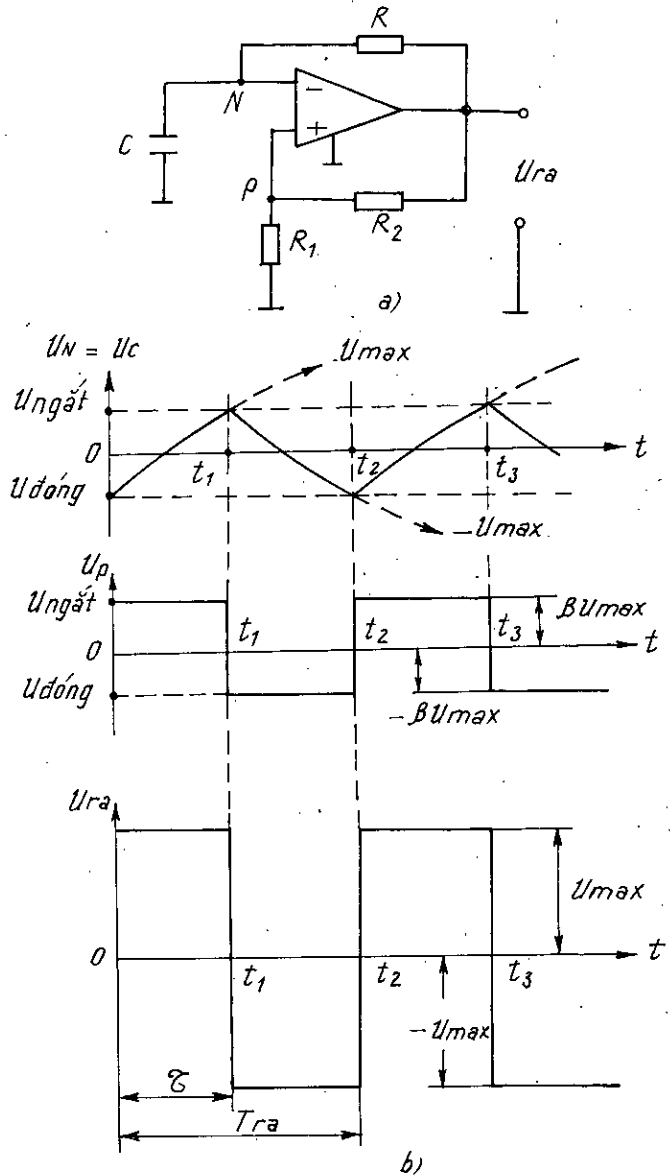
Nếu chọn

$$U_{\text{ramax}} = -U_{\text{ramin}} = U_{\text{max}}$$

thì $U_{\text{đóng}} = -\beta U_{\text{max}} ;$

$$U_{\text{ngắt}} = \beta U_{\text{max}} ; \text{ Với } \beta = \frac{R_1}{R_1 + R_2}$$

là hệ số hồi tiếp dương của mạch. Cần lưu ý điện áp vào cửa N chính là điện áp trên tụ C, sẽ biến thiên theo thời gian mang quy luật quá trình phóng điện và nạp điện



Hình 3.20 : Bộ đa hài trên cơ sở bộ khuếch đại thuật toán (a). Giản đồ thời gian làm việc của bộ đài (b).

của C từ nguồn U_{\max} hoặc $-U_{\max}$ thông qua R trong các khoảng thời gian $0 \div t_1$ và $t_1 \div t_2 \dots$ lúc đó phương trình vi phân để xác định $U_N(t)$ có dạng :

$$\frac{dU_N}{dt} = \pm \frac{U_{\max} - U_N}{RC} \quad (3-24)$$

với điều kiện đầu $U_N(t=0) = U_{\text{đóng}} = -\beta U_{\max}$.

có nghiệm
$$U_N(t) = U_{\max} \left[1 - \left(1 + \beta \exp\left(-\frac{t}{RC}\right) \right) \right] \quad (3-25)$$

U_N sẽ đạt tới ngưỡng lật của trigơ Smit sau một khoảng thời gian bằng :

$$\tau = RC \ln \left[\frac{1 + \beta}{1 - \beta} \right] = RC \ln \left(1 + \frac{2R_1}{R_2} \right) \quad (3-26)$$

Từ đó chu kỳ của dao động được xác định bởi :

$$T_{\text{ra}} = 2\tau = 2RC \ln \left(1 + \frac{2R_1}{R_2} \right) \quad (3-27)$$

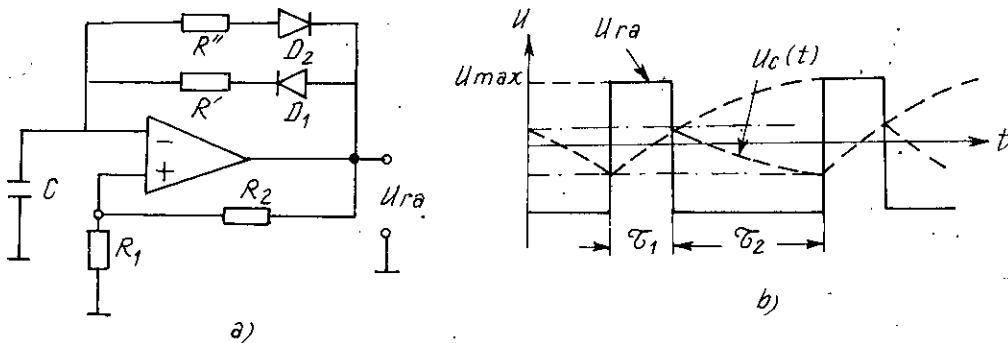
Nếu chọn $R_1 = R_2$ ta có : $T_{\text{ra}} \approx 2,2 RC$ (3-28a)

tức chu kì dao động tạo ra chỉ phụ thuộc các thông số mạch ngoài R_1, R_2 (mạch hồi tiếp dương) và R, C (mạch hồi tiếp âm). Các hệ thức (3-26) và (3-27) cho xác định các tham số cơ bản nhất của mạch.

Khi cần thiết kế các mạch đa hài có độ ổn định tần số cao hơn và có khả năng điều chỉnh tần số ra, người ta sử dụng các mạch phức tạp hơn (ví dụ có hai bộ so sánh) [4].

Một nhận xét nữa là khi cần dạng xung ra không đối xứng, sơ đồ hình 3.21 được sử dụng với đặc điểm tạo ra không đối xứng giữa mạch phóng (qua R'', D_2) và mạch nạp (qua R', D_1) với $R'' \neq R'$. Khi đó $\tau_1 = R' C \ln \left(1 + \frac{2R_1}{R_2} \right)$; $\tau_2 = R'' C \ln \left(1 + \frac{2R_1}{R_2} \right)$ và

do đó : $T = \tau_1 + \tau_2 = C(R' + R'') \ln \left(1 + \frac{2R_1}{R_2} \right)$ (3-28b)



Hình 3.21 : Mạch đa hài không đối xứng (a) và đồ thị thời gian dạng xung ra (b).

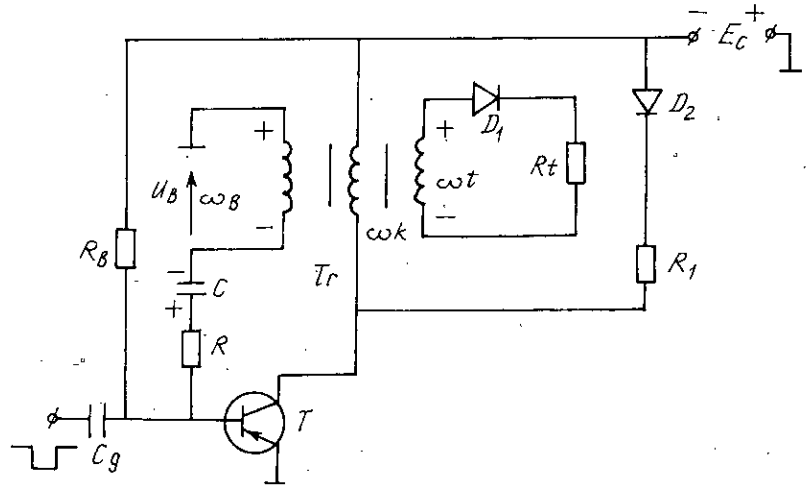
Bằng cách thay đổi giá trị tương quan giữa R' và R'' ta sẽ thay đổi được τ_1 hoặc τ_2 trong khi chu kỳ $T = \tau_1 + \tau_2$ được giữ nguyên không đổi.

Các diốt D_1, D_2 có nhiệm vụ khóa ngắt nhánh tương ứng khi nhánh kia làm việc hoặc ngược lại.

3.5. BỘ DAO ĐỘNG BLOCKING

Blocking (bộ dao động nghẹt) là một bộ khuếch đại đơn hay đẩy kéo, có hồi tiếp dương mạnh qua một biến áp xung (h.3.22a), nhờ đó tạo ra các xung có độ rộng hẹp (cỡ $10^{-3} \div 10^{-6}$ s) và biên độ lớn. Blocking thường được dùng để tạo ra các xung điều khiển trong các hệ thống số. Blocking có thể làm việc ở chế độ khác nhau : chế độ tự dao động, chế độ đợi, chế độ đồng bộ hay chế độ chia tần.

Hình 3.22a là mạch nguyên lý Blocking tự dao động gồm một tranzito T mắc emitor chung với biến áp xung T_r có 3 cuộn ω_k sơ cấp, ω_B và ω_1 (thứ cấp).



Hình 3.22a : Mạch nguyên lý Blocking đơn (a) và giản đồ thời gian minh họa nguyên lý hoạt động của Blocking (b).

Quá trình hồi tiếp dương thực hiện từ ω_k

qua ω_B nhờ cực tính ngược nhau của chúng. Tụ C và điện trở R để hạn chế dòng điện cực bazơ. Điện trở R tạo dòng phóng điện cho tụ C (lúc T khóa). Diốt D_1 để loại xung cực tính âm trên tải sinh ra khi tranzito chuyển chế độ từ mở sang khóa. Khâu mạch R_1, D_2 để bảo vệ tranzito khỏi bị quá áp. Các hệ số biến áp xung là n_B và n_1 được xác định bởi :

$$n_B = \frac{\omega_k}{\omega_B}; \quad n_1 = \frac{\omega_k}{\omega_1} \quad (3-29)$$

• Quá trình dao động xung liên quan tới thời gian mở và được duy trì ở trạng thái bão hòa (nhờ mạch hồi tiếp dương) của tranzito. Kết thúc việc tạo dạng xung là lúc tranzito ra khỏi trạng thái bão hòa và chuyển đột biến về tắt (khóa) nhờ hồi tiếp dương.

+ Trong khoảng $0 < t < t_1$ T tắt do điện áp đã nạp trên C : $U_c > 0$; tụ C phóng điện qua mạch $\omega_B \rightarrow C \rightarrow R \rightarrow R_B \rightarrow -E_{cc}$ lúc $t_1, U_c = 0$

+ Trong khoảng $t_1 < t < t_2$, khi U_c chuyển qua giá trị 0 xuất hiện quá trình đột biến Blocking thuận nhờ hồi tiếp dương qua ω_B , dẫn tới mở hẳn tranzito tới bão hòa.

+ Trong khoảng $t_2 < t < t_3$ T bão hòa sâu, điện áp trên cuộn ω_k gần bằng trị số E_{cc} , đó là giai đoạn tạo đỉnh xung, có sự tích lũy năng lượng từ trong các cuộn dây của biến áp, tương ứng điện áp hồi tiếp qua ω_B là

$$U_{\omega_B} = \frac{E_{cc}}{n_B} \quad (3-30)$$

và điện áp trên cuộn tải ω_t là

$$U_{\omega t} = \frac{E_{cc}}{n_t}$$

Lúc này tốc độ thay đổi dòng colectơ giảm nhỏ nên sức điện động cảm ứng trên ω_K, ω_B giảm làm dòng cực bazơ i_B giảm theo, do đó làm giảm mức bão hòa của T đồng thời tụ C được i_B nạp qua mạch đất - tiếp giáp emitơ - bazơ của T - RC - ω_B - đất. Lúc đó do i_B giảm tới trị số tới hạn $i_B = i_{Bbh} = i_c = i_{cbh}/\beta$ xuất hiện quá trình hồi tiếp dương theo hướng ngược lại (quá trình Blocking ngược) : T thoát khỏi trạng thái bão hòa $i_c \downarrow i_B \downarrow \dots$ đưa T đột ngột về trạng thái khóa dòng $i_c = 0$ tuy nhiên do quán tính của cuộn dây trên cực colectơ xuất hiện sđđ tự cảm chống lại sự giảm đột ngột của dòng điện, do đó hình thành một mức điện áp âm biên độ lớn (quá giá trị nguồn E_{cc}) đây là quá trình tiêu tán năng lượng từ trường đã tích lũy trước, nhờ dòng thuận từ chảy qua mạch D_2R_1 , lúc này cuộn ω_t cảm ứng điện áp âm làm D_1 tắt và tách mạch tải khỏi sơ đồ. Sau đó tụ C phóng điện duy trì T khóa cho tới khi $U_c = 0$ sẽ lặp lại một nhịp làm việc mới.

Việc phân tích chi tiết hơn các hệ thức liên quan tới quá trình Blocking và hình thành đỉnh xung dẫn tới kết quả [5] [6].

• Độ rộng xung Blocking tính được là :

$$t_x = t_3 - t_1 = (R + r_v) \text{Cln} \frac{B \cdot R_t}{n_B(R_t + r_v)} \quad (3-31)$$

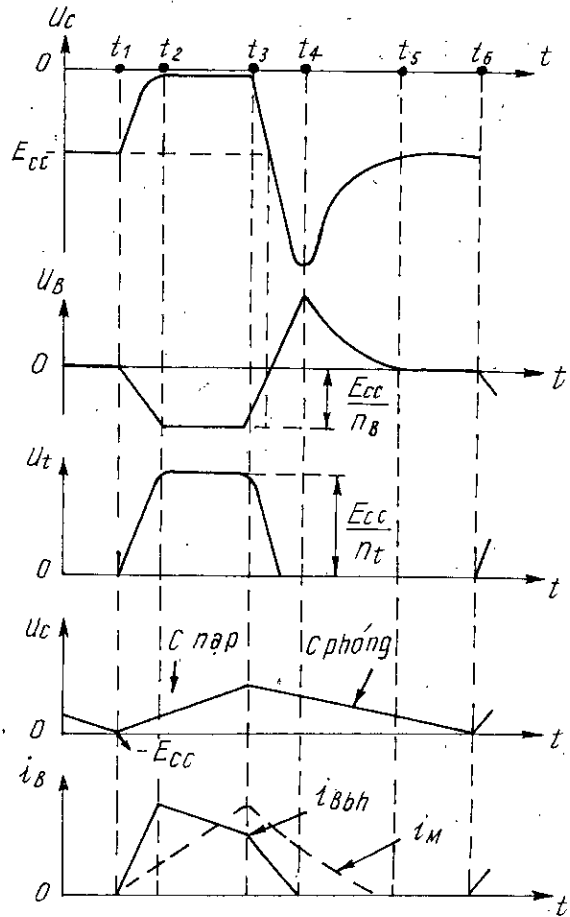
trong đó r_v là điện trở vào của tranzito lúc mở

$R_t = n^2 R_1$ là tải phản ảnh về mạch cực colectơ (mạch sơ cấp)

β là hệ số khuếch đại dòng tĩnh T.

• Thời gian hồi phục $t_4 \div t_6$ (h.3.22) do thời gian phóng điện của tụ quyết định và được xác định bởi :

$$t_{ph} = t_6 - t_4 = C \cdot R_B \ln \left(1 + \frac{1}{n_B} \right) \quad (3-32)$$



Hình 3.22b : Giản đồ thời gian minh họa nguyên lý hoạt động của Blocking.

nếu bỏ qua các thời gian tạo sườn trước và sườn sau của xung thì chu kỳ xung

$$T_x \approx t_x + t_{hph} \quad (3-33a)$$

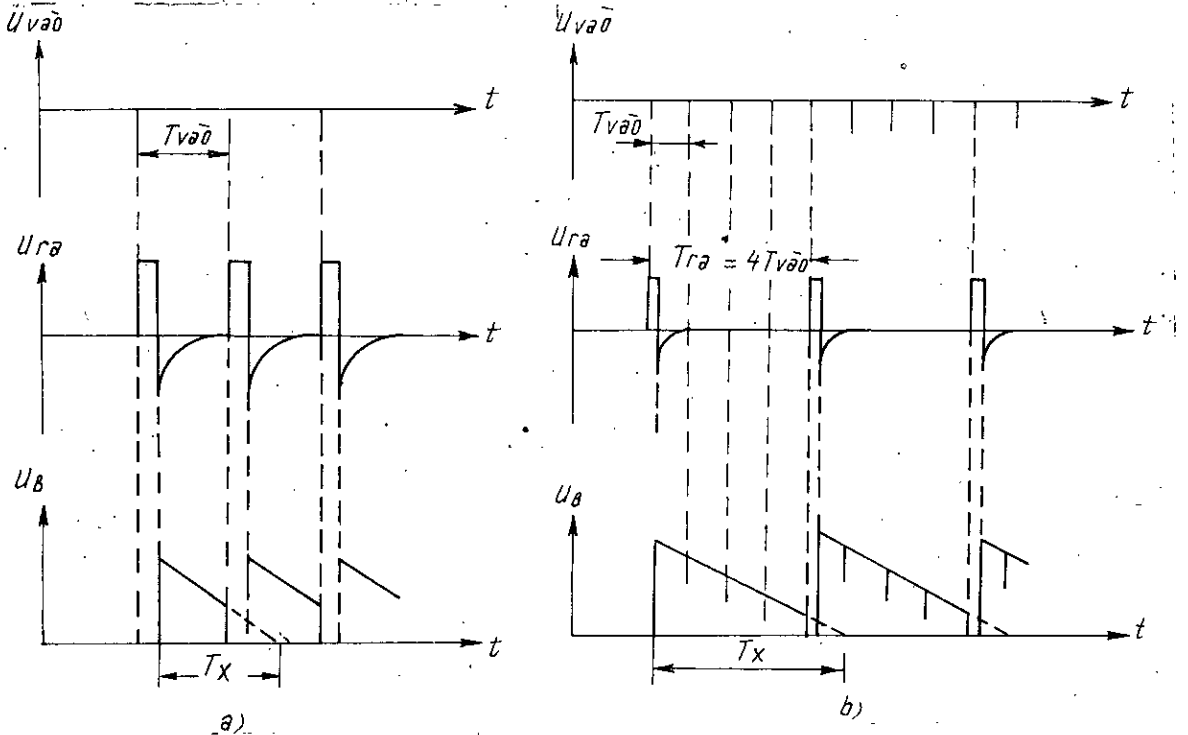
và tần số của dãy xung là :

$$f = \frac{1}{t_x + t_{hph}}$$

• Sơ đồ Blocking có thể xây dựng từ hai tranzito mắc dây kéo làm việc với một biến xung bão hòa từ để tạo các xung vuông với hiệu suất năng lượng cao và chất lượng tham số xung tốt [6].

• Điểm lưu ý sau cùng là khi làm việc ở chế độ đồng bộ cần chọn chu kỳ của dãy xung đồng bộ T_v nhỏ hơn chu kỳ của T_x của dãy xung do Blocking tạo ra, còn nếu ở chế độ chia tần thì cần tuân theo điều kiện $T_x \gg T_v$ và khi đó có dãy xung đầu ra chu kỳ lặp là :

$$T_{ra} = nT_{vào} \quad (\text{h.3.23a và b}) \quad \text{với } n \text{ là hệ số chia.}$$



Hình 3.23 : Blocking ở chế độ $T_x > T_{vào}$ (a) $T_{ra} = T_{vào}$ và ở chế độ chia tần với $T_x \gg T_{vào}$ $T_{ra} = nT_{vào}$ với $n = 4$ (b).

3.6. MẠCH TẠO XUNG TAM GIÁC (XUNG RĂNG CỬA)

3.6.1. Các vấn đề chung

• Xung tam giác được sử dụng phổ biến trong các hệ thống điện tử : Thông tin, đo lường hay tự động điều khiển làm tín hiệu chuẩn hai chiều biên độ (mức) và thời gian có vai trò quan trọng không thể thiếu được hầu như trong mọi hệ thống điện tử hiện đại. Hình 3.24 đưa ra dạng xung tam giác lý tưởng với các tham số chủ yếu sau :

a - Mạch 3.28 a xây dựng trên cơ sở khuếch đại có đảo trong đó thay điện trở R_{ht} bằng tụ C, khi đó điện áp ra được mô tả bởi (giả thiết $U_o \approx 0$)

$$U_{ra}(t) = \frac{Q(t)}{C} = \frac{1}{C} \left[\int_0^t I_c(t) dt + Q_o \right] \quad (3-42)$$

với Q_o là điện tích có trên tụ tại lúc $t = 0$

với $I_c(t) = -\frac{U_{vào}(t)}{R}$ có

$$U_{ra}(t) = -\frac{1}{RC} \int_0^t U_{vào}(t) dt + U_{ra} \quad (3-43)$$

Thành phần U_{rao} xác định từ điều kiện ban đầu của tích phân :

$$U_{rao} = U_{ra}(t = 0) = \frac{Q_o}{C}$$

Nếu $U_{vào}(t)$ là một xung vuông có giá trị không đổi trong khoảng $0 + t$ thì $U_{ra}(t)$ là một điện áp đường thẳng

$$U_{ra}(t) = \left(-\frac{1}{RC} U_{vào} \right) \cdot t + U_{rao} \quad (3-44)$$

Độ chính xác của (3.44) là tùy thuộc vào giả thiết gần đúng $U_o \approx 0$ hay dòng điện đầu vào IC gần bằng 0, các vi mạch chất lượng cao đảm bảo điều kiện này khá tốt.

b - Hoạt động của mạch 3.28b được minh họa bằng giản đồ thời gian hình 3.29

- Khi có xung điều khiển cực tính dương, T mở bão hòa, thông mạch phóng điện cho tụ C trong khoảng thời gian t_o ($t_o < t_{nghe}$ với $t_{nghe} = t_{vào}$ là thời gian có xung điều khiển).

- Trong khoảng t_q (không có xung điều khiển) IC làm việc ở chế độ khuếch đại tuyến tính, nếu $U_o = 0$ thì

$$U_p = U_N = U_c \quad (3-45)$$

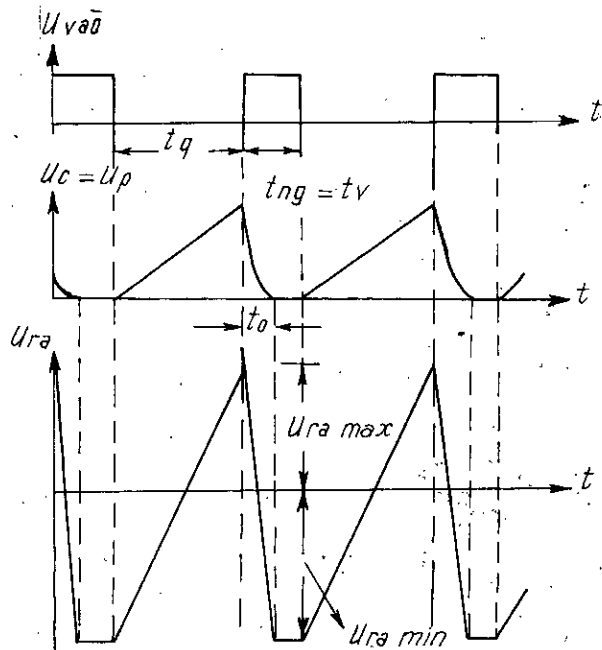
- Ta xác định quy luật biến đổi của $U_c(t)$, từ đó tìm điều kiện để có quan hệ là tuyến tính như sau :

Phương trình dòng điện tại nút N với mạch hồi tiếp âm :

$$\frac{E_o - U_N}{R_1} = \frac{U_N - U_{ra}}{R_2}$$

suy ra

$$U_{ra} = U_c \frac{R_1 + R_2}{R_1} - E_o \frac{R_2}{R_1} \quad (3-46)$$



Hình 3.29 : Giản đồ thời gian mạch tạo xung tam giác hình 3.28b.

Phương trình dòng tại nút P với mạch hồi tiếp dương :

$$\frac{E - U_c}{R_3} = C \frac{dU_c}{dt} + \frac{U_c - U_{ra}}{R_4} \quad (3-47)$$

Từ hai hệ thức (3-46) và (3-47) rút ra phương trình của $U_c(t)$

$$\frac{dU_c}{dt} + \frac{U_c}{C} \left(\frac{1}{R_3} - \frac{R_2}{R_1 R_4} \right) = \frac{1}{C} \left(\frac{E}{R_3} - E_0 \frac{R_2}{R_1 R_4} \right) \quad (3-48)$$

Tính chất biến đổi của $U_c(t)$ phụ thuộc vào hệ số của số hạng thứ hai vế trái của (3-48) :

Nếu $R_3 > \frac{R_1 R_4}{R_2}$ đường $U_c(t)$ có dạng đường cong lồi

Nếu $R_3 < \frac{R_1 R_4}{R_2}$ đường $U_c(t)$ có dạng đường cong lõm.

còn khi $\frac{R_2}{R_1} = \frac{R_4}{R_3}$ (3-49)

thì U_c phụ thuộc bậc nhất vào t

Khi đó có
$$U_c = \frac{1}{C} \left(\frac{E}{R_3} - E_0 \frac{R_2}{R_1 R_4} \right) t \quad (3-50)$$

Nếu chọn $R_1 = R_3$

$$R_2 = R_4$$

ta có biểu thức thu gọn
$$U_c = \frac{1}{R_3 C} (E - E_0)t \quad (3-51)$$

Từ đó :

Nếu $E > E_0$ có U_{ra} là điện áp tăng đường thẳng.

Nếu $E < E_0$ có U_{ra} giảm đường thẳng.

Nếu chọn $E_0 = 0$ ta nhận được xung tam giác cực tính dương, còn chọn E_0 là 1 nguồn điều chỉnh được thì U_{ra} có dạng có hai cực tính với biên độ gần bằng $2E_c$ ($\pm E_c$ là nguồn cung cấp cho IC).

Trên thực tế, thường chọn $E = E_c$ và E_0 lấy từ E_c qua chia áp. Biên độ cực đại trên tụ C xác định bởi :

$$U_{cmax} = \frac{1}{R_3 C} (E - E_0)t_q \quad (3-52)$$

• Người ta có thể tạo ra đồng thời một xung vuông và một xung tam giác nhờ ghép nối tiếp một bộ tích phân sau một trigơ Smit (h. 3.30).

Bộ tích phân IC₂ lấy tích phân điện áp ra ổn định trên lối ra (U_{ra1}) của trigơ Smit. Khi U_{ra2} đạt ngưỡng lật của trigơ thì điện áp ra của nó đổi dấu đột biến do đó U_{ra2} đổi hướng quét ngược lại. Quá trình lại tiếp diễn cho tới khi đạt tới ngưỡng lật thứ hai của trigơ Smit và sơ đồ quay về trạng thái đầu. Tần số của dao động thay

3.6.2. Mạch tạo xung tam giác dùng tranzito

Hình 3.27 đưa ra các sơ đồ dùng tranzito thông dụng để tạo xung tam giác trong đó (a) là dạng đơn giản, (b) là mạch dùng phân tử ổn dòng (phương pháp Miller) và (c) là mạch bù có khuếch đại bảm kiểu Bootstrap.

a - Với mạch (a) : Ban đầu khi $U_v = 0$ (chưa có xung điều khiển) T mở bão hòa nhờ R_B , điện áp ra $U_{ra} = U_c = U_{CEbh} \approx 0V$. Trong thời gian có xung vuông, cực tính âm điều khiển đưa tới cực bazơ, T khóa, tụ C được nạp từ nguồn +E qua R làm điện áp trên tụ tăng dần theo quy luật $U_c(t) = E (1 - e^{-t/RC})$ (3-39)

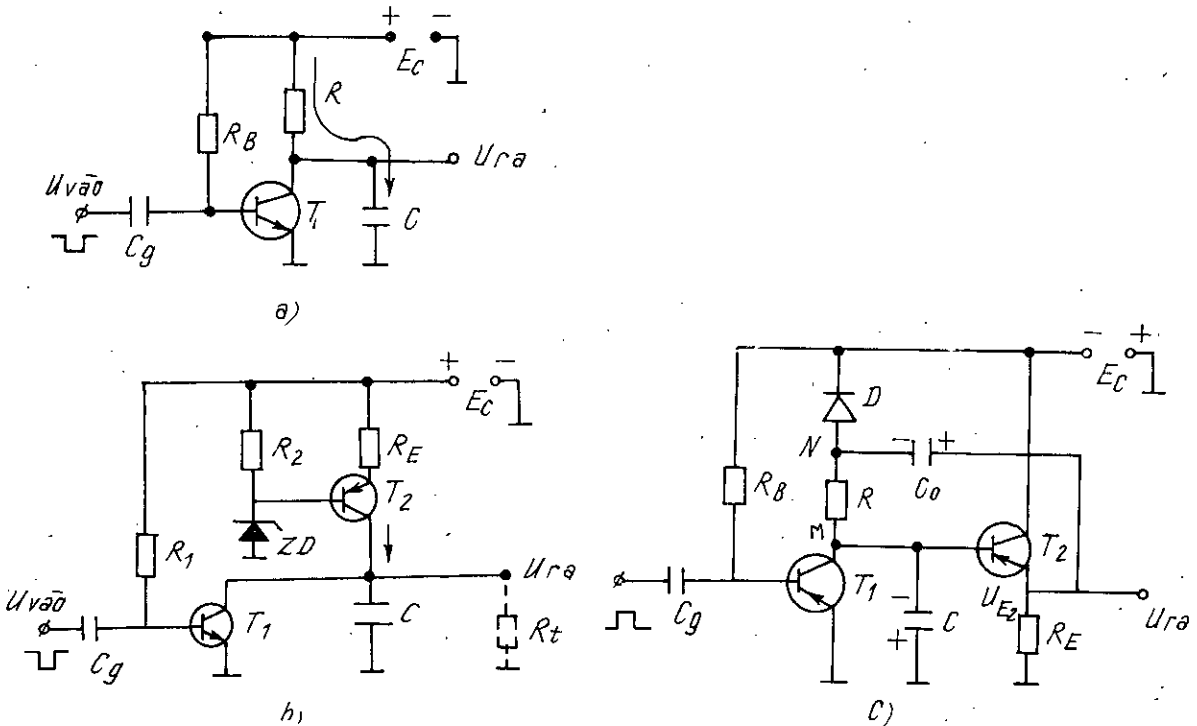
Điện áp này $U_c(t) = U_{ra}(t)$ ở gần đúng bậc nhất tăng đường thẳng theo t với hệ số phi tuyến

$$\varepsilon = \frac{i_0 - i(t_q)}{i_0} = \frac{U_m}{E} \text{ với } i(0) = \frac{E}{R} \quad (3-40)$$

và $i(t_q) = \frac{E - U_m}{R}$ là các dòng nạp lúc đầu và cuối

Khi hết xung điều khiển T mở lại, C phóng điện nhanh qua T ; $U_{ra} = U_c \approx 0$ mạch về lại trạng thái ban đầu.

Từ biểu thức sai số ε (3-40) thấy rõ muốn sai số bé cần chọn nguồn E lớn và biên độ ra của xung tam giác U_m nhỏ. Đây là nhược điểm căn bản của sơ đồ đơn giản hình 3.27a.



Hình 3.27 : Các mạch tạo xung tam giác dùng tranzito thông dụng nhất.

b - Với mạch (b) tranzito T_2 mắc kiểu bazơ chung có tác dụng như một nguồn ổn dòng (có bù nhiệt nhờ dòng ngược qua ZD là diốt ổn áp) (xem 2.6) cung cấp dòng I_{E2} ổn định nạp cho tụ trong thời gian có xung vuông cực tính âm điều khiển làm khóa T_1 . Với điều kiện gắn đúng dòng cực colectơ T_2 không đổi thì :

$$U_c(t) = \frac{1}{C} \int_0^{t_q} I_{c2} dt = \frac{I_{c2}}{C} t \text{ là quan hệ bậc nhất} \quad (3-41)$$

Mạch (b) cho phép tận dụng toàn bộ E tạo xung tam giác với biên độ nhận được là $U_m \approx E$. Tuy vậy, khi có tải R_t nối song song trực tiếp với C thì có phân dòng qua R_t và U_m giảm và do đó sai số ε tăng. Để sử dụng tốt cần có biện pháp nâng cao R_t hay giảm ảnh hưởng của R_t đối với mạch ra của sơ đồ.

c - Với mạch (c) T_1 là phần tử khóa thường mở nhờ R_B và chỉ khóa khi có xung vuông cực tính dương điều khiển. T_2 là phần tử khuếch đại đệm chế độ đóng mở ($k < 1$).

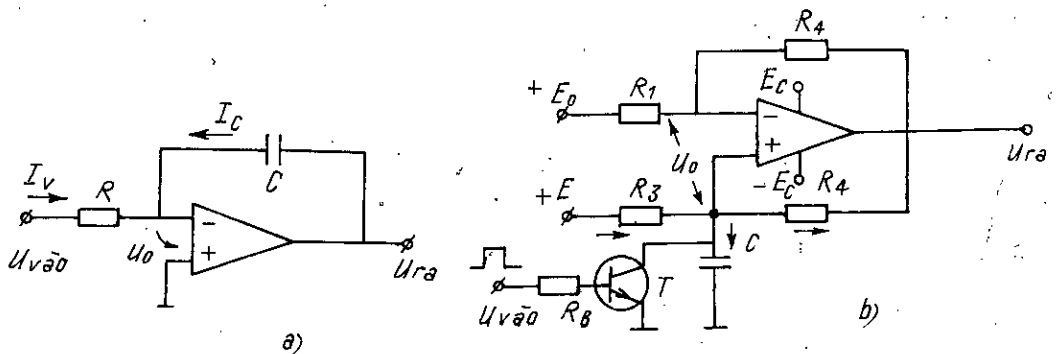
Ban đầu ($U_v = 0$) T_1 mở nhờ R_B , diốt D thông qua R có dòng $I_o \approx E/(R + R_d)$ với $U_c = U_{CE1bh} \approx 0$. Qua T_2 ta nhận được $U_{ra} \approx 0$. Tụ C_o được nạp tới điện áp $U_N - U_{E2} \approx E$ với cực tính như hình 3.27. Trong thời gian có xung vào T_1 bị khóa, C được nạp qua D và R làm điện thế tại M (cũng là điện thế cực bazơ T_2) âm dần T_2 mở mạnh, gia số ΔU_c qua T_2 và qua C_o (có điện dung lớn) gần như được đưa toàn bộ về điểm N bù thêm với giá trị sẵn có tại N (đang giảm theo quy luật dòng nạp) giữ ổn định dòng trên R nạp cho C. Chú ý khi dòng hồi tiếp qua C_o về N có trị số bằng E/R thì không còn dòng qua D dẫn tới cân bằng động, nguồn E dường như cắt khỏi mạch và C được nạp nhờ điện thế E đã được nạp trước trên C_o .

Sơ đồ (c) có ưu điểm là biên độ U_m đạt xấp xỉ giá trị nguồn E trong khi sai số ε giảm đi $(1 - k)$ lần (với k là hệ số truyền đạt của T_2 mắc chung emitơ) và ảnh hưởng của R_t mắc tại cực emitơ của T_2 thông qua tầng đệm phân cách T_2 tới $U_c(t)$ rất yếu.

Các sơ đồ 3.27 a b c có thể sử dụng với xung điều khiển cực tính ngược lại khi chuyển mạch T_1 được thiết kế ở dạng thường khóa (không có R_B)

3.6.3. Mạch tạo xung tam giác dùng vi mạch thuật toán

Hình 3.28 a và b đưa ra hai sơ đồ tạo xung tam giác dùng IC thuật toán.



Hình 3.28 : Các mạch tạo xung tam giác dùng IC tuyến tính.

a) Dạng mạch tích phân đơn giản ;

b) Dạng mạch phức tạp có điều chỉnh hướng quét và cực tính.

Biên độ U_{max} , mức một chiều ban đầu $U_q(t=0) = U_0$, chu kì lặp lại T (với xung tuần hoàn), thời gian quét thuận t_q và thời gian quét ngược t_{ng} (thông thường $t_{ng} \gg t_q$), tốc độ quét thuận

$$K = \frac{dU_q(t)}{dt}$$

hay độ nghiêng vi phân của đường quét.

Để đánh giá chất lượng U_q thực tế so với lý tưởng có hệ số không đường thẳng ε được định nghĩa là :

$$\varepsilon = \frac{dU_q/dt(t \approx 0) - dU_q/dt(t = t_q)}{dU_q/dt(t = 0)} = \frac{U'_q(0) - U'_q(t_q)}{U'_q(0)} \% \quad (3-33b)$$

Ngoài ra còn các tham số khác như : tốc độ quét trung bình

$$K_{TB} = \frac{U_{max}}{t_q} \text{ và hiệu suất năng lượng } \eta = \frac{U_{max}}{E_{nguồn}}$$

Từ đó có hệ số phẩm chất của U_q là $Q = \frac{\eta}{\varepsilon}$

Nguyên lí tạo xung tam giác dựa trên việc sử dụng quá trình nạp hay phóng điện của một tụ điện qua một mạch nào đó. Khi đó quan hệ dòng và áp trên tụ biến đổi theo thời gian có dạng

$$i_c(t) = C \frac{dU_c(t)}{dt} \quad (3-34)$$

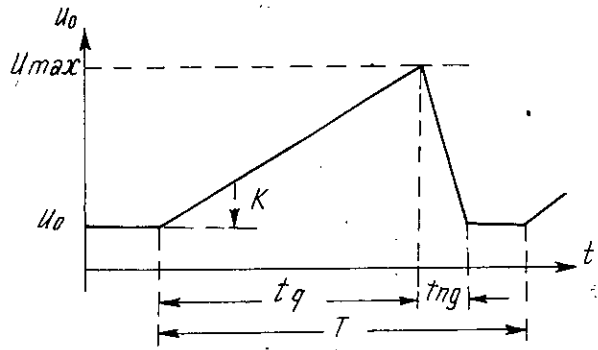
trong điều kiện C là một hằng số, muốn quan hệ $U_c(t)$ tuyến tính cần thỏa mãn điều kiện $i_c(t) =$ hằng số. Nói cách khác, sự phụ thuộc của điện áp trên tụ điện theo thời gian càng tuyến tính khi dòng điện phóng hay nạp cho tụ càng ổn định.

• Có hai dạng xung tam giác cơ bản là : trong thời gian quét thuận t_q , U_q tăng đường thẳng nhờ quá trình nạp cho tụ từ nguồn một chiều nào đó và trong thời gian quét thuận t_q , U_q giảm đường thẳng nhờ quá trình phóng của tụ điện qua một mạch tải. Với mỗi dạng kể trên có các yêu cầu khác nhau, để đảm bảo $t_{ng} \ll t_q$, với dạng tăng đường thẳng cần nạp chậm phóng nhanh và ngược lại với dạng giảm đường thẳng cần nạp nhanh phóng chậm.

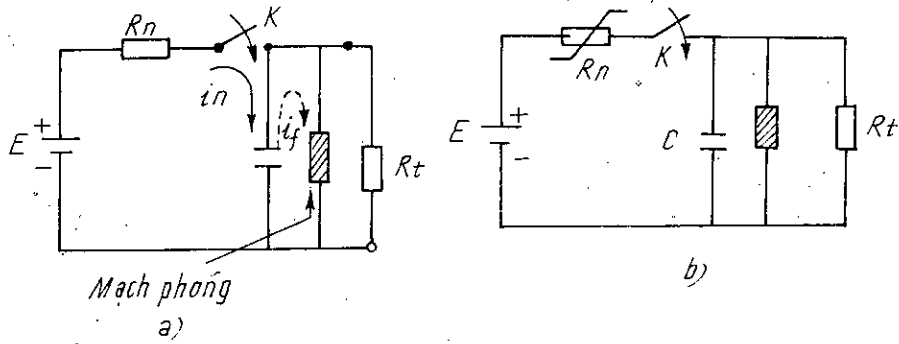
• Để điều khiển tức thời các mạch phóng nạp, thường sử dụng các khóa điện tử tranzito hay IC đóng mở theo nhịp điều khiển từ ngoài. Trên thực tế để ổn định dòng điện nạp hay dòng điện phóng của tụ cần một khối tạo nguồn dòng điện (xem 2.6) để nâng cao chất lượng xung tam giác. Về nguyên lí có 3 phương pháp cơ bản sau :

a - Dùng một mạch tích phân đơn giản (h.3.25a) gồm một khâu RC đơn giản để nạp điện cho tụ từ nguồn E . Quá trình phóng, nạp được một khóa điện tử K điều khiển. Khi đó, $U_{max} \ll E$ do đó phẩm chất của mạch thấp vì hệ số phi tuyến tỷ lệ với tỷ số U_{max}/E : $\varepsilon = \frac{U_{max}}{E} \quad (3-35).$

Nếu sử dụng phân tăng đường thẳng ta có $U_c(t) = E \left[1 - \exp\left(-\frac{t}{R_n C}\right) \right]$ với $R_n C \gg R_{phóng} \cdot C$. Nếu chọn nguồn E cực tính âm ta có $U_c(t)$ là giảm đường thẳng.



Hình 3.24 : Xung tam giác lý tưởng.



Hình 3.25 : Phương pháp Miller tạo U_q .

b - Dùng một phần tử ổn định dòng kiểu thông số có điện trở phụ thuộc vào điện áp đặt trên nó $R_n = f(U_{Rn})$ làm điện trở nạp cho tụ C. Để giữ cho dòng nạp không đổi, điện trở R_n giảm khi điện áp trên nó giảm, lúc đó

$$\varepsilon = \frac{U_{\max}}{E_{td}} \text{ với } E_{td} = I_{\text{nạp}} \cdot R_i \quad (3-36)$$

R_i là điện trở trong của nguồn dòng nên khá lớn, do vậy E_{td} lớn và cho phép nâng cao U_{\max} với một mức méo phi tuyến cho trước.

c - Thay thế nguồn E cố định ở đầu vào bằng một nguồn biến đổi

$$e(t) = E + K (U_c - U_o)$$

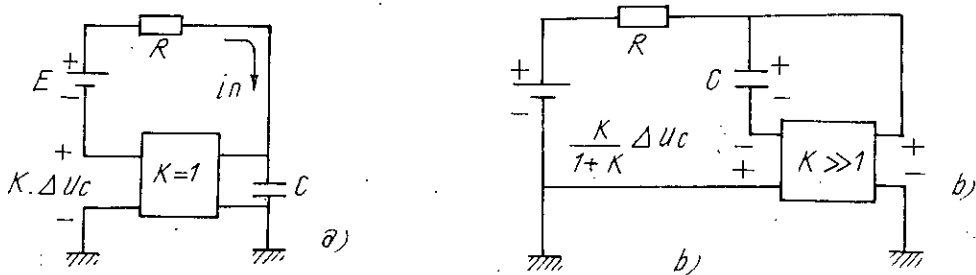
hay
$$e(t) = E + K\Delta U_c \quad (3-37)$$

với K là hằng số tỉ lệ bé hơn 1 : $k = \frac{de(t)}{dU_c} < 1$ (với hình 3.26a)

Nguồn bổ sung $K\Delta U_c$ bù lại mức giảm của dòng nạp nhờ một mạch khuếch đại có hồi tiếp thay đổi theo điện áp trên tụ U_c , khi đó mức méo phi tuyến xác định bởi [2] :

$$\varepsilon = \frac{U_{\max}}{E} (1-k) \quad (3-38)$$

giá trị này thực tế nhỏ vì $k \approx 1$ nên $1-k$ là VCB và vì thế có thể lựa chọn được U_{\max} lớn xấp xỉ E làm tăng hiệu suất của mạch mà ε vẫn nhỏ.



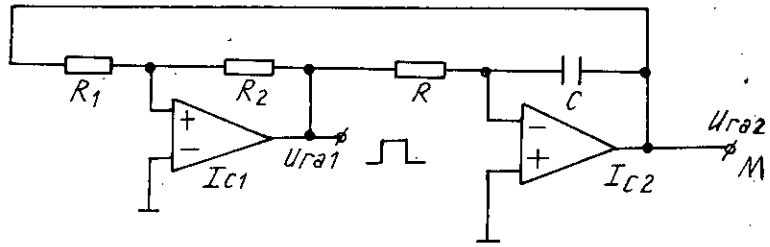
Hình 3.26 : Phương pháp Bootstrap tạo U_q .

đổi nhờ R hoặc C. Biên độ U_{ra2} chỉ phụ thuộc ngưỡng lật của trigơ Smit, được xác định bởi :

$$U_{ra2} = \frac{U_{max}R_1}{R_2} \quad (3-53)$$

(với U_{max} là giá trị điện áp ra bão hòa của IC1).

Chu kỳ dao động xác định bởi [4,9].



Hình 3.30 : Sơ đồ tạo đồng thời xung vuông (U_{ra1}) và xung tam giác (U_{ra2})

$$T = 4RC \frac{R_1}{R_2} \quad (3-54)$$

3.7. CƠ SỞ ĐẠI SỐ LOGIC VÀ CÁC PHẦN TỬ LOGIC CƠ BẢN

3.7.1. cơ sở của đại số logic

a - Hệ tiên đề và định lý

Đại số logic là phương tiện toán học để phân tích và tổng hợp các hệ thống thiết bị và mạch số. Nó nghiên cứu các mối liên hệ (các phép tính cơ bản) giữa các biến số trạng thái (biến logic) chỉ nhận một trong hai giá trị "1" (có) hoặc "0" (không có). Kết quả nghiên cứu này thể hiện là một hàm trạng thái cũng nhận chỉ các trị số "0" hoặc "1".

- Người ta xây dựng 3 phép tính cơ bản giữa các biến logic đó là :

Phép phủ định logic (đảo), kí hiệu bằng dấu "-" phía trên kí hiệu của biến

Phép cộng logic (tuyến), kí hiệu bằng dấu "+"

Phép nhân logic (hội), kí hiệu bằng dấu "."

Kết hợp với hai hằng số "0" và "1" có nhóm các quy tắc sau :

- Nhóm 4 quy tắc của phép cộng logic :

$$\begin{aligned} x + 0 &= x, & x + x &= x \\ x + 1 &= 1, & x + \bar{x} &= 1 \end{aligned} \quad (3-55)$$

- Nhóm 4 quy tắc của phép nhân logic :

$$\begin{aligned} x \cdot 0 &= 0, & x \cdot x &= x \\ x \cdot 1 &= x, & x \cdot \bar{x} &= 0 \end{aligned} \quad (3-56)$$

- Nhóm hai quy tắc của phép phủ định logic.

$$\overline{(\bar{x})} = x, \quad \overline{(\overline{\bar{x}})} = x \quad (3-57)$$

Có thể minh họa tính hiển nhiên của các quy tắc trên qua ví dụ các khóa mạch điện nối song song (với phép cộng) và nối tiếp (với phép nhân) và hằng số "1" ứng với khóa thường đóng nối mạch, "0" khóa thường mở ngắt mạch [4] [5].

- Tồn tại các định luật hoán vị, kết hợp và phân bố trong đại số logic với các phép cộng và nhân.

• Luật hoán vị : $x + y = y + x$; $xy = yx$ (3-58)

• Luật kết hợp $x + y + z = (x + y) + z = x + (y + z)$ (3-59)
 $xyz = (xy)z = x(yz)$

• Luật phân bố $x(y + z) = xy + xz$ (3-60)

- Xuất phát từ các quy tắc và luật trên có thể đưa ra một số định lí thông dụng sau :

$$\begin{aligned} x + y + \overline{xy} &= x ; & x(\overline{x} + y) &= xy \\ x + xy &= x ; & (x + y)(x + z) &= x + yz \\ x(x + y) &= x ; & \overline{xy} + y &= x + y \end{aligned} \quad (3-61)$$

Định lí Demorgan : $\overline{F(x, y, z, \dots, +, \dots)} = F(\overline{x}, \overline{y}, \overline{z}, \dots, \dots, +)$

Ví dụ :

$$\overline{(x + y + z)} = \overline{x} \cdot \overline{y} \cdot \overline{z} \text{ và } \overline{(x \cdot y \cdot z)} = \overline{x} + \overline{y} + \overline{z} \quad (3-62)$$

b - Hàm logic và cách biểu diễn chúng.

Có 3 cách biểu diễn hàm logic tương đương nhau :

- *Biểu diễn giải tích* với các kí hiệu hàm, biến và các phép tính giữa chúng. Có hai dạng giải tích được sử dụng là dạng tuyến : hàm được cho dưới dạng một tổng của các tích các biến và dạng hội - dưới dạng một tích của các tổng các biến.

Nếu mỗi số hạng trong dạng tuyến chứa đủ mặt các biến ta gọi đó là một mintec kí hiệu là m và có dạng tuyến đầy đủ, tương tự với dạng hội đầy đủ là tích các maxtec (M).

Mỗi hàm logic có thể có vô số cách biểu diễn giải tích tương đương ngoài hai dạng trên, tuy nhiên chỉ tồn tại một cách biểu diễn gọn nhất, tối ưu về số biến và số số hạng hay thừa số và được gọi là dạng tối thiểu. Việc tối thiểu hóa hàm logic, là đưa chúng từ một dạng bất kì về dạng đã tối thiểu, mang một ý nghĩa kinh tế kĩ thuật đặc biệt khi tổng hợp các mạch logic phức tạp.

Ví dụ : Dạng tuyến đầy đủ $F = x.y.\overline{z} + \overline{xyz} + \overline{xyz} = m_1 + m_2 + m_3$

Dạng hội đầy đủ $F = (x + y + z)(\overline{x} + y + \overline{z})(x + \overline{y} + z) = M_1 \cdot M_2 \cdot M_3$

- Biểu diễn hàm logic bằng bảng trạng thái trong đó liệt kê toàn bộ số tổ hợp biến có thể có được và giá trị hàm tương ứng với mỗi tổ hợp đã kể.

Ví dụ với $F(x, y, z) = \overline{xyz} + \overline{xyz} + x.y.z = m_1 + m_6 + m_7$ (3-63)

có bảng trạng thái sau : (xem bảng 3.2). Có thể thấy rõ tính chất tương đương của hai cách biểu diễn bảng và giải tích (lưu ý kí hiệu $x = 1$ thì $\overline{x} = 0$), nghĩa là $F = 1$ khi :

- hoặc $x = 0$ và $y = 0$ và $z = 1$ ($m_1 = 1$)
- hoặc $x = 1$ và $y = 1$ và $z = 0$ ($m_6 = 1$)
- hoặc $x = 1$ và $y = 1$ và $z = 1$ ($m_7 = 1$).

Dạng giải tích của F gồm 3 mintec (ứng với các tổ hợp thứ 1, 6, 7) hoặc gồm 5 maxtec (ứng với các tổ hợp còn lại).

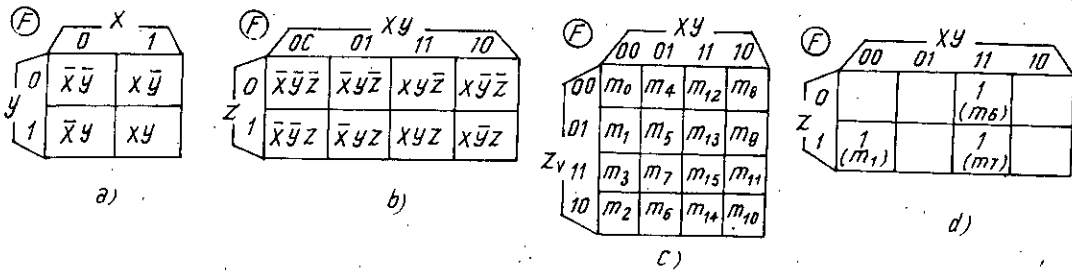
- Cách biểu diễn hàm logic bằng bìa cacnô là biểu diễn bằng một đồ hình các ô vuông mỗi mintec được biểu thị bằng 1 ô. Trị số của mintec là trị ghi trong ô vuông đó. Hai ô vuông kế nhau chỉ được khác nhau giá trị của 1 biến, các hàng và cột được đánh số theo trị của biến tương ứng. Ví dụ cụ thể với hàm hai, ba hoặc 4 biến cho trên các bảng dưới (xem bảng 3.3) (a) (b) (c) tương ứng.

Bảng 3.2

Số tổ hợp	x	y	z	F
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	0
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	1	1	1	1

Lấy ví dụ hàm F cho theo bảng trạng thái (3.2) hay biểu thức (3.63) gồm có 3 mintec có giá trị 1 (là m_1, m_6 và m_7) và 5 mintec còn lại có giá trị 0 (ở đây giá trị 0 ta để trống cho đơn giản, xem bảng 3.3d).

Bảng 3.3



c - Phương pháp tối thiểu hóa hàm logic bằng bìa cacnô.

Để thực hiện việc tối thiểu hóa hàm logic bằng phương pháp cacnô, cần nắm vững quy tắc dán ô sau đây :

"Các ô chỉ khác nhau một giá trị biến được gọi là kế nhau, (tính cả các biến của hàng và cột). Hai mintec có trị 1 kế nhau sẽ được thay thế bằng một mintec mới có số biến giảm đi một. Tổng quát nếu có 2^n mintec có trị 1 kế nhau thì chúng được thay thế bằng chỉ một mintec mới với số biến giảm đi n".

Tuần tự các bước tiến hành là :

Bước 1 : Chuyển hàm logic về dạng các mintec có đủ mặt các biến số hay phủ định của chúng.

Bước 2 : Lập bìa cacnô cho hàm dạng đầy đủ ở bước 1 đã có.

Bước 3 : Tiến hành dán từng nhóm 2^n các ô có trị "1" nằm kế nhau thành 1 khối vuông hay chữ nhật theo nguyên tắc : số ô dán được trong mỗi nhóm là tối đa, số nhóm độc lập (không chứa nhau) sau khi dán là ít nhất.

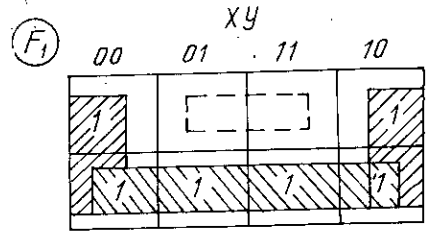
Ta hãy xét các ví dụ cụ thể sau để làm rõ quy tắc trên :

Ví dụ 1 : Tối thiểu hàm

$$F_1 = \bar{x}\bar{y}\bar{z} + \bar{x}y\bar{z} + \bar{z}y\bar{z} + \bar{x}yz + x\bar{y}z + xyz = m_0 + m_1 + m_3 + m_4 + m_5 + m_7 \quad (3-64)$$

Bước 1 không cần nữa vì F_1 đã có dạng đầy đủ. **Bảng 3.4**

Bước 2 lập bìa cac nô : Đây là hàm 3 biến gồm 6 mintec có trị "1", 2 mintec có trị "0" (xem bảng 3.4).



Bước 3 : Dán các ô theo từng nhóm : nhóm A có 4 ô ứng với hàng $z = 1$. Trong nhóm này chỉ trị z không đổi, còn trị x và y thay đổi theo từng cột, vậy mintec mới chỉ còn biến z : $A = z$.

Nhóm B có 4 ô ứng với các cột $xy = 00$ và $xy = 10$

trong đó các trị x và z thay đổi, trị \bar{y} không đổi mintec mới còn 1 biến \bar{y} : $B = \bar{y}$

$$\text{Kết quả sau khi tối thiểu } F_1 = A + B = z + \bar{y} \quad (3-65)$$

Lưu ý rằng : 1) có thể tối thiểu F_1 theo các ô trống ở đó F_1 nhận trị 0, lúc đó dạng maxtec của F_1 là :

$$F_1 = (x + \bar{y} + z)(\bar{x} + \bar{y} + z) = M_2.M_6 \text{ hay có thể viết dưới dạng tổng các mintec :}$$

$$\bar{F}_1 = \bar{x}\bar{y}z + x\bar{y}\bar{z} = m_2 + m_6$$

Thực hiện dán 2 ô trống sẽ mất đi biến x vì x đảo trị, còn lại

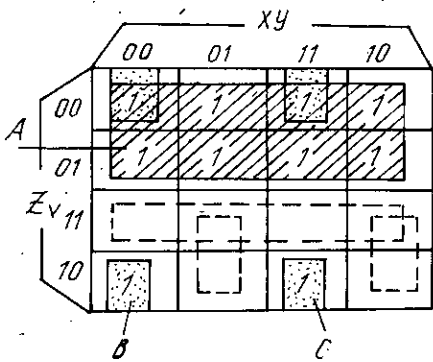
$$\bar{F}_1 = \bar{y}z \text{ áp dụng định lí Demorgan (3-62) cho } F_1 \text{ lưu ý tới quy tắc (3.57) có}$$

$$\bar{\bar{F}}_1 = \bar{y} + z \text{ hay } F_1 = \bar{y} + z \text{ chính là kết quả (3-65)}$$

2) Một hay vài ô trị 1 có thể dùng nhiều lần khi tối thiểu.

• Ví dụ 2 : Cho F_2 biểu diễn dưới dạng bìa cac nô của 1 hàm 4 biến ở bảng (3.5). Ở đây không cần 2 bước tối thiểu đầu tiên vì đã cho trước.

Bảng 3.5



Bước 3 việc dán ô sẽ cho 3 nhóm

Nhóm A : gồm 8 ô ứng với 2 dòng trên :

$zv = 00$ và $zv = 01$, trong nhóm này các biến x, y, v đảo trị vậy chỉ còn \bar{z} : $A = \bar{z}$.

Nhóm B : gồm 2 ô ứng với cột $xy = 00$ hàng $zv = 00$ và $zv = 10$;

Ở đây chỉ z đảo trị, còn lại $\bar{x}\bar{y}$. Vậy $B = \bar{x}\bar{y}$

Nhóm C gồm 2 ô ứng cột $xy = 11$ hàng $zv = 00$ và $zv = 10$ tương tự chỉ có z đảo trị còn lại $C = x\bar{y}$. Kết quả sau khi tối thiểu, F_2 từ dạng tổng của 10 số hạng (mỗi số hạng đủ 4 biến) về dạng rút gọn :

$$\bar{F}_2 = A + B + C = \bar{z} + \bar{x}\bar{y}v + x\bar{y}v \quad (3-66)$$

Tương tự ví dụ 1, nếu dùng các ô trống để tối thiểu có 3 nhóm đặc trưng cho 3 mintec của \bar{F}_2 có kết quả :

$$\bar{F}_2 = zv + \bar{x}\bar{y}z + \bar{x}\bar{y}z$$

$$\text{Từ đó nhận được } F_2 = \bar{\bar{F}}_2 = \overline{z(v + \bar{x}\bar{y} + \bar{x}\bar{y})}$$

$$F_2 = \bar{z} + \overline{(v + \bar{x}\bar{y} + \bar{x}\bar{y})}$$

$$= \bar{z} + \overline{v(x + y)(\bar{x} + \bar{y})}$$

$$= \bar{z} + \bar{x}\bar{y}z + \bar{x}\bar{y}z \text{ chính là dạng (3-66)}$$

Sau khi đã tối thiểu hàm logic, người ta tìm cách thực hiện nó bằng các phần tử logic cơ bản sẽ được trình bày ở phần tiếp sau.

d - Các hệ thống số đếm thường sử dụng trong kĩ thuật số

- Hệ đếm thập phân Hindu sử dụng các số đếm Arập từ 0 đến 9. Một số N bất kì (thực, hữu tỉ) được biểu diễn dưới dạng thập phân :

$$\begin{aligned} (N)_{10} &= a_k \cdot 10^k + \dots + a_0 \cdot 10^0 + b_1 \cdot 10^{-1} + \dots + b_m \cdot 10^{-m} \\ &= (a_k \dots a_0, b_1 \dots b_m)_{10} \end{aligned} \quad (3-67)$$

trong đó a_i chỉ phần nguyên b_j chỉ phần thập phân $0 \leq a_i, b_j \leq 9$, a_i, b_j là các số nguyên, không âm và không quá 9. Qua đó, thấy rõ các đặc trưng cơ bản của một hệ thống số đếm là :

- Tổng các chữ số được sử dụng bằng cơ số
 - Chữ số lớn nhất bằng cơ số trừ đi 1
 - Giá trị thực của mỗi số bằng chính nó nhân với giá trị của vị trí của nó.
- Hệ đếm nhị phân : ở đây chỉ sử dụng hai chữ số là 0 và 1

$$\begin{aligned} (N)_2 &= C_k 2^k + \dots + C_0 2^0 + d_1 2^{-1} + \dots + d_m 2^{-m} \\ &= (C_k \dots C_0, d_1 \dots d_m)_2 \quad (C_i, d_j = 0 \text{ hoặc } 1) \end{aligned} \quad (3-68)$$

Hệ thức (3.68) cho cách biểu diễn đầy đủ hay rút gọn của số N trong hệ đếm nhị phân (cơ số hai). Mỗi giá trị C_i được gọi là 1 bit nhị phân. Ví dụ : $(N)_2 = (1011, 1101)_2$ sẽ tương đương với số thập phân là $(N)_{10} = 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 + 1 \cdot 2^{-1} + 1 \cdot 2^{-2} + 0 \cdot 2^{-3} + 1 \cdot 2^{-4} = (11,8125)_{10}$.

• Để thực hiện biến đổi một số từ hệ đếm cơ số này sang hệ cơ số khác, người ta thực hiện chia liên tiếp số cần đổi cho cơ số của hệ sẽ chuyển đến cho tới lúc số dư nhỏ hơn cơ số. Các kết quả của phép chia và số dư cuối cùng cho một bộ số mới là biểu diễn của số đã cho trong hệ đếm mới.

Ví dụ chuyển biểu diễn số $(N)_{10}$ sang hệ đếm cơ số a.

$$\begin{aligned} (N)_{10} &= q_0 \cdot a + r_0 & (r_0 < a) \\ q_0 &= q_1 \cdot a + r_1 & (r_1 < a) \\ &\dots \\ q_{n-1} &= q_n \cdot a + r_n & (q_n < a) \\ && (r_n < a) \end{aligned} \quad (3-69)$$

lúc đó

$$\begin{aligned} (N)_{10} &= q_n \cdot a^{n+1} + r_n a^n + \dots + r_1 a^1 + r_0 a^0 \\ &= (q_n r_n \dots r_1 r_0)_a \end{aligned}$$

- Các hệ thống số đếm thường sử dụng trong kĩ thuật số :

Bảng 3.6 đưa ra các cách biểu diễn một số trong bốn hệ đếm thông dụng thường gặp trong kĩ thuật tính toán (viết cho 16 số đầu tiên của hệ thập phân).

Bảng 3.6. Các hệ đếm thông dụng

Hệ 10	Hệ 2	Hệ 8	Hệ 16	Hệ 10	Hệ 2	Hệ 8	Hệ 16
0	0000	00	00	8	1000	10	08
1	0001	01	01	9	1001	11	09
2	0010	02	02	10	1010	12	0A
3	0011	03	03	11	1011	13	0B
4	0100	04	04	12	1100	14	0C
5	0101	05	05	13	1101	15	0D
6	0110	06	06	14	1110	16	0E
7	0111	07	07	15	1111	17	0F

Ví dụ có 4 cách biểu diễn tương đương : $(14)_{10} = (1110)_2 = (16)_8 = (0E)_{16}$.

3.7.2. Các phần tử logic cơ bản

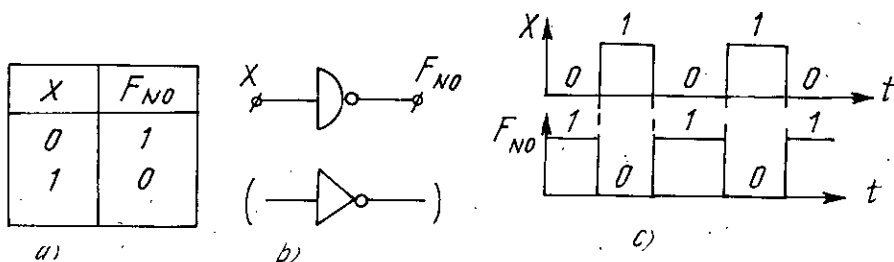
Các phép toán cơ bản của đại số logic có thể được thực hiện bằng các mạch khóa điện tử (tranzito hoặc IC) đã nêu ở phần 3.1. Nét đặc trưng nhất ở đây là hai mức điện thế cao hoặc thấp của mạch khóa hoàn toàn cho một sự tương ứng đơn trị với hai trạng thái của biến hay hàm logic. Nếu sự tương ứng được quy ước là điện thế thấp - trị "0" và điện thế cao - trị "1" ta gọi đó là logic dương. Trong trường hợp ngược lại, với quy ước mức thế thấp trị "1" và mức thế cao - trị "0", ta có logic âm. Để đơn giản, trong chương này, chúng ta chỉ xét với các logic dương.

a - Phần tử phủ định logic (phần tử đảo - NO)

- Phần tử phủ định có 1 đầu vào biến và 1 đầu ra thực hiện hàm phủ định logic :

$$F_{NO} = \bar{x} \quad (3-70)$$

tức là $F_{NO} = 1$ khi $x = 0$ hoặc ngược lại $F_{NO} = 0$ khi $x = 1$. Bảng trạng thái, kí hiệu quy ước và giản đồ thời gian minh họa được cho trên hình 3.31a, b và c tương ứng.



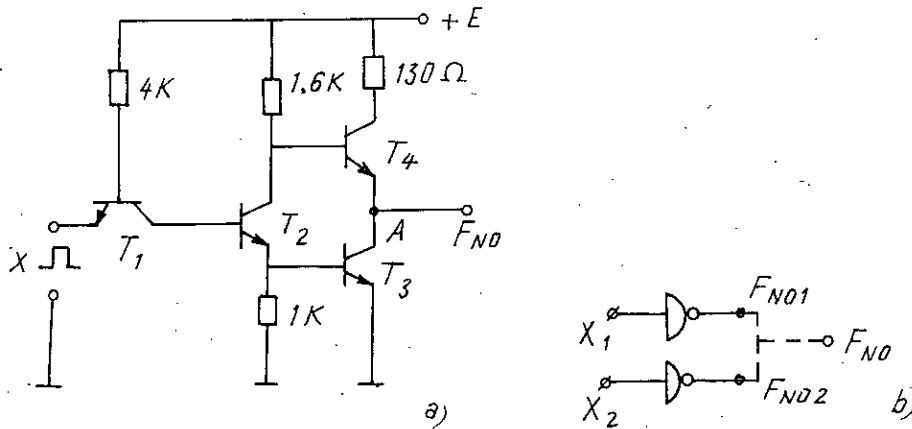
Hình 3.31: Bảng trạng thái (a) kí hiệu quy ước (b) và giản đồ điện áp minh họa (c) của phần tử NO.

- Để thực hiện hàm F_{NO} , có thể dùng một trong các sơ đồ mạch khóa (tranzito hay IC) đã nêu ở 3.1.2 dựa trên tính chất đảo pha của một tầng EC đối với tranzito hay với đầu vào N của IC thuật toán. Mạch điện thực tế có phức tạp hơn để nâng cao khả năng làm việc tin cậy và chính xác. Hình 3.32 đưa ra một sơ đồ bộ đảo kiểu TTL (tranzito - tranzito - logic) hoàn thiện trong 1 vỏ IC số. Mạch ra của sơ đồ gồm 2 tranzito T_3 và T_4 làm việc ngược pha nhau (ở chế độ khóa) nhờ tín hiệu lấy trên

các lối ra phân tải của T_2 . Mạch vào của sơ đồ dùng tranzito T_1 mắc kiểu BC và tín hiệu vào (x) được đưa tới cực emitơ của T_1 thể hiện là các xung điện áp cực tính dương (lúc $x = 1$) có biên độ lớn hơn mức U_H hoặc không có xung (lúc $x = 0$) điều khiển x_1 khóa (lúc $x = 1$) hay mở (lúc $x = 0$). Nghĩa là khi $x = 0$ T_1 mở, điện thế $U_{c1} = U_{B2}$ ở mức thấp là T_2 khóa, điều này làm T_3 khóa (vì U_{E2} ở mức thấp) và T_4 mở (vì U_{c2} ở mức cao), kết quả là tại đầu ra, điện thế tại điểm A ở mức cao hay $F_{NO} = 1$. Nhờ T_4 mở mức thế tại A được nâng lên xấp xỉ nguồn $+E$ (ưu điểm hơn so với việc dùng một điện trở R_{c3}) nên T_4 được gọi là tranzito "kéo lên", điều này còn làm tăng khả năng chịu tải nhỏ hay dòng lớn cho tầng ra. Khi $x = 1$, tình hình sẽ ngược lại T_1 khóa, T_2 mở làm T_4 khóa và T_3 mở dẫn tới $F_{NO} = 0$.

Ta cũng có nhận xét sau :

- Kết cấu mạch hình 3.32 không cho phép đấu chung các lối ra của hai phần tử đảo kiểu song song nhau (3.32b) vì khi đó nếu $F_{NO1} = 1$ và $F_{NO2} = 0$ sẽ xảy ra ngắn mạch T_{41} với T_{32} hoặc ngược lại. Lúc đó cần sử dụng các phần tử NO kiểu để hở collectơ T_3 (không có T_4) và dùng điện trở R_{c3} ở mạch ngoài.



Hình 3.32 : Bộ đảo TTL có đầu ra hai trạng thái kết cấu dưới dạng một vi mạch số (a)
Kiểu mắc chung sai đầu ra cho hai phần tử NO (b).

- Có thể kết cấu phần tử NO từ 1 cặp MOSFET kênh n và kênh p (một loại thường mở và một loại thường khóa) như hình 3.33.

Khi $x = 0$ ($U_{\text{vào}} = 0$) T_2 mở T_1 khóa

$U_a = U_{DD}$ hay $F_{NO} = 1$

Khi $x = 1$ ($U_{\text{vào}} = U_{DD}$) T_2 khóa T_1 mở

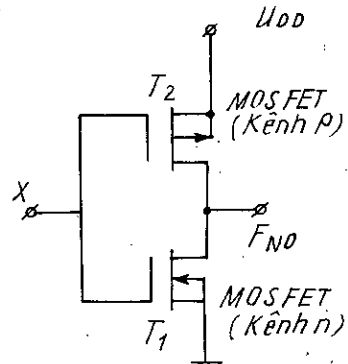
$U_{ra} \approx 0$ hay $F_{NO} = 0$

Sơ đồ hình 3.33 được chế tạo theo công nghệ CMOS và có ưu điểm căn bản là dòng tĩnh lối vào cũng như lối ra gần bằng 0.

b - Phần tử và (AND) là phần tử có nhiều đầu vào biến và một đầu ra thực hiện hàm nhân logic, tức là hàm F_{AND}

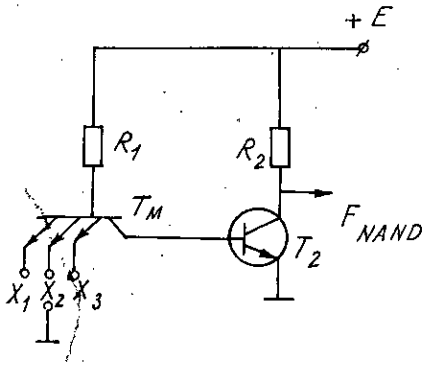
$$F_{AND} = x_1 x_2 x_3 \dots x_n$$

(3-71)

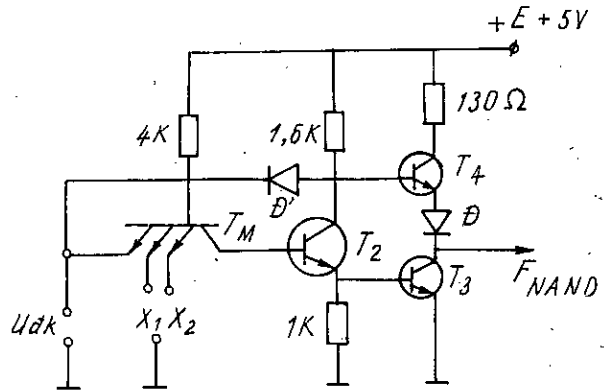


Hình 3.33 : Sơ đồ NO kiểu CMOS.

CMOS ... Để minh họa, hình 3.39 đưa ra một phân tử NAND dựa trên công nghệ TTL, sử dụng loại tranzito nhiều cực emitor, có ưu điểm là bảo đảm mức logic, tác động nhanh và khả năng tải lớn.



Hình 3.39 : Nguyên lý xây dựng phân tử NAND loại TTL.



Hình 3.40 : Phân tử logic NAND TTL thực tế có đầu vào điều khiển (loại 3 trạng thái ra ổn định).

Với mạch 3.39 khi tất cả các lối vào có điện áp cao ($x_1 = x_2 = x_3 = 1$) T_M khóa $U_{CM} = U_{B2}$ ở mức cao làm T_2 mở $F_{NAND} = 0$. Nếu chỉ một trong các lối vào có mức điện áp thấp tiếp giáp emitor - bazơ tương ứng của T_M mở làm mất dòng I_{B2} nên T_2 khóa : $F_{NAND} = 1$. Thực tế T_2 được thay bằng 1 mạch ra (h.3.40) dạng đẩy kéo tương tự hình 3.32 cho dòng ra lớn tăng khả năng tải và chống nhiễu. Khi T_2 khóa T_3 cũng khóa (do $U_{E2} \approx 0$) $F_{NAND} = 1$ nhờ bộ lập cực emitor T_4 trở kháng ra thấp tăng khả năng chịu tải cho toàn mạch.

Khi T_2 mở T_3 mở T_4 khóa, D tách nhánh T_4 khỏi mạch ra $F_{NAND} = 0$ (mức ra cỡ + 0,1V).

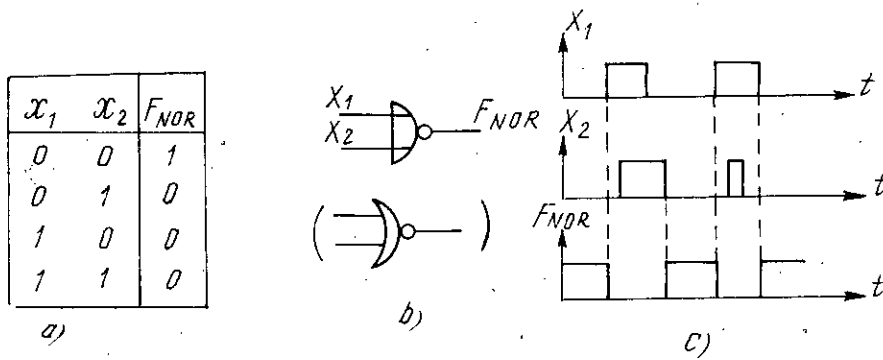
• Để điều khiển tăng ra, có thể dùng một lối vào đặc biệt khi $U_{dk} \approx 0$ (mức thấp) T_3 T_4 đều bị khóa (trạng thái ổn định thứ 3 của sơ đồ còn gọi là trạng thái trở kháng cao). Khi U_{dk} ở mức cao diốt D' khóa, sơ đồ làm việc bình thường như đã phân tích ở trên với hai trạng thái ổn định còn lại. Tín hiệu U_{dk} được gọi là tín hiệu chọn vô (CS) tạo khả năng cho phép (lúc CS = 1) hay không cho phép (lúc CS = 0) mạch NAND làm việc, điều này đặc biệt thuận lợi khi phải điều khiển nhiều NAND làm việc chung với 1 lối ra.

e - Phân tử hoặc - phủ định (NOR) gồm nhiều đầu vào biến, một đầu ra thực hiện hàm logic hoặc - phủ định

$$F_{NOR} = \overline{x_1 + x_2 + \dots + x_n} \quad (3-74)$$

$F_{NOR} = 1$ khi mọi biến vào có trị số "0" và $F_{NOR} = 0$ trong các trường hợp còn lại.

• Bảng trạng thái, kí hiệu quy ước và giản đồ thời gian minh họa của F_{NOR} (với $n = 2$) cho trên hình 3.41.

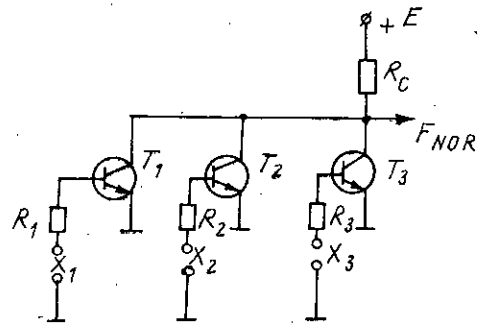


Hình 3.41 : Bảng trạng thái (a) kí hiệu quy ước (b), giản đồ thời gian (c) của phần tử NOR.

• Hình 3.42 cho kết cấu thực hiện F_{NOR} trên công nghệ RTL.

Khi ít nhất một trong các cửa vào có xung dương mở, điện áp ra ở mức thấp $F_{NOR} = 0$, còn khi $x_1 = x_2 = \dots = x_n = 0$, do các tranzito được thiết kế ở chế độ thường khóa. Tất cả các tranzito khóa $F_{NOR} = 1$ (lưu ý nếu thiết kế các tranzito thường mở thì mạch hoạt động như 1 phần tử NAND với các xung vào cực tính âm điều khiển khóa các tranzito).

• Có thể thực hiện phần tử NOR dựa trên công nghệ MOS hoặc CMOS (từng cặp MOS_n và MOS_p với mỗi đầu vào) với nhiều ưu điểm nổi bật : thời gian chuyển biến nhanh, không có dòng dò và tiêu thụ công suất cực bé [4,6].



Hình 3.42 : Phần tử NOR với cực colecta hở.

3.7.3. Các thông số đặc trưng của phần tử IC logic

Để đánh giá đặc tính kĩ thuật và khả năng sử dụng của IC logic, người ta thường sử dụng các tham số cơ bản sau :

Tính tác động nhanh (phản ứng về thời gian của phần tử với sự biến đổi đột biến của tín hiệu vào) thể hiện qua thời gian trễ trung bình khi truyền tín hiệu xung qua nó :

$$\tau_{tr\bar{e}} = \frac{t^+ + t^-}{2} \quad (3-75)$$

t^+ là thời gian trễ sườn trước khi chuyển mức logic "0" lên "1"

t^- là thời gian trễ sườn sau khi chuyển "1" về "0".

Nếu $\tau_{tr\bar{e}} < 10^{-8}s$ có loại phần tử cực nhanh

$\tau_{tr\bar{e}} < 3 \cdot 10^{-8}s$ loại nhanh

$\tau_{tr\bar{e}} < 3 \cdot 10^{-7}s$ loại trung bình

$\tau_{tr\bar{e}} \geq 0,3 \mu s$ loại chậm

• Khả năng sử dụng thể hiện qua số lượng đầu vào m và hệ số phân tải n ở đầu ra (số đầu vào của các phân tử logic khác có thể ghép với đầu ra của nó)

Thường $n = 4 \div 10$, nếu có các bộ khuếch đại đệm ở đầu ra có thể tăng $n = 20 \div 50$;
 $m = 2 \div 6$.

• Người ta quy định với những phân tử logic loại TTL, các mức điện áp (mức logic) cao và thấp như sau (với logic dương) :

Dải đảm bảo mức "1" ở đầu ra $+E \geq U_{ra} \geq 2,4V$

Dải đảm bảo mức "0" ở đầu ra $0,4V \geq U_{ra,0} \geq 0V$

Dải cho phép mức "1" ở đầu vào $+E \geq U_{v1} \geq 2V$

Dải cho phép mức "0" ở đầu vào $0,8V \geq U_{v0} \geq 0V$

Như vậy, dự trữ chống nhiễu ở mức "1" là $2 \div 2,4V$

dự trữ chống nhiễu mức "0" là $0,4 \div 0,8V$

Độ chênh lệch cực tiểu giữa 2 mức logic tại đầu vào $0,8V \div 2V$.

• Tính tương hỗ giữa các phân tử logic khi chuyển logic dương \Leftrightarrow logic âm :

NO \rightarrow NO

OR \rightarrow AND

NOR \rightarrow NAND

3.8. CÁC PHẦN TỬ LOGIC THÔNG DỤNG

3.8.1. Phần tử tương đương (đồng dấu) có hai đầu vào biến, 1 đầu ra thực hiện phép so sánh tương đương :

$$F_{td} = x_1x_2 + \bar{x}_1\bar{x}_2 \quad (3-76)$$

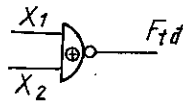
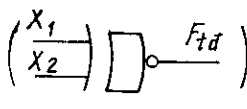
$F_{td} = 1$ khi các biến vào có cùng giá trị

$F_{td} = 0$ khi các biến vào khác trị nhau.

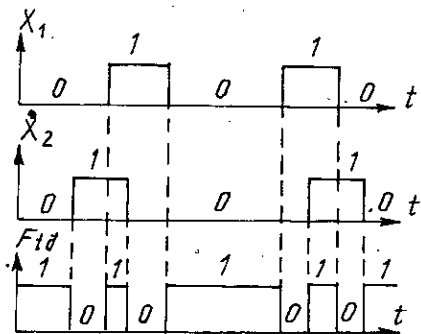
• Bảng trạng thái, kí hiệu quy ước vào đồ thị thời gian minh họa của phần tử tương đương cho trên hình 3.43.

x_1	x_2	F_{td}
0	0	1
0	1	0
1	0	0
1	1	1

a)

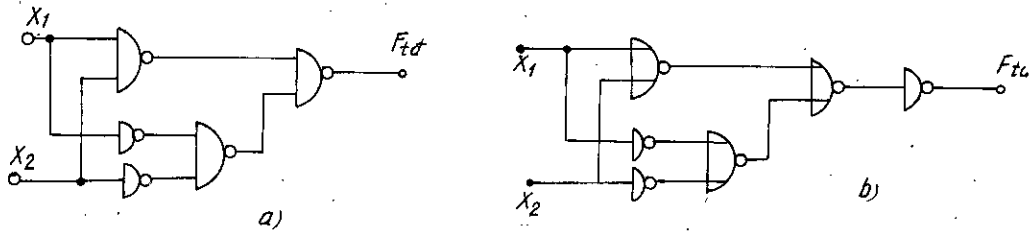


b)



c)

Hình 3.43 : Bảng trạng thái (a) ; kí hiệu quy ước (b) ;
 giản đồ thời gian (c) của phần tử tương đương



Hình 3.44 : Phần tử tương đương cấu trúc từ phần tử NAND (a) hoặc phần tử NOR (b).

• F_{td} được xây dựng từ các phần tử cơ bản đã có ở 3-72, tuy nhiên có nhiều cách lựa chọn, ví dụ áp dụng định lý Demorgan (3-62) cho F_{td} có

$$\overline{F_{td}} = \overline{\overline{x_1 x_2} + \overline{x_1 x_2}} = \overline{\overline{x_1 x_2} \cdot \overline{x_1 x_2}} = (x_1 + x_2) + (\overline{x_1} + \overline{x_2}) \quad (3-77)$$

Từ (3-77) ta có cách xây dựng F_{td} từ các phần tử NAND hoặc từ các phần tử NOR (h.3.44).

3.8.2. Phần tử khác dấu (cộng modun 2) là phần tử có hai đầu vào biến, 1 đầu ra thực hiện phép cộng modun 2 không nhớ.

$$F_{kd} = x_1 \overline{x_2} + \overline{x_1} x_2 = x_1 \oplus x_2 \quad (3-78)$$

$F_{kd} = 1$ khi các biến vào có trị khác nhau

$F_{kd} = 0$ khi các biến vào có trị giống nhau.

Bảng trạng thái, kí hiệu quy ước và đồ thị thời gian minh họa của hàm khác dấu (3-78) cho trên hình 3.45

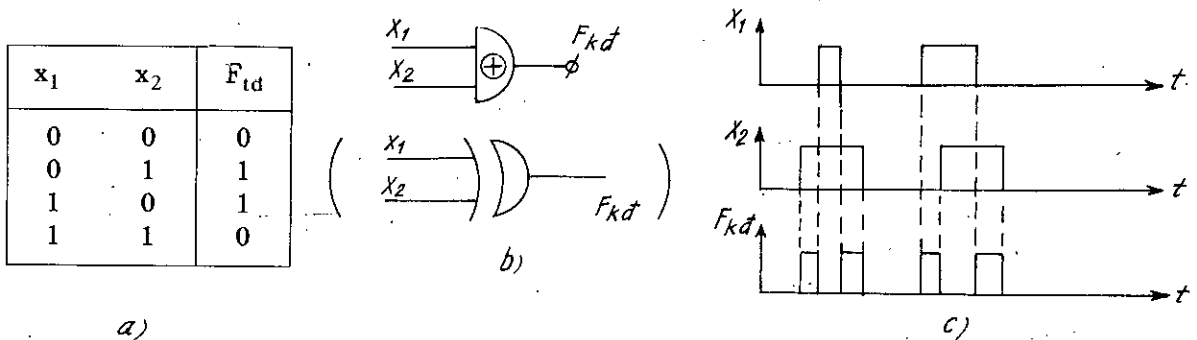
Để dàng nhận xét là

$$\overline{F_{kd}} = F_{td}$$

hay

$$F_{td} = \overline{x_1 \oplus x_2} \quad (3.79)$$

Từ đó có thể xây dựng F_{kd} từ các mạch hình 3.44.



Hình 3.45 : Bảng trạng thái (a), kí hiệu quy ước (b) giản đồ thời gian (c) của bộ cộng modun 2.

Cần lưu ý tới một tính chất khác của phép cộng modun 2 là :

$$\text{Nếu } x_1 \oplus x_2 = x_3 \text{ thì } x_1 \oplus x_3 = x_2 \text{ và } x_2 \oplus x_3 = x_1. \quad (3-80)$$

3.8.3. Phần tử so sánh hai số nhị phân thực hiện thuật toán so sánh hai số nhị phân

$$A_n = (a_n \dots a_1 a_0)_2 \text{ và } B_n = (b_n \dots b_1 b_0)_2$$

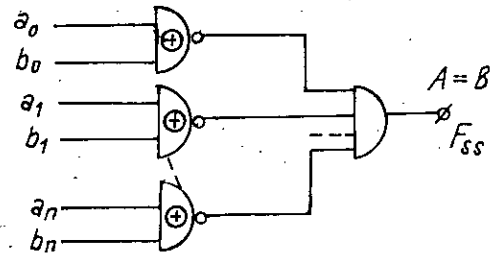
Kết quả so sánh phát hiện ra một trong ba trạng thái có thể xảy ra : $A_n < B_n$ hoặc $A_n = B_n$ hoặc $A_n > B_n$.

a - Phép so sánh bằng nhau

$A = B$ khi tất cả các bit nhị phân tương ứng bằng nhau ($a_j = b_j$). Để so sánh từng bit trong cùng cấp (cùng chỉ số j), người ta dùng một phần tử tương đương hình 3.43, kết quả sau mỗi phép so sánh từng bit tổng hợp lại qua một phần tử AND (3.46).

b- Phép so sánh vận năng hai số 1 bit

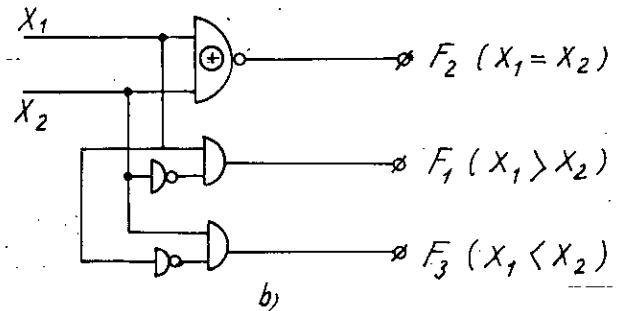
Phần tử so sánh hai số 1 bit có 2 đầu vào biến, 3 đầu ra thực hiện bảng trạng thái hình 3.47 (a) và có sơ đồ cấu trúc cho trên hình 3.47b



Hình 3.46 : Mạch so sánh bằng nhau của hai số nhị phân n bit.
 $F_{ss} = 1$ khi $A = B$; $F_{ss} = 0$ khi $A \neq B$
 (loại IC DM8131 2x6 cửa vào AM25LS2521 2x8 cửa vào).

x_1	x_2	F_1 $x_1 > x_2$	F_2 $x_1 = x_2$	F_3 $x_1 < x_2$
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

a)



b)

Hình 3.47 : Bảng trạng thái (a) và cấu trúc phần tử so sánh vận năng 2 bit (b).

c - So sánh hai số nhị phân nhiều bit A_n với B_n .

Thực hiện phép so sánh theo thuật toán thông thường, bắt đầu với 2 bit nhị phân cấp cao nhất a_n và b_n (dùng cấu trúc 3.47b), nếu kết quả cho $F_{2(n)} = 1 (a_n = b_n)$ thì tiếp tục với 2 bit cấp thấp hơn kế đó (a_{n-1} và b_{n-1})... Nếu kết quả so sánh a_n với b_n cho $F_{1(n)}$ hoặc $F_{3(n)}$ bằng 1 thì đó là kết quả chung của việc so sánh A_n với B_n .

Ví dụ $F_{1(n)} = 1$ thì $A_n > B_n$

$$F_{3(n)} = 1 \text{ thì } A_n < B_n \quad (3-81)$$

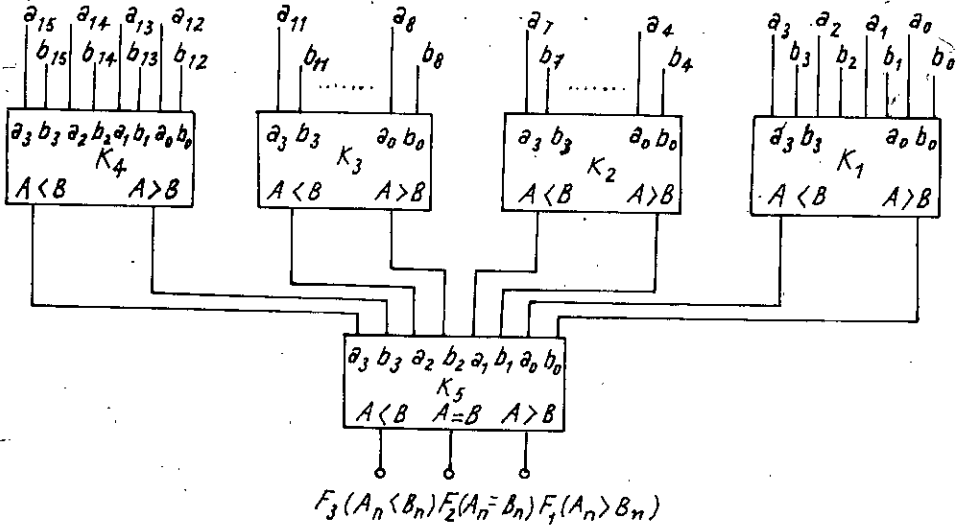
Kết luận của hệ thức (3-81) đúng với mọi chỉ số bit tại đó xảy ra kết quả so sánh là hơn kém (ví dụ tới bit thứ i có $F_{1(i)}$ hoặc $F_{3(i)}$ bằng 1), tất nhiên điều này thì xảy ra sau khi tất cả các kết quả so sánh ở các bit cao hơn là $F_2 = 1$.

Dựa vào nhận xét trên với A_n và B_n nhiều bit, việc so sánh thực hiện có thể theo hai cách :

- Tuân tự từ cặp (a_n, b_n) tới cặp (a_0, b_0) (kiểu nối tiếp).
- Đồng thời với từng nhóm 4 bit (kiểu song song - nối tiếp).

Phương pháp sau cho tốc độ nhanh hơn nên được dùng phổ biến trong thực tế, với các IC 4 bit chế tạo sẵn (SN7485 hay MC14585...). Hình 3.48 đưa ra cấu trúc bộ so sánh 2 số nhị phân 16 bit theo phương pháp song song - nối tiếp.

Các bit tương ứng được chia thành 4 nhóm 4 bit được đưa vào so sánh đồng thời trong các bộ so sánh $K_1 \div K_4$. Các kết quả được tiếp tục đưa tới bộ so sánh K_5 . Tại đầu ra K_5 sẽ nhận được kết quả chung tùy theo giá trị các hàm F_1, F_2 hay F_3 .



Hình 3.48 : Cấu trúc bộ so sánh 16 bit kiểu song song trên cơ sở các IC so sánh loại 4 bit.

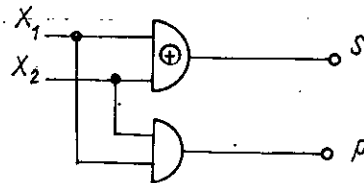
3.8.4. Phần tử nửa tổng : là mạch logic 2 đầu vào biến, 2 đầu ra thực hiện hệ hàm ra :

$$\begin{cases} S = x_1 \oplus x_2 \\ P = x_1 \cdot x_2 \end{cases} \quad (3-82)$$

Bảng trạng thái và mạch thực hiện hàm nửa tổng cho trên hình 3.49

x_1	x_2	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

a)



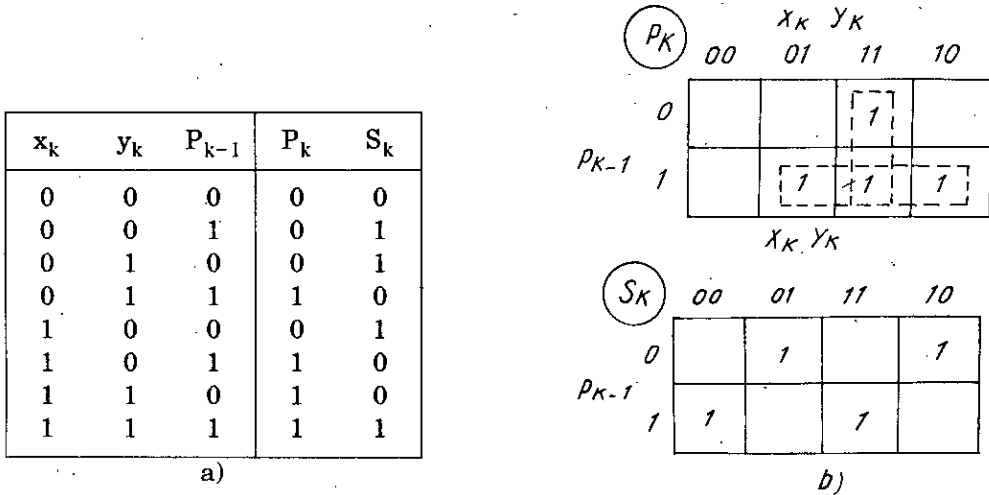
b)

Hình 3.49 : Bảng trạng thái (a) cấu trúc (b) của phần tử nửa tổng.

Cấu tạo gồm 1 phần tử cộng modun 2 và 1 phần tử AND với ý nghĩa là bổ sung phép cộng có nhớ sang bậc cao hơn.

3.8.5. Phần tử tổng toàn phần gồm 3 đầu vào (2 đầu vào biến và 1 đầu nhớ của nhịp trước tới) và 2 đầu ra (thực hiện cộng modun 2 và có nhớ cho nhịp sau)

• Bảng trạng thái của bộ tổng nhịp thứ k, bìa cacno biểu diễn các hàm ra cho ở hình 3.50.

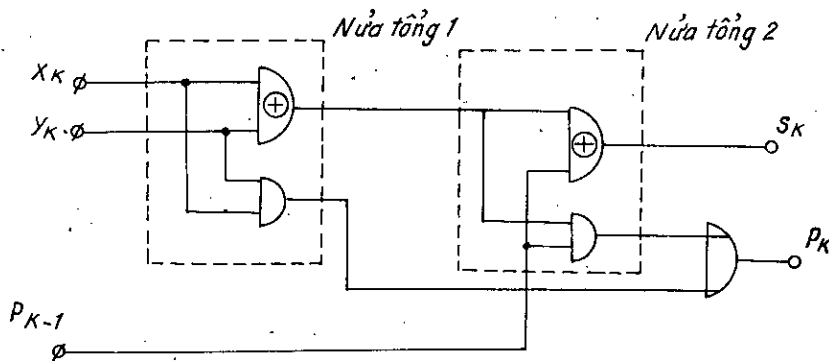


Hình 3.50 : Bảng trạng thái (a) và bìa cacno (b) của bộ tổng đầy đủ (nhịp thứ k).

Từ các bìa cacno hình 3.50b, sau khi đã tối thiểu hàm P_k và thực hiện vài phép biến đổi đơn giản, hệ phương trình hàm ra rút gọn có dạng :

$$\begin{cases} S^k = [x_k \oplus y_k] \oplus p_{k-1} \\ P^k = x_k y_k + [y_k \oplus y_k] \cdot P_{k-1} \end{cases} \quad (3-83)$$

Từ (3-83) có thể xây dựng cấu trúc phần tử tổng đầy đủ từ hai phần tử nửa tổng bổ sung thêm phần tử OR (h.3.51)



Hình 3.51 : Bộ tổng đầy đủ cấu trúc từ hai phần tử nửa tổng.

3.9. MỘT HỆ LOGIC THÔNG DỤNG

3.9.1. Các trigơ số

Trigơ số là cấu trúc có hai trạng thái ổn định bên dựa trên việc gộp hai phần tử NAND hoặc hai phần tử NOR trong các vùng phản hồi kín (3.52a và b). Các cấu trúc dạng 3.52 (a) và (b) còn gọi là các trigơ RS không đồng bộ, là dạng cơ bản nhất để từ đó tạo nên các trigơ số phức tạp hơn sẽ được giới thiệu lần lượt trong phần này.

a - Trigơ RS

- Xuất phát từ các cấu trúc hình 3.52 a và b phương trình cho xác định hệ các hàm ra có dạng tương ứng là :

Với mạch hình 3.52a có

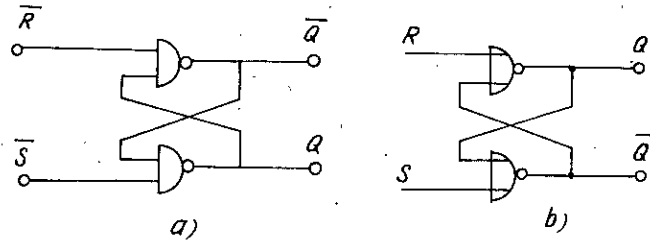
$$\begin{aligned} \bar{Q} &= \bar{R} \cdot Q \\ Q &= \bar{S} \cdot \bar{Q} \end{aligned} \quad (3-84)$$

Với mạch hình 3.52b có

$$\begin{aligned} \bar{Q} &= S + \bar{Q} \\ Q &= \bar{R} + \bar{Q} \end{aligned} \quad (3-85)$$

Để các hệ thức (3-84) và (3-85) đơn trị (nghĩa là chỉ có hai trạng thái đầu ra ổn định với $Q=1$ $\bar{Q}=0$ hay $Q=0$ $\bar{Q}=1$) cần có điều kiện cấm trạng thái vào $S=R=1$. Có thể viết điều kiện cấm dưới dạng khác là

$$S \cdot R = 0 \quad (3-86)$$



Hình 3.52 : Trigơ RS không đồng bộ

- Cấu trúc từ NAND (a) và bảng trạng thái của nó (c)
- Cấu trúc từ NOR (b) và bảng trạng thái tương ứng của nó (d).

\bar{S}_n	\bar{R}_n	Q_{n+1}
0	0	cấm
0	1	1
1	0	0
1	1	Q_n

S_n	R_n	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	cấm

c)

d)

Từ các hệ thức vừa nêu trên, có thể viết các bảng trạng thái hình 3.52c cho mạch 3.52a và bảng hình 3.52d cho mạch hình 3.52b. Nếu để ý đến bảng 3.52 c, hệ (3.84) kết hợp với điều kiện (3-86) có thể viết lại như sau

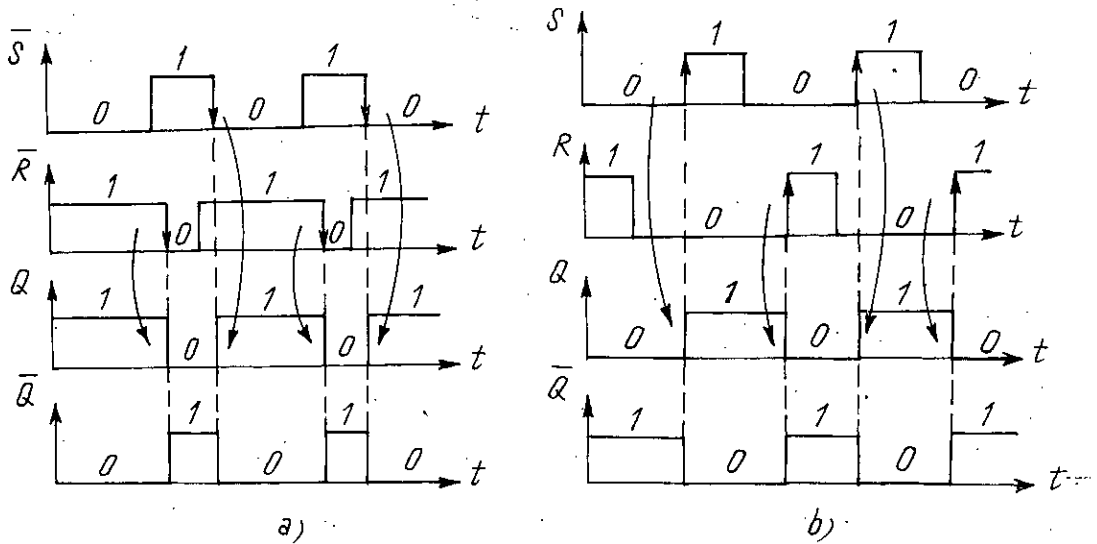
$$\begin{aligned} Q_{n+1} &= Q_n \cdot \bar{R}_n \cdot \bar{S}_n + \bar{R}_n S_n \\ 0 &= R_n \cdot S_n \end{aligned} \quad (3-87)$$

Cộng từng vế (3-87) và sau khi biến đổi đơn giản, sẽ nhận được phương trình đặc tính của Trigơ RS dạng :

$$Q_{n+1} = [S + \bar{R}Q] \quad (3-88)$$

Hệ thức (3-88) cho xác định sự phụ thuộc của trạng thái tương lai ở lối ra (Q_{n+1}) vào trạng thái ra ở hiện tại (Q_n) và những giá trị xác định khác nhau của các biến lối vào R và S. Đầu vào R được gọi là đầu vào xóa (Reset), đầu vào S - thiết lập (Set).

- Có thể minh họa hoạt động của các trigơ RS hình 3.52a và b bằng giản đồ điện áp xung tương ứng hình 3.53 a và b.



Hình 3.53 : Giản đồ điện áp tín hiệu xung minh họa hoạt động của trigơ RS không đồng bộ có cấu trúc từ NAND (a) và từ NOR (b).

Với giả thiết trên hình 3.53 a và b, các xung S và R (\bar{S} , \bar{R} là cho trước, từ hệ thức (3-87) hay từ các bảng trạng thái 3.52c và d sẽ nhận được các xung Q và \bar{Q} ở đầu ra như trên hình 3.53 tương ứng. Qua đó rút ra một nhận xét quan trọng đối với hai loại trigơ RS có cấu trúc từ các phần tử NAND và từ các phần tử NOR là :

- Với mạch hình 3.52a trạng thái đầu ra Q hoặc \bar{Q} chỉ thay đổi ứng với lúc các biến vào \bar{S} hoặc \bar{R} chuyển từ trị "1" về trị "0". Ta gọi đó là loại trigơ chỉ phản ứng (lật) với các sườn âm (đi xuống) của xung tín hiệu đặt tới lối vào.

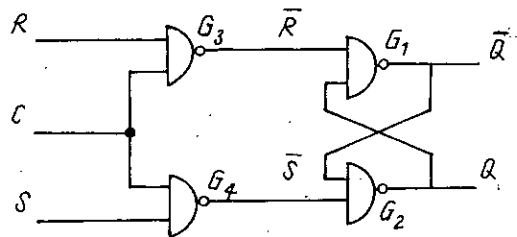
- Với mạch hình 3.52b : Q, \bar{Q} chỉ thay đổi giá trị khi các biến vào S hoặc R đổi giá trị từ "0" lên "1". Ta gọi đó là loại trigơ chỉ lật với các sườn dương (đi lên) của xung vào.

- Trigơ RS loại đồng bộ :

- Trigơ RS dùng để nhớ thông tin nhị phân, thường người ta muốn trigơ chỉ phản ứng với tín hiệu vào ở những lúc xác định. Các thời điểm này được xác định nhờ một tín hiệu vào phụ gọi là tín hiệu đồng bộ C. Mạch hình 3.54 là dạng trigơ RS đồng bộ tĩnh với đặc điểm có thêm các cửa vào phụ G_3, G_4 điều khiển nhờ tín hiệu đồng bộ C. Khi $C = 0$ thì $\bar{R} = \bar{S} = 1$, theo bảng 3.52 c trigơ nhớ trạng thái trước đó. Khi $C = 1$ mạch hoạt động như một trigơ RS không đồng bộ thông thường đã nói trên, dạng hình 3.52a.

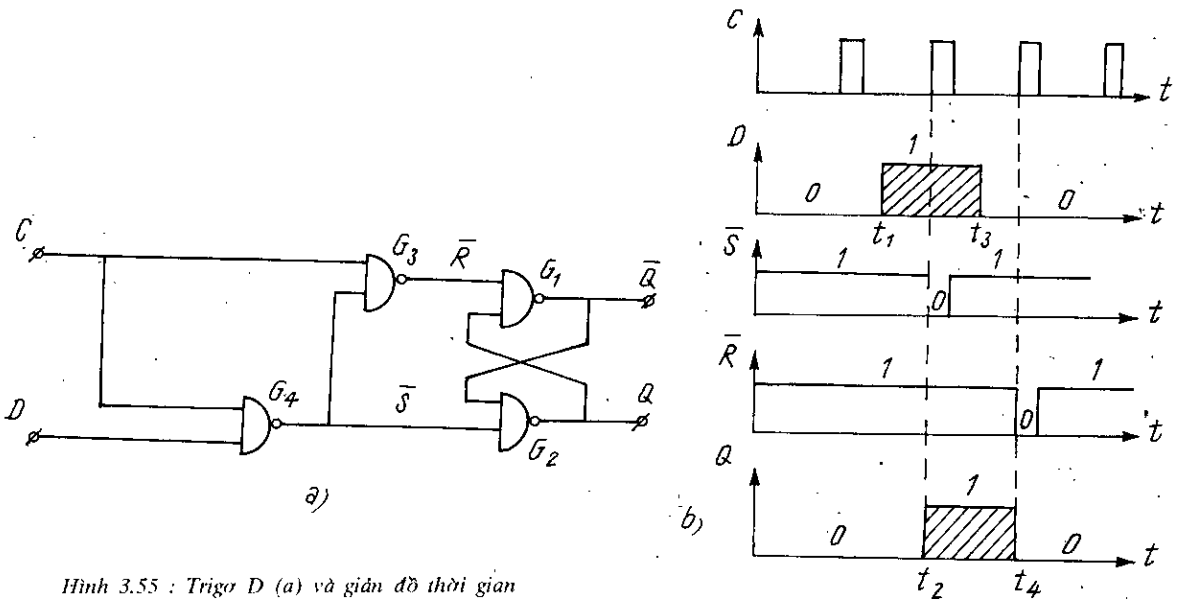
b - Trigơ D (Delay) có 1 đầu vào tín hiệu, 1 đầu ra, thực hiện việc làm trễ thông tin đi một nhịp (của tín hiệu đồng bộ C) :

$$Q^{n+1} = D^n \quad (3-89)$$



Hình 3.54 : R.S trigơ đồng bộ tĩnh.

Hình 3.55 đưa ra sơ đồ cấu trúc của trigơ D và giản đồ thời gian minh họa nguyên lí làm việc của nó.

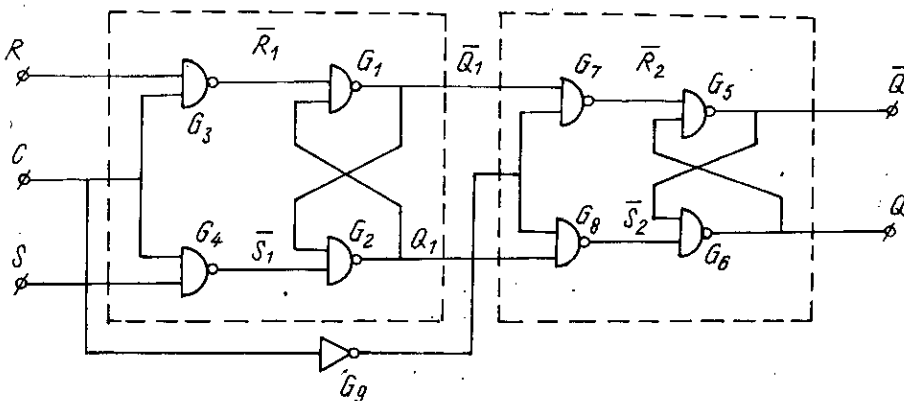


Hình 3.55 : Trigo D (a) và giản đồ thời gian minh họa hoạt động của nó (b).

Ta có nhận xét qua đồ thị hình 3.55 b là nhờ tác dụng nhịp của dãy xung đồng bộ C, thời gian có xung vào cửa D ($t_1 \div t_3$) bị trễ tới khoảng ($t_2 \div t_4$) với độ rộng bằng chu kì nhịp C quyết định. Cũng có khi người ta dùng hai nhịp điều khiển trigơ (c_1 và c_2), xung c_1 xuất hiện trước điều khiển việc ghi tín hiệu D vào trigơ, xung c_2 xuất hiện sau điều khiển việc lấy tín hiệu từ trigơ ra (đọc), muốn vậy, hai dãy xung c_1 và c_2 phải có pha ngược nhau [6].

c - Trigo chính - phụ (MS-trigo)

Thông thường để tránh ảnh hưởng của nhiễu, tăng độ tin cậy trong việc ghi, đọc thông tin, từ RS trigơ, người ta xây dựng các MS-trigo bằng cách ghép 2 trigơ RS đồng bộ liên tiếp nhau (h.3.56). Khi đó việc ghi thông tin chỉ xảy ra khi lối ra đã bị khóa và ngược lại việc đọc thông tin chỉ xảy ra lúc lối vào đã bị khóa.



Hình 3.56 : MS - Trigo cấu trúc từ các phần tử NAND.

ơ sở để tạo ra các bộ đếm có môđun bất kỳ và số lượng xung đếm được trong bộ đếm tính trong hệ đếm nhị phân.

a - Các bộ đếm nhị phân.

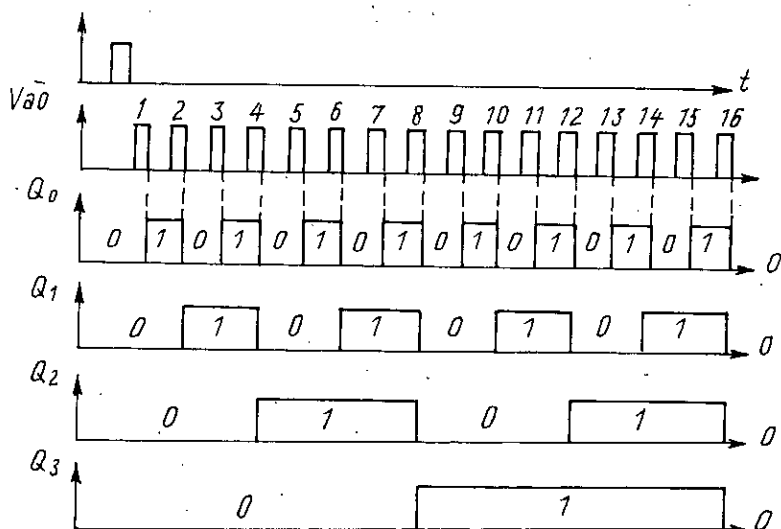
Nếu ghép liên tiếp N trigơ đếm hình 3.58, ta sẽ nhận được một bộ đếm nhị phân có môđun đếm là 2^N hay dung lượng đếm (số xung tối đa bộ đếm có thể đếm được) là $2^N - 1$. Tuy nhiên, thực tế người ta chỉ sử dụng cách ghép với $N=4$ (vì nhiều lý do công nghệ và kỹ thuật khác nhau), đặc biệt nếu biểu diễn số dưới dạng mã BCD (nhị thập phân) thì phương pháp ghép này tạo nên một decac đếm cơ sở, cho phép đếm một số lượng xung bất kỳ bằng cách phối ghép thích hợp. Với $N=4$ (môđun đếm là $2^4=16$ với dung lượng đếm là 15 xung), ta có bảng trạng thái của bộ đếm cho trên bảng 3.8 và giản đồ thời gian minh họa các trạng thái đầu ra của các trigơ đếm cho trên hình 3.61.

Từ bảng trạng thái 3.8 ta có hai nhận xét quan trọng sau đối với các bộ đếm cộng xung:

1/ Trạng thái của một trigơ bất kỳ sẽ chỉ chuyển khi trigơ cấp thấp hơn kế nó chuyển trạng thái từ giá trị "1" về giá trị "0".

2/ Trạng thái của một trigơ bất kỳ sẽ chỉ chuyển khi tất cả các trigơ ở cấp thấp hơn nó đã ở trạng thái giá trị 1.

• Nhận xét đầu cho phép ta xây dựng các bộ đếm không đồng bộ (kiểu nối tiếp), còn nhận xét sau cho phép ta xây dựng các bộ đếm kiểu đồng bộ (song song) với các đặc điểm kết cấu và tính chất khác nhau. Với các bộ đếm lùi (trừ xung) các nhận xét trên sẽ ngược lại.



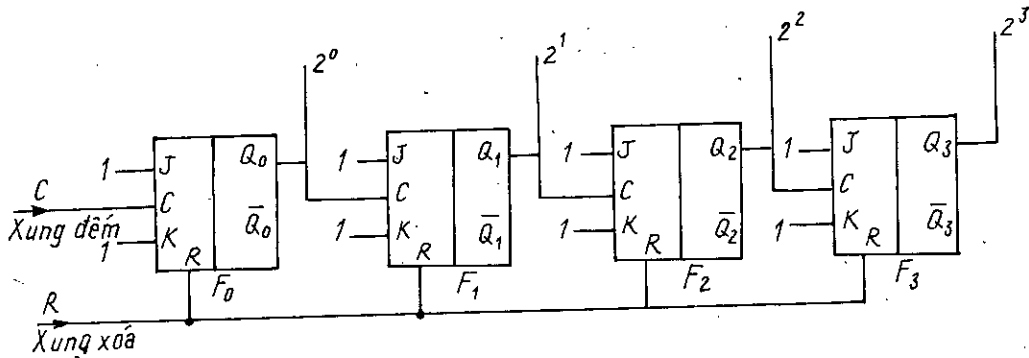
Hình 3.61 : Giản đồ thời gian minh họa hoạt động của bộ đếm nhị phân môđun 16 (lập với sườn âm).

Bảng 3.8 : Bảng trạng thái các trigơ đếm của bộ đếm nhị phân môđun 16

Số xung vào	Trạng thái trigơ đếm			
	(2^3)	(2^2)	(2^1)	(2^0)
	F ₃	F ₂	F ₁	F ₀
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0

- Bộ đếm nhị phân kiểu nối tiếp (không đồng bộ)

Hình 3.62 đưa ra cấu trúc của bộ đếm nhị phân mô-đun 16 kiểu nối tiếp dùng các trigơ JK dạng MS $F_0 \div F_3$ (cấu tạo từ phân tử NAND) nối thành trigơ đếm, thực hiện chức năng của bảng 3.8.



Hình 3.62 : Bộ đếm nhị phân không đồng bộ (nối tiếp) môđun 16 dùng 4 trigơ JK loại MS nối kiểu trigơ đếm. IC loại SN7493 (4bit) SN74393 (8 bit).

Các đặc điểm chính của bộ đếm hình 3.62 là :

1/ Xung cần đếm đưa vào tuần tự tại lối vào đồng bộ (cửa C) của trigơ đầu tiên F_0 . Các trigơ cấp cao hơn tiếp sau có cửa vào C nối với cửa ra Q của trigơ cấp thấp kế nó.

2/ Xung xóa R phải xuất hiện trước dãy xung đếm để thiết lập trạng thái ban đầu $Q_0=Q_1=Q_2=Q_3=0$

3/ Các trigơ $F_0 \div F_3$ sẽ thay đổi trạng thái của mình khi tín hiệu đưa vào cửa c của nó chuyển từ giá trị "1" về giá trị "0", muốn vậy ở tất cả các trigơ đếm cần có $J=K=1$

4/ Nếu dùng $F_0 \div F_3$ là loại trigơ lật theo sườn dương ($0 \rightarrow 1$) của xung đếm (loại cấu tạo từ phân tử NOR) cấu trúc hình 3.62 cho ta bộ đếm lùi (trừ số xung). Muốn thực hiện đếm tiến trong trường hợp này cần nối các đầu ra \bar{Q}_i tới lối vào C_{i+1} của trigơ tiếp sau.

5/ Mỗi ô trigơ F_i thực hiện việc chia đôi tần số của dãy xung vào.

6/ Để tăng dung lượng đếm, cần tăng số trigơ, khi sử dụng N trigơ sẽ đếm được tối đa $2^N - 1$ xung. Tuy nhiên có hiện tượng trễ tích lũy giữa dãy xung vào và dãy xung ra làm giảm khả năng đếm nhanh của bộ đếm khi tăng dần N.

- Bộ đếm nhị phân kiểu song song (đồng bộ):

Trên hình 3.63 đưa ra cấu trúc bộ đếm nhị phân đồng bộ 4 bit dùng các trigơ JK loại MS ($F_0 \div F_3$).

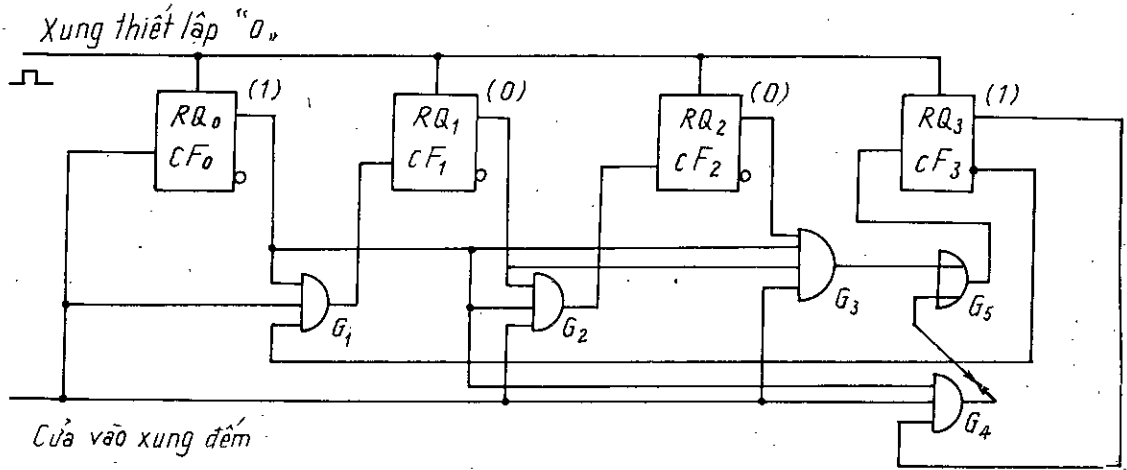
Các đặc điểm chính của bộ đếm đồng bộ hình 3.63 là :

1/ Ở bộ đếm nối tiếp xung đếm chỉ đưa tới lối vào nhịp của F_0 nên có hiện tượng trễ tích lũy với các trigơ phía sau và yêu cầu chu kỳ xung đếm $T_d > \sum \tau_{trễ}$ của các trigơ ; hạn chế tác động nhanh của mạch. Ở bộ đếm song song, các xung đếm được đưa đồng thời tới các cửa vào nhịp của các trigơ, các lối vào JK được dùng để điều khiển quá trình lật của mỗi trigơ theo trình tự như bảng 3.68 đã đưa ra. Nhờ vậy thời gian trễ chung chỉ bằng thời gian trễ của 1 trigơ gây ra.

Để đảm bảo khi có xung hàng chục đưa tới đầu vào bộ đếm quay lại trạng thái ban đầu (xung thứ 10) cần có các mạch logic phụ đưa hồi tiếp làm thay đổi trạng thái của một hoặc vài trigơ (ví dụ : đáng lẽ $Q_1 = Q_3 = 1$ thì phải có $Q_1 = Q_3 = 0$ khi có xung thứ 10).

Có nhiều phương pháp thực hiện bảng trạng thái trên (ví dụ dùng các trigơ JK ghép nối tiếp hoặc các trigơ JK ghép song song...)

- Hình 3.66 nêu ra một phương án tạo bộ đếm BCD bằng cách dùng thêm các cửa logic phụ.



Hình 3.66 : Bộ đếm môđun 10 dùng trigơ đếm kết hợp với các cửa logic phụ.

Các cửa logic $G_1G_2G_3G_4G_5$ khóa cho tới hết xung thứ 9 của dãy xung đếm đưa tới cửa nhịp, lúc đó trạng thái ra của trigơ đếm là $Q_3 = 1, Q_2 = 0, Q_1 = 0, Q_0 = 1$ tới xung thứ 10 $Q_0 = 0$

$G_1G_2G_3$ khóa nếu $Q_1 = Q_2 = 0$ (giữ nguyên trạng thái cũ) G_4G_5 mở cửa xung nhịp tới đầu vào F_3 làm chuyển trạng thái $Q_3 = 0$

- Khi dùng trigơ JK làm các ô đếm sẽ giảm được các cửa logic phụ nhờ việc dùng các cửa J điều khiển trạng thái của chúng, chỉ cần lưu ý lúc đó cho $K = 1 = \text{const}$ nên nếu $J = 1$ chúng làm việc như một trigơ đếm thông thường, còn nếu $J = 0 (= \bar{K})$ thì nếu có xung nhịp tiếp theo theo bảng 3.7b trạng thái của trigơ được bảo toàn ở $Q = 9$. Ta hãy xét cụ thể trong ví dụ hình 3.67 với bộ đếm BCD 4 bit dùng các trigơ JK kiểu ghép nối tiếp.

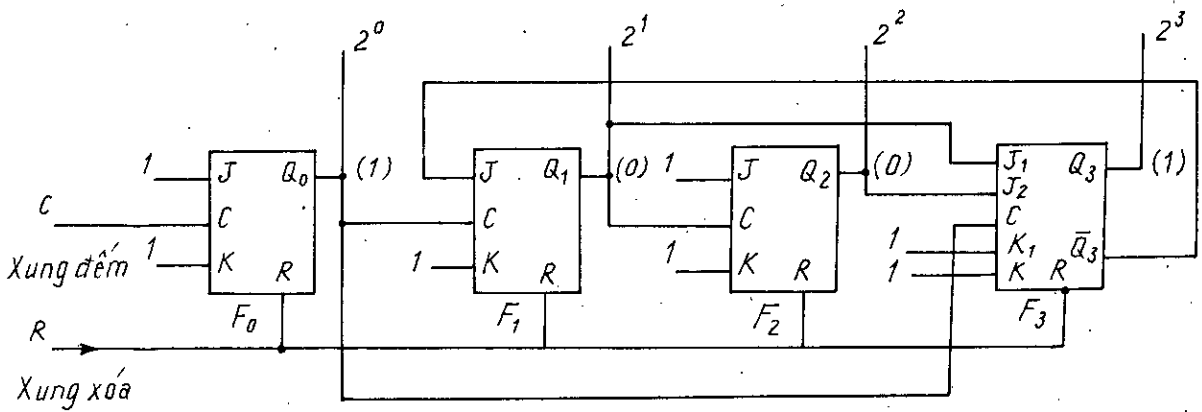
Hình 3.67 đưa ra một phương pháp khác tổ chức bộ đếm BCD 4 bit dựa trên cấu trúc hình 3.62 có kết hợp thêm mạch nối tiếp $J = \bar{Q}_3$ đối với F_1 và $J_1 = Q_1, J_2 = Q_2, C = Q_0$ đối với F_3 . Khi đó tới lúc có xung thứ 10 bộ đếm trở về trạng thái ban đầu :

$$Q_1 = 0 \text{ do } J = 0 \text{ và } K = 1$$

$$Q_0 = 0 \text{ do } J = K = 1 \text{ và } C = 1 \text{ (xung thứ 10)}$$

$$Q_2 = 0 \text{ do } Q_1 = 0 = C \text{ và } J = K = 1$$

$$Q_3 = 0 \text{ do } J_1 = J_2 = 0 \quad k_1 = k_2 = 1$$



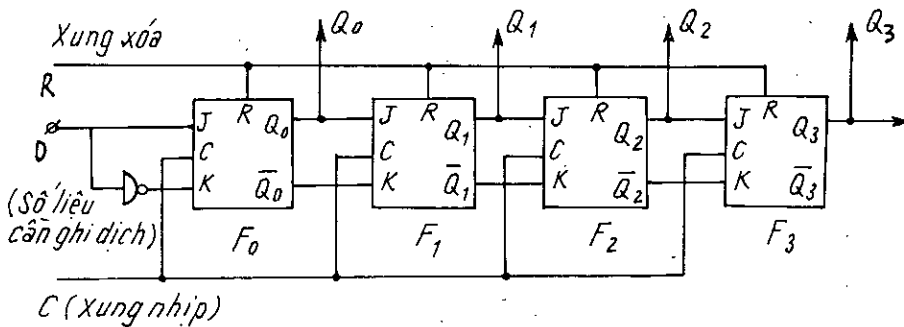
Hình 3.67 : Bộ đếm nhị - thập phân (BCD) 4 bit dùng các trigơ JK kiểu nối tiếp, (ICSN7490).

Hoàn toàn tương tự, có thể xây dựng cấu trúc bộ đếm BCD 4 bit từ mạch hình 3.63 với bộ đếm nhị phân kiểu đồng bộ [6].

3.9.3. Bộ ghi dịch

• Các thông tin nhị phân có thể tồn trữ nhờ các trigơ có vai trò như một ô nhớ số nhị phân. Dấu nối tiếp nhiều trigơ D, (h.3.68), ta nhận được một bộ ghi dịch : mỗi khi có xung nhịp đặt vào cửa nhịp, thông tin vào cửa D sẽ được dịch từ một ô sang ô tiếp theo từ F_c tới F_1 , đây là phương pháp ghi nối tiếp thông tin vào các ô nhớ.

Bộ ghi dịch 4 bit nhị phân với khả năng ghi và nhớ 4 bit thông tin cấu tạo từ 4 trigơ JK nối kiểu trigơ D được cho trên hình 3.68. Có 2 khả năng lấy thông tin ra khỏi bộ ghi dịch : Lấy ra đồng thời ở $Q_0 \div Q_3$ (kiểu song song) sau 4 nhịp ghi nối tiếp hoặc lấy ra lần lượt tại Q_3 các thông tin vào trước đó 4 nhịp.



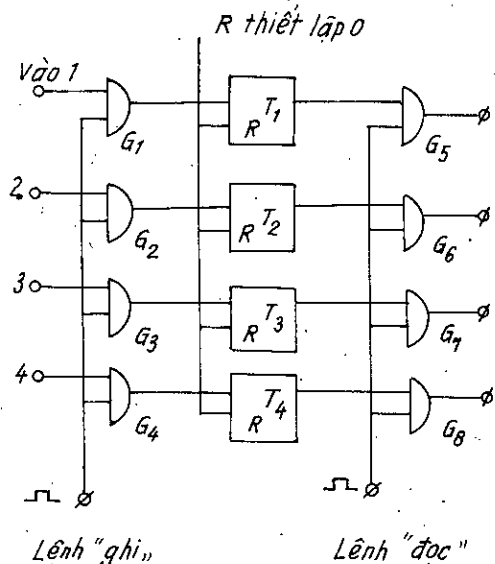
Hình 3.68 : Bộ ghi dịch đưa vào nối tiếp dùng trigơ JK nối kiểu trigơ D (IC SN74164)

Ngoài ra còn cách ghi song song (đồng thời) vào các ô nhớ như sơ đồ hình 3.69.

Các cửa logic $G_1 \div G_4$ để điều khiển việc đưa thông tin vào bộ ghi khi có lệnh (xung) ghi.

Các cửa logic $G_5 \div G_8$ để điều khiển việc đọc thông tin từ bộ ghi khi có lệnh đọc.

Các thao tác ghi - đọc đều thực hiện đồng thời với 4 bit thông tin. Loại cấu trúc hình 3.69 không cho phép dịch thông tin giữa các ô nhớ trên cả thanh ghi 4 bit.



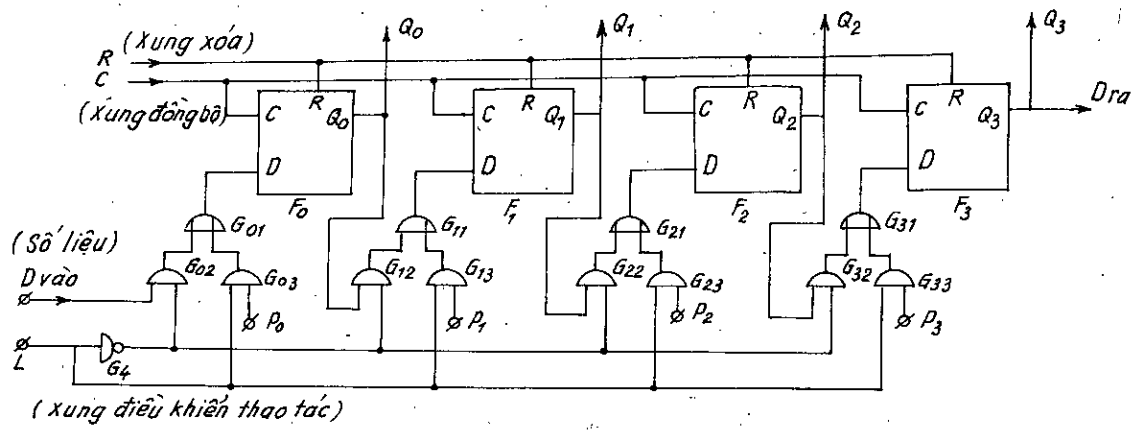
Bảng 3.10 : Trang thái ra của bộ ghi dịch 4 bit hình 3.68 theo trật tự xung nhịp.

Nhịp	Q ₀	Q ₁	Q ₂	Q ₃
0	0	0	0	0
1	D ₁	0	0	0
2	D ₂	D ₁	0	0
3	D ₃	D ₂	D ₁	0
4	D ₄	D ₃	D ₂	D ₁
5	D ₅	D ₄	D ₃	D ₂
6	D ₆	D ₅	D ₄	D ₃
7	D ₇	D ₆	D ₅	D ₄

Hình 3.69 : Bộ ghi cấu trúc vào - ra song song (4 bit).

• Người ta còn kết hợp phương pháp nối tiếp và song song trong một bộ ghi dịch để sử dụng linh hoạt các ưu thế của mỗi cách đồng thời tạo khả năng chuyển từ một dãy thông tin nối tiếp thành dạng song song hoặc ngược lại. Hình 3.70a đưa ra cấu trúc 1 bộ ghi dịch 4 bit kiểu này (IC SN74179) sử dụng 4 trigơ D kết hợp với các cửa logic phụ.

Số liệu đưa vào bộ ghi dịch (h.3.70a) có thể tuần tự (kiểu nối tiếp) ở đầu D vào hay kiểu đồng thời ở các đầu p₀ + p₃ tùy theo xung điều khiển L và xung nhịp C. Khi L = 0 thì với việc có xung nhịp C, thông tin D sẽ được dịch phải 1 bit hướng F₀ → F₃. Lúc L = 1 thì khi có xung nhịp C, thông tin P₀ ÷ P₃ sẽ được đưa đồng thời vào F₀ ÷ F₃ nhờ nhóm các cổng logic G₀, G₁, G₂ và G₃. Việc lấy số liệu ra cũng có thể đồng thời cả 4 bit trên các lối ra Q₀ ÷ Q₃ hay tuần tự trên lối D_{ra} kiểu vào trước ra trước sau 4 nhịp của C.



Hình 3.70a

Kết cấu kiểu hình 3.70a cho phép sử dụng linh hoạt và khai thác hết các ưu điểm của mỗi phương pháp ghi dịch kiểu tuần tự hay đồng thời.

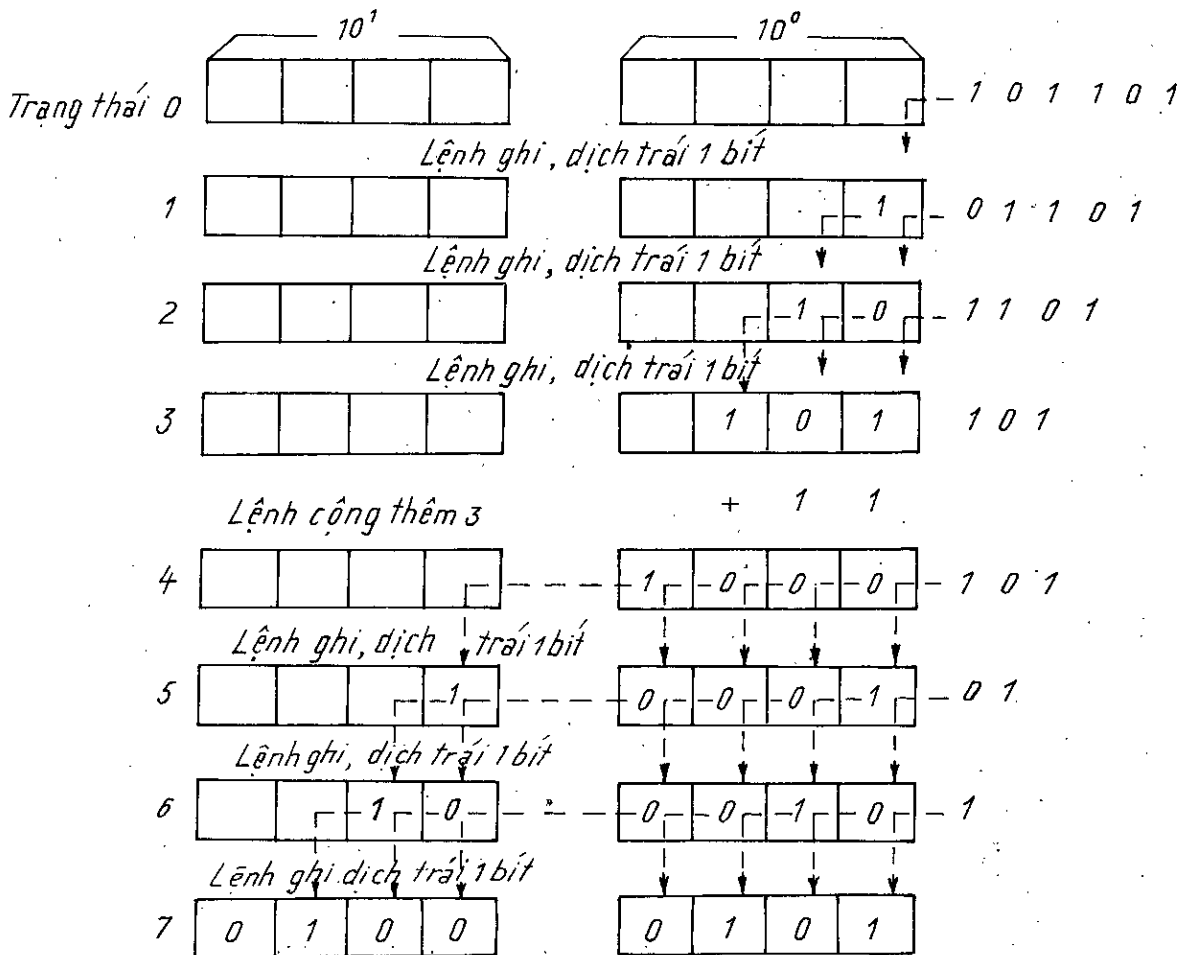
3.9.4. Bộ biến đổi mã và giải mã

Các bộ biến đổi mã thực hiện việc chuyển đổi cách biểu diễn của một số nhị phân ở dạng này sang dạng khác nhờ đó quá trình gia công xử lý, ghi nhớ hay hiển thị kết quả thông tin được thuận lợi hơn. Trong phần này sẽ đề cập tới một số dạng biến đổi và giải mã điển hình nhất.

a - Bộ biến đổi mã nhị phân - mã thập phân (8421 - BCD)

Các số nhị phân lớn hơn 2^4 có độ dài (số bit) lớn hơn 4 thường khó đọc. Theo thói quen thập phân thông thường, người ta dùng mã nhị - thập phân (BCD) trong đó mỗi số thập phân riêng rẽ được biểu diễn nhị phân bằng một từ có độ dài 4 bit gọi là 1 decac. Như vậy một số thập phân hàng chục bao gồm 1 decac có độ dài tổng cộng 8 bit, hàng trăm gồm 3 decac có độ dài 12 bit...

Bảng 3.11 : Trạng thái của các trigơ (các bit) của bộ ghi dịch qua 7 nhịp xung điều khiển thực hiện phép biến đổi mã $(101101)_2 \rightarrow (0100\ 0101)_{BCD}$.



Ví dụ các số thập phân : $(45)_{10}$ gồm 2 decac ; $(218)_{10}$: 3 decac có thể biểu diễn theo mã BCD là :

0100	0101 ;	0010	0001	1000
$4 \cdot 10^1$	$5 \cdot 10^0$	$2 \cdot 10^2$	$1 \cdot 10^1$	$8 \cdot 10^0$

Biểu diễn nhị phân thuận túy của số $(45)_{10}$ là $(101101)_2$. Bộ đổi mã nhị phân sang mã thập phân có nhiệm vụ thực hiện chuyển kí hiệu ví dụ : từ số 101101 ở biểu diễn nhị phân của 45 sang 01000101 là biểu diễn của 45 ở hệ thập phân có thể dùng các bộ ghi dịch đã xét ở 3.93 để thực hiện việc biến đổi mã này với các nhận xét sau đối với các cấp biểu diễn của các số thập phân và nhị phân :

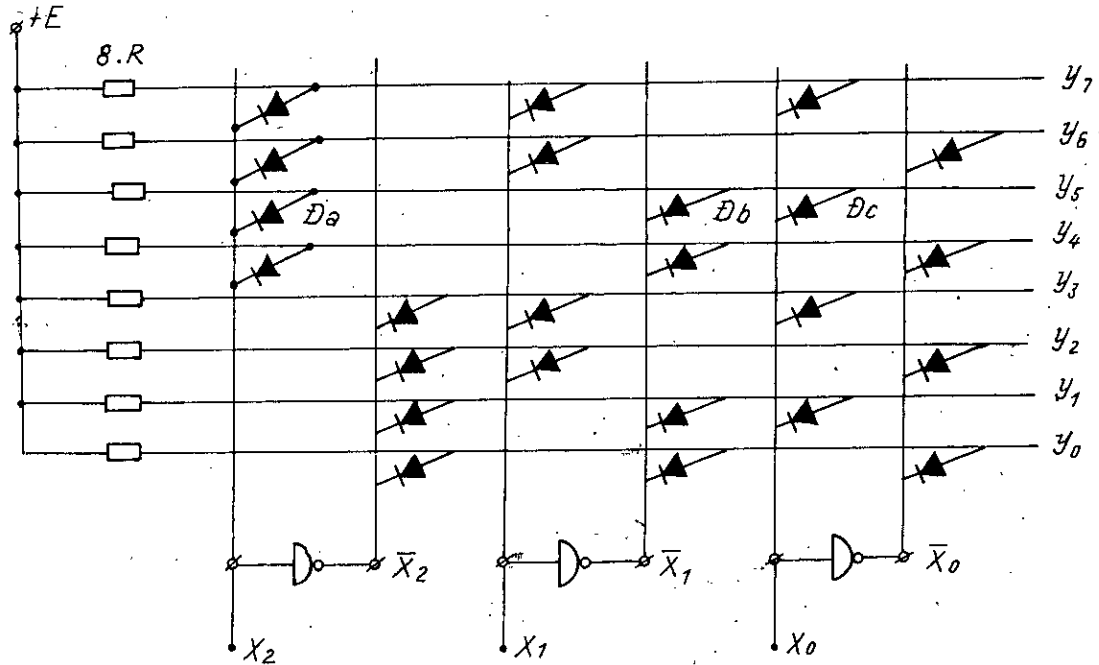
- Dịch 1 bit từ phải sang trái trong 1 decac tương đương với phép nhân với 2^1 trong hệ thập phân.

- Dịch 1 bit từ phải qua trái giữa 2 decac (2 nhóm) tương đương với một phép cộng thêm 2 trong hệ thập phân ($8 \rightarrow 10$). Đặc điểm này trong hệ thập phân tương đương với thêm 6 vào số nhị phân sau khi dịch hay thêm 3 vào nó trước khi dịch.

- Để loại trừ khả năng xuất hiện trong 1 decac số lớn hơn 9, việc cộng thêm 3 trước khi chuyển 1 số qua decac cao được tiến hành sớm hơn khi số trong decac thấp không quá $(5)_{10}$ hay $(0101)_{BCD}$.

Ta làm rõ các thao tác trên qua ví dụ sau với $(N)_{10} = (45)_{10}$

$$N = (45)_{10} = 1 \cdot 2^5 + 0 \cdot 2^4 + 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = (101101)_2$$



Hình 3.70b : Bộ giải mã 1 từ 8 cấu trúc kiểu ma vận diốt điện trở.

Kết quả sau 7 nhíp điều khiển thể hiện qua bảng 3.11 đối với trạng thái của các trigơ trong bộ ghi dịch số $(45)_{10} = (101101)_2$ đã được ghi vào thanh ghi dịch 8 bit với 4 bit già thể hiện decac hàng chục và 4 bit trẻ thể hiện decac hàng đơn vị $(45)_{10} \approx (0100\ 0101)_{BCD}$ là biểu diễn của nó trong hệ nhị-thập phân.

b - Bộ biến đổi mã nhị phân sang mã "1 từ n"

- Mã "1 từ n" cho tương ứng đơn trị mỗi số thập phân M từ 0 tới $(n - 1)$ với 1 hàm logic ở dạng một mintec là biểu diễn của M trong hệ đếm nhị phân. Các trạng thái ra của bộ biến đổi mã nhị phân 8421 sang mã "1 từ 16" được cho trên bảng (3.12).

Bảng 3.12 : Trạng thái của bộ giải mã 8421 - "1 từ 16"

M	2 ³	2 ²	2 ¹	2 ⁰	y ₀	y ₁	y ₂	y ₃	y ₄	y ₅	y ₆	y ₇	y ₈	y ₉	y ₁₀	y ₁₁	y ₁₂	y ₁₃	y ₁₄	y ₁₅	
	x ₃	x ₂	x ₁	x ₀																	
0	0	0	0	0	1																
1	0	0	0	1		1															
2	0	0	1	0			1														
3	0	0	1	1				1													
4	0	1	0	0					1												
5	0	1	0	1						1											
6	0	1	1	0							1										
7	0	1	1	1								1									
8	1	0	0	0									1								
9	1	0	0	1										1							
10	1	0	1	0											1						
11	1	0	1	1												1					
12	1	1	0	0													1				
13	1	1	0	1														1			
14	1	1	1	0															1		
15	1	1	1	1																1	

• Từ bảng (3.12) có thể viết hệ các hàm ra $y_0 \div y_{15}$ dạng

$$\left. \begin{aligned} y_0 &= \overline{x_3} \overline{x_2} \overline{x_1} \overline{x_0} & y_{14} &= x_3 x_2 x_1 \overline{x_0} \\ y_1 &= \overline{x_3} x_2 \overline{x_1} x_0 & y_{15} &= x_3 x_2 x_1 x_0 \end{aligned} \right\} \quad (3-93)$$

- Có thể thực hiện các hàm (3-93) bằng một ma trận các diốt điện trở cấu trúc kiểu chữ nhật, hình thang hay hình tháp [3]. Các ma trận giải mã được chế tạo dưới dạng IC để tiện sử dụng (SN7442/SN7445).

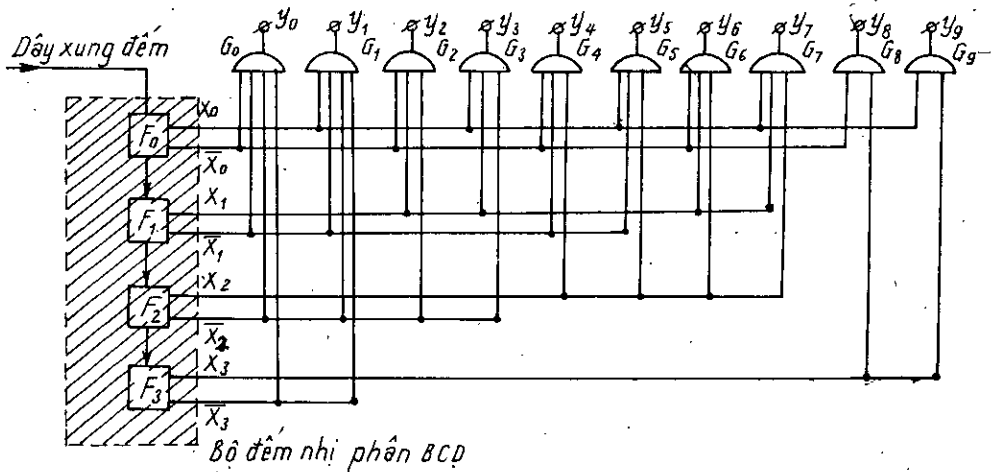
Hình 3.70b đưa ra một cấu trúc đơn giản nhất của bộ giải mã "1 từ 8", kiểu ma trận chữ nhật.

Ứng với 1 tổ hợp xác định của các biến vào x_2, x_1, x_0 ; chỉ một đầu ra y_j tương ứng ở mức 1 (nhờ sự điều khiển các van diốt thích hợp có anốt nối với hàng j khóa lại). Tính đơn trị của y, được đảm bảo vì lúc đó các hàng $i \neq j$ đều có ít nhất một van diốt mở làm điện thế lối ra i ở mức thấp hay $y_i = 0$ khi $i \neq j$. Chỉ số j chính là biểu diễn thập phân của tổ hợp lối vào $x_3 x_2 x_1$ (biểu diễn nhị phân của j). Ví dụ khi $x_2 = 1, x_1 = 0$ và $x_0 = 1$ chỉ có các van D_a, D_b và D_c ứng với hàng y_5 trên hình 3.70 khóa và $y_5 = 1$, các hàng còn lại sẽ có ít nhất 1 van thông và $y_i = 0$ với $i \neq 5$.

- Trong trường hợp chỉ sử dụng 10 tổ hợp đầu tiên trong bảng (3.12) ta nhận được bảng trạng thái của bộ giải mã BCD, mã "1 từ 10". Lúc đó hệ các hàm ra có dạng :

$$\left. \begin{aligned} y_0 &= \overline{x_3}\overline{x_2}\overline{x_1}\overline{x_0} \\ y_1 &= \overline{x_3}\overline{x_2}\overline{x_1}x_0 \\ &\dots \\ y_9 &= x_3\overline{x_2}\overline{x_1}x_0 \end{aligned} \right\} \quad (3-94)$$

Để thực hiện các hàm (3-94), có thể dùng một bộ đếm nhị phân BCD 4 bit (xem 3.9.2b) kết hợp với các cửa AND, như thể hiện trên hình 3.71.



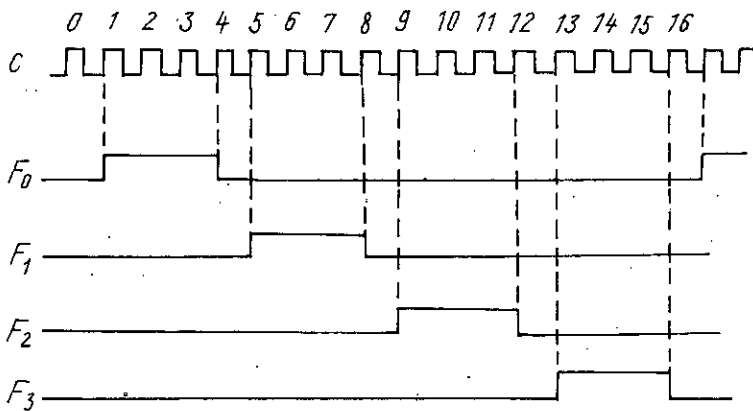
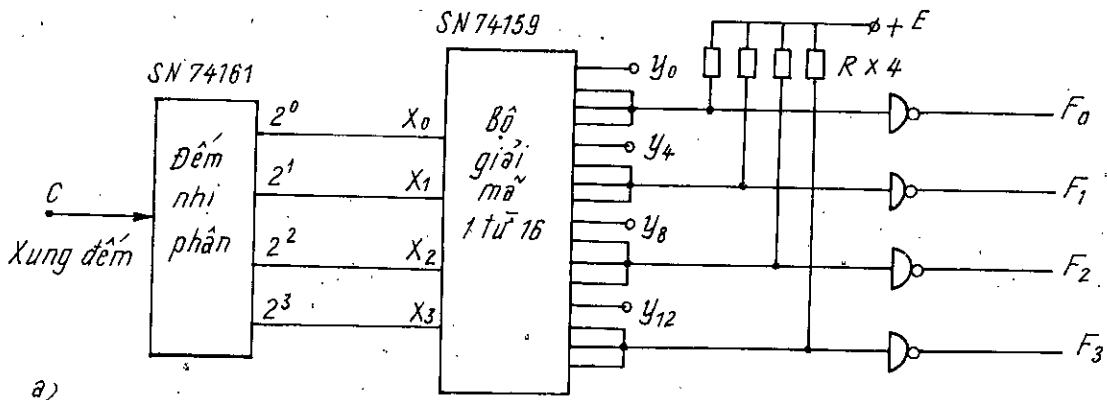
Hình 3.71 : Bộ giải mã BCD - "1 từ 10".

Ở đây cần lưu ý hệ hàm (3-44) đã được đưa về dạng tối thiểu bằng phương pháp cacno có sử dụng 6 tổ hợp thừa ở cuối trong bảng (3.12) :

$$\left. \begin{aligned} Y_0 &= \overline{x_3}\overline{x_2}\overline{x_1}\overline{x_0} ; & Y_5 &= x_2\overline{x_1}x_0 \\ Y_1 &= \overline{x_3}\overline{x_2}\overline{x_1}x_0 ; & Y_6 &= x_2x_1\overline{x_0} \\ Y_2 &= \overline{x_2}\overline{x_1}\overline{x_0} ; & Y_7 &= x_2x_1x_0 \\ Y_3 &= \overline{x_2}x_1\overline{x_0} ; & Y_8 &= x_3\overline{x_0} \\ Y_4 &= x_2\overline{x_1}\overline{x_0} ; & Y_9 &= x_3x_0 \end{aligned} \right\} \quad (3-95)$$

- Bộ giải mã "1 từ n" được dùng đặc biệt thuận lợi trong việc điều khiển các thao tác trình tự khi được ghép nối tiếp sau 1 bộ đếm nhị phân (xem h.3.72)

Tất cả các tổ hợp của biến vào được tạo ra một cách tuần tự trong bộ đếm nhị phân. Tại đầu ra của bộ giải mã "1 từ n", mỗi thời điểm chỉ có 1 đầu ra có giá trị 1. Do vậy sự kiện cần điều khiển để xảy ra vào lúc t_j nào đó có thể tạo bởi y_j tương ứng, còn nếu cùng 1 sự kiện cần xảy ra ở nhiều thời điểm khác nhau thì chỉ cần hợp các hàm ra y_j nhờ một phân tử OR.



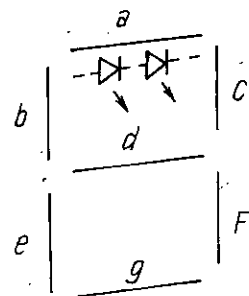
Hình 3.72 : a) Bộ tạo xung điều khiển 4 pha liên tiếp cách đều nhau
 b) Gián đồ thời gian minh họa hoạt động tạo xung điều khiển.

c - Bộ giải mã nhị phân BCD - mã thập phân 7 dấu

Bộ chỉ thị 7 dấu ký hiệu được dùng phổ biến để biểu thị kết quả thông tin bằng số thập phân nhờ đặc điểm có cấu tạo các diốt phát quang (LED) hay tinh thể lỏng bố trí như thể hiện trên hình 3.73.

Bảng 3-13 :

M	Biến vào				Hàm ra						
	x_3	x_2	x_1	x_0	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	0	1	1	1
1	0	0	0	1	0	0	1	0	0	1	0
2	0	0	1	0	1	0	1	1	1	0	1
3	0	0	1	1	1	0	1	1	0	1	1
4	0	1	0	0	0	1	1	1	0	1	0
5	0	1	0	1	1	1	0	1	0	1	1
6	0	1	1	0	1	1	0	1	1	1	1
7	0	1	1	1	1	0	1	0	0	1	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1



Hình 3.73 : Dạng bộ chỉ thị 7 thanh.

Bảng chuyển đổi của bộ giải mã BCD - mã 7 dấu cho trên bảng 3.13 ; ở đây các biến logic đầu vào ký hiệu là $x_0 + x_3$ và các hàm ra là a b c d e f g.

Bình thường, các diốt phát quang a, b, ..., f, g không phát sáng.

Ứng với mỗi tổ hợp nhị phân ở đầu vào, một vài trong số 7 thanh đầu ra nhận được tín hiệu "1" (thế cao) kích thích chúng phát sáng và hiện hình số thập phân tương ứng. Cấu trúc tổ hợp của bộ giải mã này được xây dựng xuất phát từ hệ các hàm $a \neq g$ sau khi đã được tối thiểu hóa (ở đây không nêu ra). Thường chúng được kết cấu ở dạng một vi mạch có sẵn (SN7447, D147).

d - Bộ biến đổi mã nhị phân 8421 - mã vòng Grey

Mã Grey là một dạng mã nhị phân có tính đồng đều khoảng cách (chuyển từ 1 số này đến một số tiếp theo luôn chỉ cần thay đổi 1 bit) được sử dụng thuận lợi cho việc lưu giữ thông tin trong các phần tử nhớ một cách tiết kiệm nhất (lưu ý mã Grey không cho phép thực hiện các phép tính số học với nó).

Bảng 3.14a là bảng chuyển đổi của bộ biến đổi mã 8421 - Grey và trạng thái của nó (b) (để viết các từ mã Grey, cần dùng bảng chuyển giống bìa cacno 4 biến bảng 3.14a, ở mỗi ô đánh số thập phân theo trật tự các ô kế nhau sau đó lần lượt viết các từ mã với trị $x_0 \div x_3$ ghi ngoài mép các hàng và cột, kết quả thao tác này thể hiện trên bảng 3.14b với các hàm ra $y_3 \div y_0$ tương ứng).

Bảng 3-14(a) :

		$x_3 x_2$			
		00	01	11	10
$x_1 x_0$	00	0	7	8	15
	01	1	6	9	14
	11	2	5	10	13
	10	3	4	11	12

Bảng 3.14 (b) : Bảng trạng thái và bảng chuyển đổi cho cách viết từ trong mã Grey vào 8421 ra(Grey) vào(8421) ra(Grey)

Số thập phân	x_3	x_2	x_1	x_0	y_3	y_2	y_1	y_0	Số thập phân	x_3	x_2	x_1	x_0	y_3	y_2	y_1	y_0
0	0	0	0	0	0	0	0	0	8	1	0	0	0	1	1	0	0
1	0	0	0	1	0	0	0	1	9	1	0	0	0	1	1	0	1
2	0	0	1	0	0	0	1	1	10	1	0	1	0	1	1	1	1
3	0	0	1	1	0	0	1	0	11	1	0	1	1	1	1	1	0
4	0	1	0	0	0	1	1	0	12	1	1	0	0	1	0	1	0
5	0	1	0	1	0	1	1	1	13	1	1	0	1	1	0	1	1
6	0	1	1	0	0	1	0	1	14	1	1	1	0	1	0	0	1
7	0	1	1	1	0	1	0	0	15	1	1	1	1	1	0	0	0

(b)

Việc xây dựng cấu trúc logic bộ chuyển mã xuất phát từ viết bìa cacno cho các hàm ra $x_0 \div x_3$, tối thiểu hóa chúng có kết quả thể hiện trên bảng 3.15.

$$\left. \begin{aligned} y_3 &= x_3 = 0 \oplus x_3 \\ y_2 &= \bar{x}_3 x_2 + x_3 \bar{x}_2 = x_3 \oplus x_2 \\ y_1 &= \bar{x}_2 x_1 + x_2 \bar{x}_1 = x_2 \oplus x_1 \\ y_0 &= \bar{x}_1 x_0 + x_1 \bar{x}_0 = x_1 \oplus x_0 \end{aligned} \right\} \quad (3-96)$$

Từ hệ thức (3-96) thấy rõ bộ chuyển mã có cấu trúc gồm 3 bộ cộng môđun hai đã xét ở 3.8.2 (xem h.3.74). Lưu ý hệ thức (3.96) về tính chất vòng của phép cộng môđun nhị phân, dễ dàng suy ra cấu trúc bộ biến đổi mã ngược lại : từ mã Grey thành mã 8421. (đường đứt nét hình 3.74).

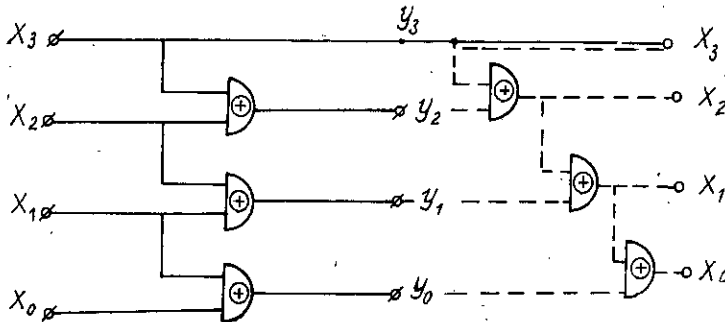
Bảng 3-15.

y_3	$x_3 x_2$	00	01	11	10
$x_1 x_0$	00			1	1
	01			1	1
	11			1	1
	10			1	1

y_2	$x_3 x_2$	00	01	11	10
$x_1 x_0$	00		1		1
	01		1		1
	11		1		1
	10		1		1

y_1	$x_3 x_2$	00	01	11	10
$x_1 x_0$	00		1	1	
	01		1	1	
	11	1			1
	10	1			1

y_0	$x_3 x_2$	00	01	11	10
$x_1 x_0$	00				
	01	1	1	1	1
	11				
	10	1	1	1	1



Hình 3.74 : Cấu trúc bộ chuyển mã 8421 - Grey và ngược lại (hình nét đứt).

e - Vài bộ biến đổi mã thông dụng khác

Trong kĩ thuật tính toán với các số nhị phân bằng công cụ máy tính, ngoài một số dạng mã đã xét ở trên, người ta còn thường sử dụng vài loại mã khác ở dạng nhị phân, xây dựng từ mã cơ bản 8421. Đó là các mã bù hai, mã thừa 3, mã 2421 (Eikel) hay mã 4221.

Bảng 3.16 đưa ra bảng trạng thái của các loại mã trên ứng với mã vào là dạng 8421 thông thường.

Bảng 3.16 : Bảng trạng thái vài loại mã thông dụng xây dựng từ mã nhị phân 8421

(M) 10	2^3 x_3	2^2 x_2	2^1 x_1	2^0 x_0	A_3 A_2 A_1 A_0	B_3 B_2 B_1 B_0	C_3 C_2 C_1 C_0	D_3 D_2 D_1 D_0				
0	0	0	0	0	0	0	0	0	0	0	1	1
1	0	0	0	1	1	1	1	1	1	0	0	0
2	0	0	1	0	1	1	1	0	1	0	1	0
3	0	0	1	1	1	1	0	1	1	0	0	1
4	0	1	0	0	1	1	0	0	1	0	1	1
5	0	1	0	1	1	0	1	1	1	0	1	1
6	0	1	1	0	1	0	1	0	0	1	0	0
7	0	1	1	1	1	0	0	1	1	0	0	0
8	1	0	0	0	1	0	0	0	0	1	1	1
9	1	0	0	1	0	1	1	1	0	1	1	0
10	1	0	1	0	0	1	1	0	0	1	0	1
11	1	0	1	1	0	1	0	1	0	0	0	0
12	1	1	0	0	0	1	0	0	0	1	1	1
13	1	1	0	1	0	0	1	1	0	0	1	0
14	1	1	1	0	0	0	1	0	0	0	0	1
15	1	1	1	1	0	0	0	1	0	0	0	0
Tên mã	8421				Bù hai (Bù số học)	Bù một (Bù logic)		2421	Thừa 3			

ừ bảng (3.16) ta có mấy nhận xét quan trọng về cấu trúc các loại mã ở lối ra như sau :

- Mã bù logic (bù một) có được bằng cách đảo trị tất cả các bit của mã 8421 tương ứng.

Ví dụ $M = (12)_{10} = (1100)_{8421} = (0011)_{\text{bù 1}}$.

hay nói cách khác 0011 là số bù logic của 1100.

- Mã bù hai (bù số học) có được bằng cách lập bù logic (bù một) của các số tương ứng sau đó cộng thêm 1 với mọi số bù một vừa nhận được. (xem cột $A_3 \div A_0$).

- Mã 2421 có được bằng cách chỉ sử dụng 5 tổ hợp đầu và cuối các biến vào, loại bỏ 6 tổ hợp nằm giữa (ứng với thứ tự thập phân là 5 ÷ 10).

Mã thừa 3 tương tự có được bằng cách loại bỏ 3 tổ hợp đầu (0,1,2) và 3 tổ hợp cuối (13, 14, 14) của các biến vào.

- Các mã 2421 và thừa số 3 có tính chất sau : từng cặp từ đối xứng trên dưới là bù logic của nhau.

Ví dụ tổ hợp đầu tiên với mã 2421 là 0000

tổ hợp cuối cùng là 1111

hay với mã thừa 3 là 0011 và 1100.

Tính chất này giống trong hệ thập phân với từng cặp số đối xứng trên dưới bù đến 9 là 0 và 9, 1 và 8, 2 và 7, 3 và 6, 4 và 5.

- Việc xây dựng cấu trúc của các bộ biến đổi mã bảng (3.16) thực hiện giống như đã làm phần trên : Viết bìa Caeno cho các hàm ra $A_0 \div A_3$ hoặc ... $D_0 \div D_3$, tối thiểu hóa chúng theo các biến vào $x_0 \div x_3$, từ đó xây dựng cấu trúc từ các phần tử logic cơ bản.

Việc sử dụng thích hợp các loại mã trên đặc biệt thuận lợi trong một số trường hợp tính toán số nhị phân, chẳng hạn thay phép trừ hai số nhị phân bằng phép cộng với bù một hoặc bù hai của số trừ [6].

3.9.5. Bộ dồn kênh và tách kênh

a - Bộ dồn kênh để hợp liên tiếp các trạng thái logic của nhiều biến và truyền chúng trên một lối ra duy nhất, thực hiện hàm ra (ví dụ với 6 đầu vào, 1 đầu ra)

$$y = \bar{a}_1 \bar{a}_0 \cdot x_0 + \bar{a}_1 a_0 x_1 + a_1 \bar{a}_0 x_2 + a_1 a_0 x_3$$

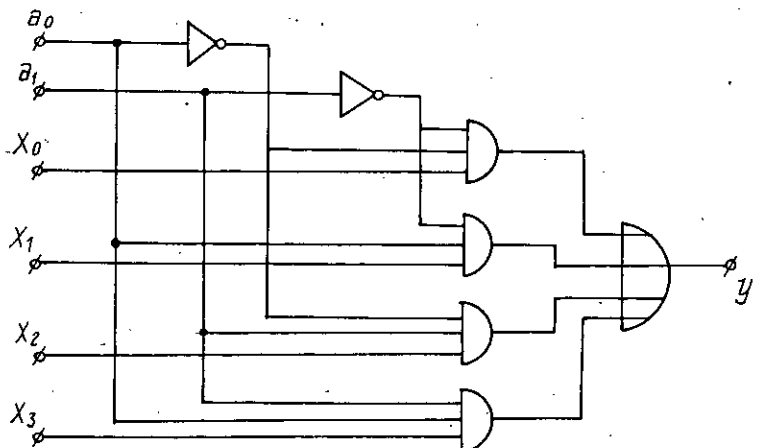
Trong đó a_1, a_0 là hai lối vào biến địa chỉ.

x_0, x_1, x_2, x_3 là các lối vào biến trạng thái.

Tùy theo trạng thái của lối vào địa chỉ mà lối ra y sẽ được nối với 1 trong các lối vào thông tin x_0, x_1, x_2 hay x_3 .

• Tổng quát với n lối vào địa chỉ $a_0 \div a_{n-1}$, lối ra y sẽ được nối với 1 trong 2^n tín hiệu thông tin ở lối vào.

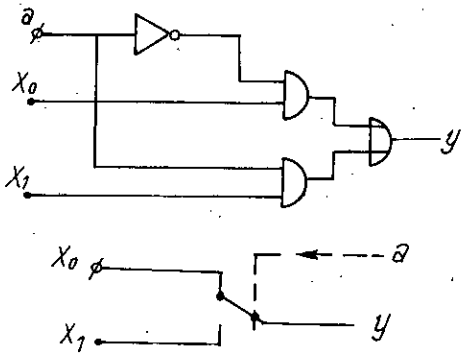
Hình 3.75 cho cấu trúc của một bộ dồn kênh 4 lối vào thông tin.



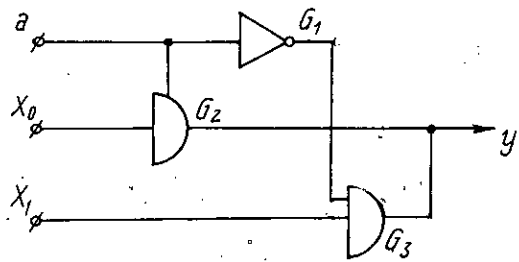
Hình 3.75 : Bộ dồn kênh 4 lối vào (vi mạch SN74153).

• Vì có sự tương ứng đơn trị giữa một địa chỉ (một tổ hợp các a_i) với một lối vào thông tin (có chỉ số thập phân của biến vào tương ứng với giá trị nhị phân của tổ hợp a_i) có thể dùng bộ dẫn kênh để thực hiện 1 hàm logic bất kì của các tín hiệu địa chỉ bằng cách trên các lối và x_j người ta đặt các tín hiệu cố định tương ứng với giá trị yêu cầu của hàm logic.

• Dạng đặc biệt của bộ dẫn kênh là sơ đồ có hai lối vào có vai trò của một chuyển mạch điện tử có điều khiển (h.3.76a). Dạng hình 3.76a có thể thu gọn hơn nhờ việc sử dụng các phần tử logic NAND có tầng ra 3 trạng thái, khi đó nhờ tín hiệu vào đặc biệt điều khiển mà tầng ra đấy kéo trở nên "không phân biệt" (trạng thái trở kháng cao) (xem phần 3.7.2d và hình 3.76b).



Hình 3.76a : Bộ dẫn kênh 2 lối vào (bộ chuyển mạch có điều khiển).



Hình 3.76b : Bộ dẫn kênh trên cơ sở dùng các phần tử 3 trạng thái ra ổn định.

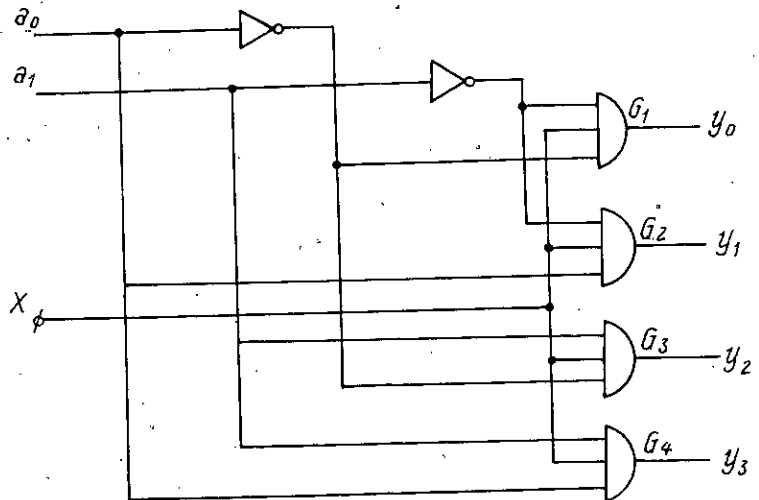
b - Bộ tách kênh thực hiện nhiệm vụ phân phối 1 tín hiệu lối vào cho nhiều địa chỉ khác nhau (còn gọi là bộ chọn kênh).

Hình 3.77 : đưa ra một cấu trúc của bộ chọn kênh dùng các phần tử AND có 4 lối ra.

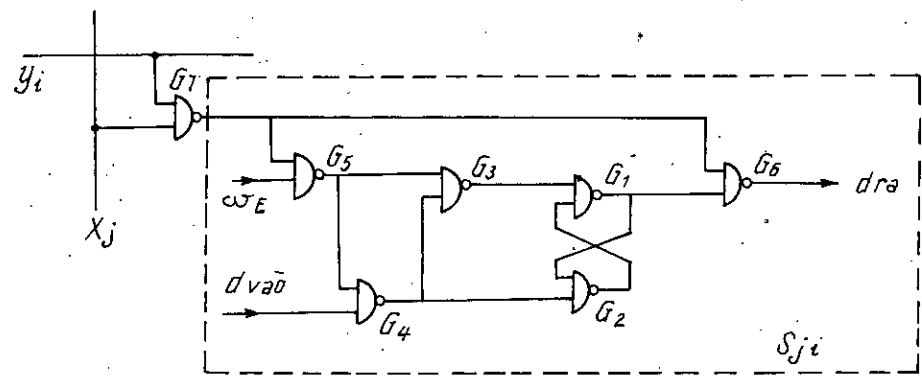
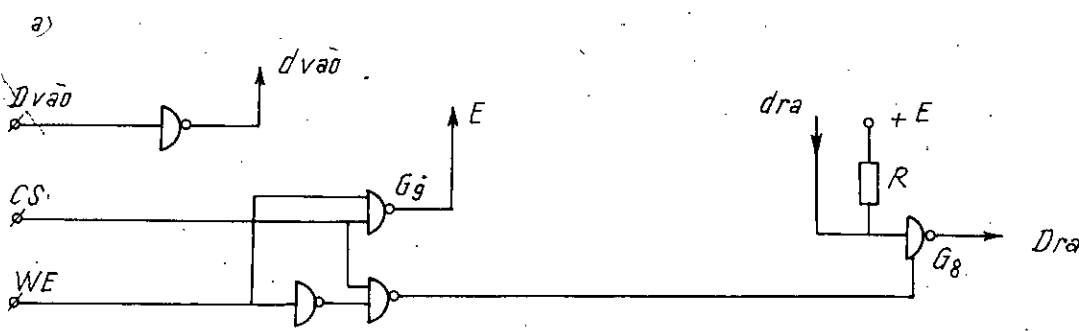
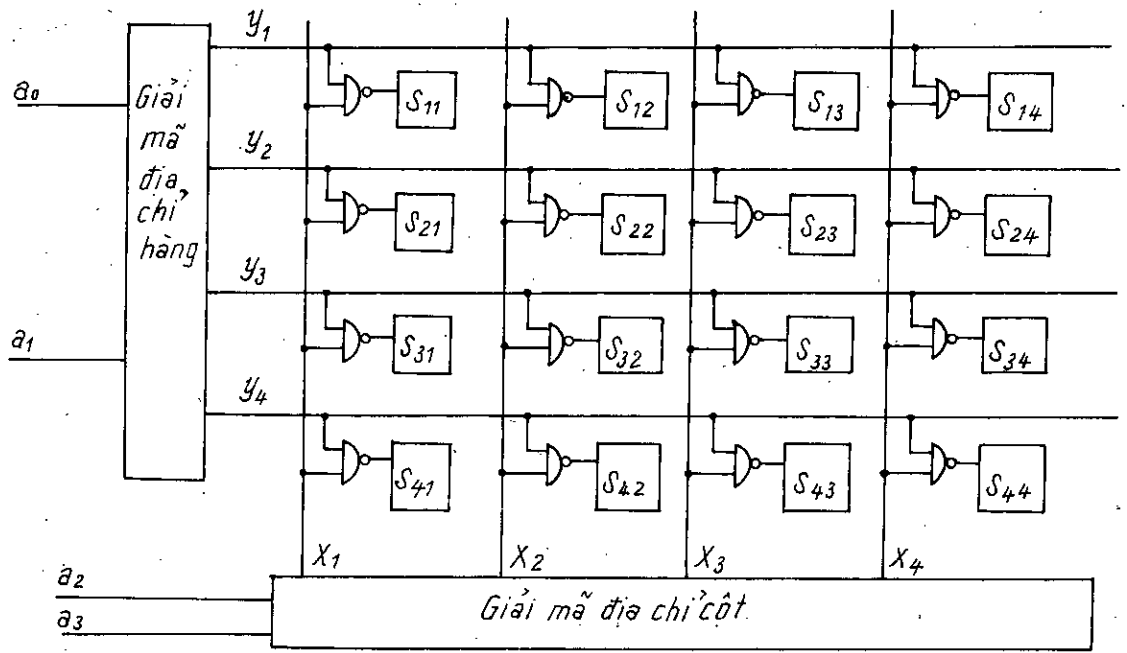
Tín hiệu lối vào đưa tới cả 4 cửa logic $G_1 \div G_4$. Tùy tổ hợp tín hiệu địa chỉ a_0 và a_1 mà 1 trong các cửa logic G_1, G_2, G_3 hoặc G_4 mở cho nối thông tin từ lối vào tới lối ra có chỉ số tương ứng

$$(y_3 = x \text{ khi } a_1 a_0 = 11 \dots)$$

Trường hợp đặc biệt khi $x = 1 =$ hằng số, bộ tách kênh làm việc như một bộ giải mã "1 từ n".



Hình 3.77 : Bộ chọn kênh 4 lối ra (SN 74155) 2 x 4 lối ra.



Hình 3.78 : Sơ đồ cấu trúc trong của bộ nhớ RAM 16 bit (a) Sơ đồ một mắt nhớ của nó (b).

Thuộc về các hệ logic thông dụng còn có các bộ nhớ bán dẫn RAM, ROM, PROM, EPROM hoặc ma trận logic được chương trình hóa PLA [4], được giới thiệu trong phần dưới.

3.9.6. Các bộ nhớ bán dẫn

a - Bộ nhớ RAM là loại bộ nhớ trong đó nếu có địa chỉ của một từ nào đó thì có thể nhớ vào nó hoặc đọc từ nó được thông tin theo địa chỉ này (bằng cách tiếp cận bất kì).

Cấu trúc bên trong của một bộ nhớ RAM dung lượng 16 bit

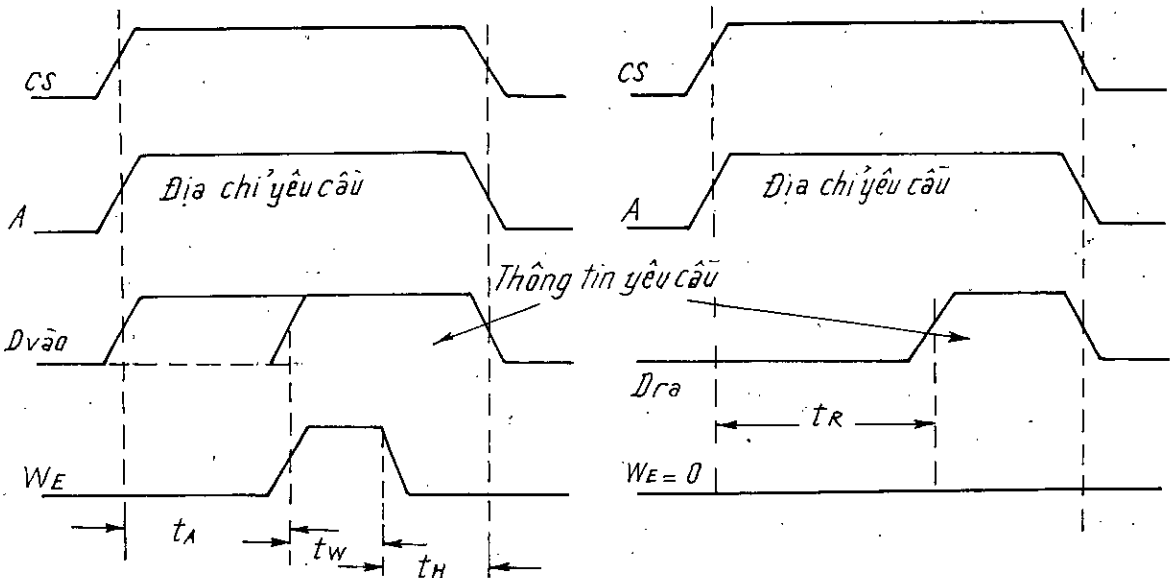
(vi mạch : 16×4 bit SN 74S189

26×1 bit SN 74S201

2024×1 bit SN 93425 cho trên hình 3.78a và sơ đồ logic 1 mắt nhớ của nó hình 3.78b.

- Đây là 1 cấu trúc ma trận vuông (vì lí do công nghệ). Khi muốn tiếp cận vào một mắt nhớ nào đó, người ta cần đặt tín hiệu "1" logic lên các hàng và cột tương ứng.

Muốn vậy, vectơ địa chỉ $A = (a_0 \dots a_n)$ sẽ được giải mã tương ứng nhờ bộ giải mã hàng và cột (kiểu "1 từ n"). Ngoài các đầu vào địa chỉ kể trên, RAM còn có một đầu vào thông tin $D_{\text{vào}}$, một đầu ra thông tin D_{ra} , một đầu ghi WE, một đầu vào tiếp cận (chọn vở) để tổ chức làm việc ghép giữa một vài RAM khi chúng dùng chung một đường số liệu : lúc $CS = 0$ ứng với một RAM nào đó, lối ra thông tin D_r của nó được chuyển đến trạng thái trở kháng cao và không ảnh hưởng gì tới việc đang truyền số liệu khác trên kênh thông tin chung đang làm việc với một RAM khác có $CS = 1$.



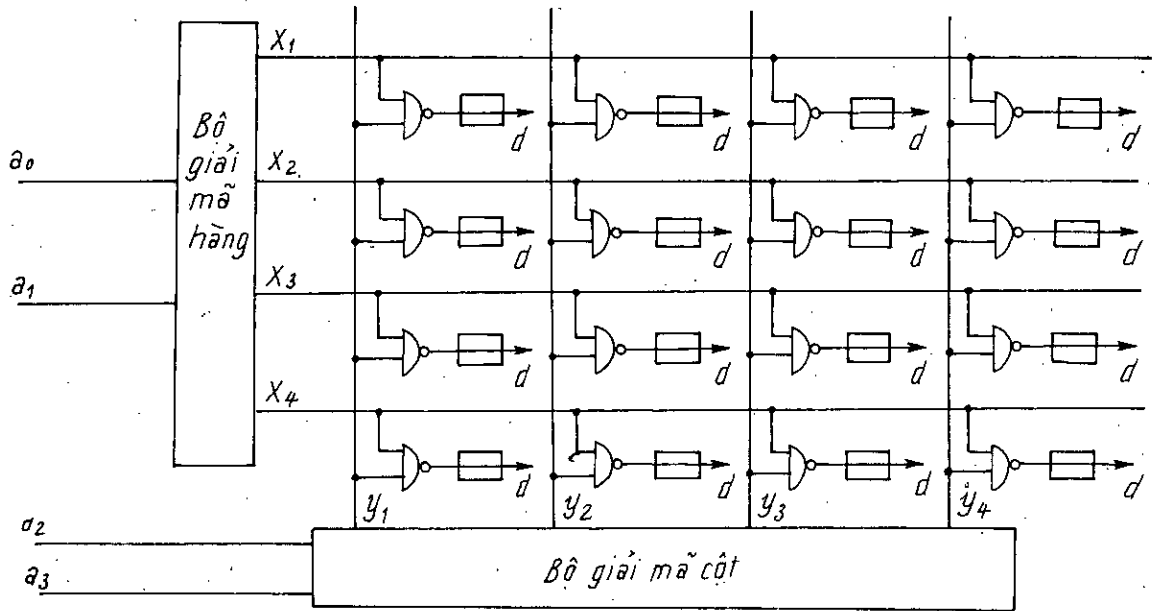
Hình 3.79 : Giản đồ thời gian của quá trình :

Ghi thông tin (a) và đọc thông tin (b)

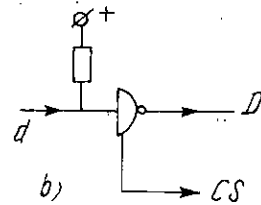
t_A : Thời gian giải mã địa chỉ ; t_R : Thời gian tiếp cận bộ nhớ
 t_w : Thời gian tối thiểu để ghi trước khi đọc ; t_H : Thời gian trễ thông tin.

Lúc cần ghi ($WE = 1$), nhờ liên hệ logic phù hợp, lối ra D_{ra} cũng ở trạng thái trở kháng cao. Khả năng nối các đầu vào, ra (D_v, D_{ra}) như vậy cho phép truyền thông tin trên cả hai hướng (ghi và đọc) trên cùng một kênh số liệu chung (BUS số liệu hai hướng). Nhờ phần tử logic G_g mà việc chuyển bộ nhớ vào trạng thái "ghi" sẽ bị cấm lúc $CS = 0$ (do đó phòng ngừa việc ghi sai thông tin vào RAM khi nó chưa được chọn để nhận thông tin). Từ hình 3.78b việc ghi thông tin chỉ xảy ra khi G_5 và G_7 mở ($x_i = y_j = WE = 1$). Còn việc đọc chỉ xảy ra khi G_6 và G_7 mở, đồng thời G_8 mở nhờ $CS = 1$. Các lối-ra của tất cả các mắt nhớ đều đấu với nhau theo cách đấu tăng ra - cực colectơ để ngõ (xem 3.7.2e).

Một đặc điểm chung là khi mất nguồn nuôi, thông tin trong RAM bị xóa nên chúng còn được gọi là bộ nhớ phụ thuộc nguồn.



a)



b)

Hình 3.80 : Sơ đồ nguyên lý ROM 6 bit.

- Các tính chất động : Để đảm bảo cho RAM làm việc bình thường cần phải đảm bảo một quan hệ thời gian nào đó giữa các tín hiệu lối vào.

Hình 3.79a và b là giản đồ thời gian của quá trình ghi và đọc thông tin.

Xung cho phép ghi W_E đặt vào sau khi đã giải mã địa chỉ xong (sau 1 khoảng thời gian t_A) để ghi tin cậy độ dài xung W_E không được nhỏ hơn giá trị tối thiểu T_W . Vì số mắt nhớ trong RAM nhiều, thông tin trên lối vào cần lưu ý giữ một thời gian T_H sau khi hết xung ghi.

Sau khi xác lập địa chỉ, thông tin về việc tìm đúng địa chỉ yêu cầu sẽ xuất hiện sau một khoảng thời gian t_R gọi là thời gian tiếp cận bộ nhớ khi đọc ($10 \div 30ns$).

b - Bộ nhớ ROM là loại bộ nhớ chương trình được ghi vào ngay từ khi chế tạo (bộ nhớ cố định Read Only Memory).

Sơ đồ nguyên lý ROM (ví dụ vi mạch PROM SN74S288, 32×8 bit) được vẽ trên hình 3.80a (loại 6 bit) các bộ giải mã địa chỉ hàng cột giống trong bộ nhớ RAM. Việc ghi mỗi bit thông tin được thực hiện bằng cách giữ nguyên hay phá hủy cần chỉ tiếp điểm giữa lối ra của phần tử NAND tương ứng và đầu chung d ("1" ứng với giữ nguyên, "0" phá hủy). Các phần tử NAND ở đây là loại colectơ có cực để ngỏ. Chỉ tranzito ứng với mất nhớ được sử dụng mới mở $d = 1$ còn ngược lại $d = 0$ (hình 3.80b).

Thông tin chứa trong ROM không bị mất khi mất nguồn nuôi.

ROM được chế tạo để thực hiện các công việc cụ thể, đã được chuẩn hóa trong kĩ thuật số ví dụ như bộ biến đổi mã...

Ngoài ra còn có thể ghi lập trình sau khi chế tạo (PROM) công việc ghi chương trình vào PROM do người sử dụng thực hiện (nhờ các máy lập trình đặc biệt). Nếu PROM được chế tạo theo công nghệ MOS thì việc lập trình thực hiện bằng cách phóng các điện tích (là quá trình thuận nghịch) có thể xóa thông tin đã vào PROM bằng tia cực tím, ta có bộ nhớ xóa được (EPROM).

Trên một địa chỉ của PROM của ROM thường ghi một từ độ dài 4 hay 8 bit (chứ không phải 1 bit như trong RAM), vì thế chúng có vài lối ra thông tin.

Chương 4

CÁC BỘ BIẾN ĐỔI ĐIỆN ÁP VÀ DÒNG ĐIỆN

Trong các ngành công nghệ thiết bị máy móc sử dụng năng lượng điện dưới những dạng khác nhau. Chương này sẽ trình bày kĩ thuật biến đổi các dạng điện năng bao gồm :

- Biến năng lượng điện xoay chiều công nghiệp hay của máy phát điện xoay chiều sẵn có thành những năng lượng điện một chiều muốn có đó là kĩ thuật chỉnh lưu. Dạng biến đổi này được dùng rộng rãi nhất trong các dạng biến đổi năng lượng điện.

- Biến năng lượng điện một chiều sẵn có thành năng lượng điện xoay chiều thích hợp : đó là kĩ thuật nghịch lưu.

Ngoài ra, trong thực tế đôi khi còn sử dụng các quá trình biến năng lượng điện một chiều sẵn có thành năng lượng điện một chiều ở mức thích hợp và quá trình biến năng lượng điện tần số sẵn có (thường là tần số công nghiệp 50Hz hoặc 60Hz) thành năng lượng điện tần số cao hơn xem [7] tuy vậy vì khuôn khổ chương trình có hạn nên ở đây ta không đề cập tới.

4.1 - CHỈNH LƯU CÔNG SUẤT LỚN KHÔNG ĐIỀU KHIỂN VÀ CÓ ĐIỀU KHIỂN

Trong chương II chúng ta đã đề cập đến các bộ chỉnh lưu một pha, đó là các bộ chỉnh lưu công suất nhỏ. Trong công nghiệp nhiều trường hợp người ta còn sử dụng bộ chỉnh lưu tiêu thụ nguồn điện 3 pha (chỉnh lưu công suất lớn). Ưu điểm của bộ chỉnh lưu 3 pha là :

- Sử dụng nguồn điện 3 pha rất thuận tiện vì cho công suất ra tải lớn.
- Dạng điện áp và dòng điện ra tải ít đập mạch, do đó vấn đề lọc sẽ đơn giản, rẻ tiền.

Để đơn giản hóa ta thường lí tưởng hóa :

a/ Bỏ qua các thành phần điện trở của nguồn biến áp và của phần tử chỉnh lưu. Nhưng ta phải tính đến cảm kháng của các cuộn dây biến áp vì chúng có ảnh hưởng rõ rệt đến dạng dòng điện và điện áp chỉnh lưu. Ta gọi chúng là cảm kháng anốt

$$X_a = X_2 + X_1 \left(\frac{W_2}{W_1} \right) \quad (4-1)$$

X_1 , X_2 là cảm kháng của các cuộn dây do từ thông dò tạo nên ; W_1 và W_2 là số vòng các cuộn dây sơ cấp và thứ cấp biến áp.

b/ Bỏ qua dòng điện ngược của các phần tử chỉnh lưu.

c/ Coi cảm kháng của tải (bộ lọc) là rất lớn :

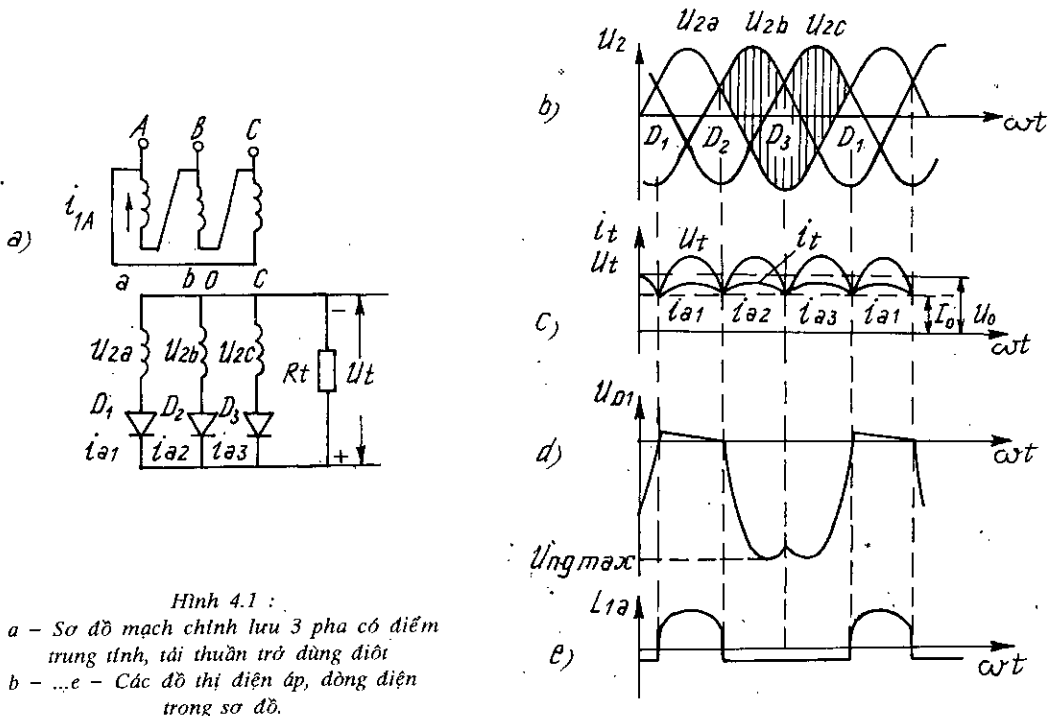
$X_L = \infty$ nếu như $X_L \geq 5R_L$ khi có đường cong dòng điện ra tải coi là bằng phẳng lí tưởng.

4.1.1. Bộ chỉnh lưu 3 pha có điểm trung tính không điều khiển, tải thuần trở

$$X_a = 0$$

$$X_l = 0$$

Các cuộn dây sơ cấp có thể được nối theo hình sao hay tam giác, trong hình 4.1a biểu thị mạch sơ cấp nối theo hình tam giác, các thứ cấp nối theo hình sao.



Hình 4.1 :

- a - Sơ đồ mạch chỉnh lưu 3 pha có điểm trung tính, tải thuần trở dùng diôt
- b - ...c - Các đồ thị điện áp, dòng điện trong sơ đồ.

Điểm trung tính là O, các diôt có catôt đấu chung với nhau, khi đó điện áp một chiều ra tải là điện áp dương. Các diôt sẽ dẫn điện trong 1/3 chu kì khi điện áp pha tương ứng với nó lớn hơn điện áp 2 pha kia.

Trên hình 4.1b ứng với khoảng từ θ_1 đến θ_2 điện áp pha A là U_{2a} lớn hơn điện áp hai pha kia nên D_1 dẫn dòng i_{a-1} cũng là dòng điện bên thứ cấp. Trong khoảng θ_2 đến θ_3 : U_{2b} lớn hơn điện áp hai pha kia nên D_1 ngừng dẫn và D_2 dẫn dòng i_{a2} ... Vậy dòng trên tải i_1 sẽ là dòng lần lượt của các diôt D_1 D_2 và D_3 (h.4.1c). Vì tải thuần trở nên dạng điện áp tải U_1 có dạng như i_1 và nếu bỏ qua sụt áp thuận trên các diôt khi phân cực thuận thì U_1 có giá trị bằng điện áp thứ cấp của pha dẫn điện tương ứng.

Trị số trung bình của điện áp chỉnh lưu khi bỏ qua các tổn hao là :

$$U_o = \frac{1}{2\pi/3} \int_{-\pi/3}^{+\pi/3} \sqrt{2} U_2 \cos\omega t \, d\omega t = \frac{\sqrt{2} U_2 \sin\pi/3}{\pi/3} = 1,17 U_2 \quad (4-2)$$

U_2 là trị số hiệu dụng điện áp bên thứ cấp

Trị số trung bình của dòng điện qua tải :

$$I_o = \frac{U_o}{R_l} \quad (4-3)$$

Trị số trung bình của dòng điện qua diôt $I_a = I_o/3$.

Trị số cực đại của dòng điện qua diôt

$$I_{\text{omax}} = I_{\text{imax}} = 1,21I_0 \quad (4-4)$$

Điện áp ngược trên diôt không dẫn điện bằng hiệu số giữa điện áp pha đang dẫn điện và điện áp pha tương ứng với diôt đó. Ví dụ điện áp ngược trên D_1 từ O_2 đến O_4 có giá trị được biểu thị bằng độ cao của các đoạn gạch thẳng đứng trên hình 4.1b và được biểu thị trên tọa độ $U_{D1}(\omega t)$ như hình 4.1d.

Giá trị cực đại của điện áp ngược :

$$U_{\text{ngmax}} = \sqrt{3} \cdot \sqrt{2} \cdot U_2 = 2,09U_2 \quad (4-5)$$

Căn cứ vào các số liệu trên để chọn diôt chỉnh lưu.

Nếu coi dòng thứ cấp là không đập mạch ($I_2 = I_0$) thì giá trị hiệu dụng của dòng thứ cấp :

$$I_2 = \frac{I_0}{\sqrt{3}} = I_a \sqrt{3} \quad (4-6)$$

Dòng điện sơ cấp I_{1A} có thể suy từ dòng điện thứ cấp khi bỏ qua thành phần một chiều

$$i_{1A} = n \left(i_{2a} - \frac{I_0}{3} \right) \quad (4-7)$$

Dạng i_{1A} như hình 4.1c biểu thị công suất tính toán cho biến áp có thứ cấp đấu hình sao đã được tính là :

$$P_{b.a} = \frac{3U_1I_1 + 3U_2I_2}{2} = 1,34P_0 \quad (4-8)$$

Trong đó P_0 là công suất chỉnh lưu tải : $P_0 = I_0U_0$

4.1.2. Bộ chỉnh lưu 3 pha có điểm trung tính tải cảm tính $X_0 \neq 0$; $X_1 = \infty$

Sơ đồ bộ chỉnh lưu 3 pha có điểm trung tính, tải cảm tính được biểu thị ở hình 4.2a. Ở đây do $X_1 = \infty$ nên sự lọc các sóng hài của dòng chỉnh lưu coi như là triệt để : $i_1 = I_0$ ta xét thời điểm D_1 đang dẫn. Do đó cảm kháng anôt X_a đáng kể nên từ O_1 đến O_2 sự dẫn điện sẽ không chuyển tức thời từ D_1 sang D_2 mà có một khoảng thời gian chuyển mạch. τ ứng với góc γ xem hình 4.2b, cả D_1 và D_2 đều dẫn. Cũng như mạch chỉnh lưu một pha ở trên, trong thời gian chuyển mạch có dòng điện khép kín i_{2k} gây ra do tác dụng của sức điện động U_{3k} giữa các pha sụt trên 2 cảm kháng X.

Do U_{2a} và U_{2b} lệch pha nhau một góc $\frac{2\pi}{3}$ nên ta có :

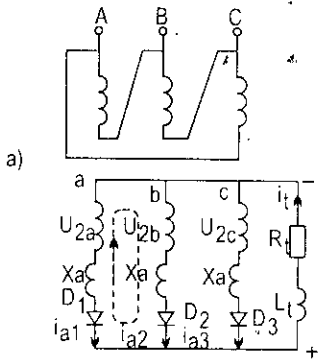
$$U_{3k} = U_{2b} - U_{2a} = 2\sqrt{2} U_2 \sin \frac{\pi}{3} \sin \theta$$

θ là góc dẫn điện tính từ giao điểm của U_{2a} và U_{2b} trong 1/2 chu kì dương.

Dòng chuyển mạch i_{2k} có dạng như hình 4.2a và có chiều khép kín như hình 4.2a biểu thị là giảm dần i_{a1} và tăng dần i_{a2} trong thời gian chuyển mạch.

Đúng thời điểm bắt đầu quá trình chuyển mạch

$$U_{2c} = U_{2b} \text{ thì } i_{2k} = 0$$



Hình 4.2 : a) Sơ đồ mạch chỉnh lưu 3 pha có điểm trung tính khi $X_a \neq 0$ và $X_l = \infty$
b),...d) Các dạng điện áp, dòng điện áp trên mạch.

Nếu gọi ΔU_x là sụt áp tức thời trên cảm kháng X_a ta có :

$$\Delta U_x = \frac{U_{2b} - U_{2a}}{2} \quad (4-9)$$

Trị số trung bình của sụt áp trên X_a trong thời gian chuyển mạch :

$$\Delta U_x = \frac{I_o \cdot x_a}{2\pi/3} \quad (4-10)$$

Giá trị ΔU_x ảnh hưởng đến độ dốc của đặc tuyến ngoài khi $X_l = \infty$

$$U_d = E_o - U_a - \Delta U_x \quad (4-11)$$

Ở đây, E_o là điện áp chỉnh lưu trung bình trên tải khi bỏ qua mọi tổn hao (cũng là điện áp chỉnh lưu trung bình khi không tải)

$$E_o = \frac{\sqrt{2}U_2 \sin(\pi/3)}{\pi/3} \quad (4-12)$$

giá trị điện áp ngược trên diốt xuất hiện khi diốt không dẫn điện (h. 4.2d) áp dụng cho D. Giá trị U_{ngmax} vẫn như trong trường hợp không có sự tham gia của X_a và X_l nghĩa là :

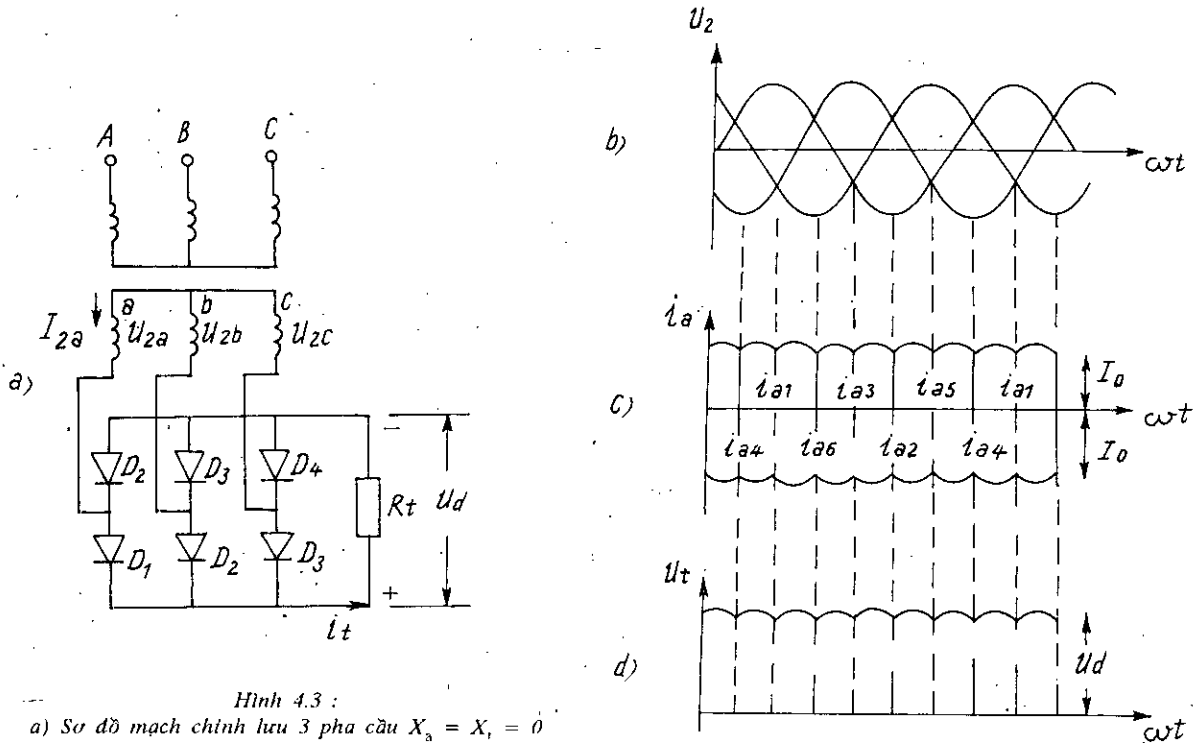
$$U_{ngmax} = \sqrt{3} \cdot \sqrt{2} \cdot U_2 \quad (4-13)$$

4.1.3. Bộ chỉnh lưu 3 pha cầu tải thuần trở có $X_a = X_l = 0$

(mạch Lariônôp)

Sơ đồ mạch điện chỉnh lưu 3 pha cầu được trình bày trên hình 4.3a. Các cuộn sơ cấp nối theo hình sao hay hình tam giác, còn các cuộn thứ cấp nối theo hình sao.

Ta chia các diốt ra 2 nhóm : Nhóm lẻ và nhóm chẵn, trong đó các diốt thuộc nhóm lẻ có các catốt đấu chung nhau và nối vào cực dương của U_t , vì vậy nên diốt thuộc nhóm lẻ sẽ dẫn điện khi điện thế anốt của nó dương nhất (tức là điện áp pha tương ứng với nó là lớn nhất). Các diốt thuộc nhóm chẵn có các anốt nối chung nhau và nối vào đầu âm của U_t . Vì vậy diốt sẽ dẫn điện khi catốt của nó âm nhất (tức là điện áp pha tương ứng với nó là nhỏ nhất). Thời gian dẫn điện của mỗi diốt bất kì là $1/3$ chu kì tương ứng với góc pha $2\pi/3$, (h.4.3b,c).



Hình 4.3 :

- a) Sơ đồ mạch chỉnh lưu 3 pha cầu $X_a = X_b = 0$
- b)... d) Dạng điện áp và dòng điện trong mạch.

Vậy tại bất kì thời điểm nào cũng có một diốt thuộc nhóm lẻ và 1 diốt thuộc nhóm chẵn dẫn dòng tải, vì coi $X_a = 0$ nên thời gian chuyển mạch là tức thời.

Điện áp tải U_t là hiệu số các điện áp pha bên thứ cấp đang dẫn điện. Trị số trung bình của điện áp chỉnh lưu U_o trên tải là :

$$U_o = \frac{\sqrt{2}U_2 \sin(\pi/6)}{\pi/6} = 2,34U_2 \quad (4-14)$$

Vậy so với công thức (4-2) ta thấy so với mạch chỉnh lưu 3 pha có điểm trung tính với cùng điện áp tải U_o mạch chỉnh lưu cầu có thể giảm 2 lần điện áp pha bên thứ cấp. Do đó vấn đề cách điện sẽ đơn giản, nhất là trường hợp dùng cao áp.

Trị số trung bình của dòng điện qua diốt là :

$$I_a = \frac{I_o}{3} \quad (4-15)$$

Trong đó I_o là giá trị trung bình của dòng điện ra tải:

Giá trị cực đại của dòng điện qua diôt là :

$$I_{amax} = I_{imax} = 1,045I_0 \quad (4-16)$$

Nếu bỏ qua sụt áp trên diôt dẫn điện, điện áp ngược cực đại trên diôt không dẫn điện là :

$$U_{ngmax} \sqrt{3} \cdot \sqrt{2} U_2 = 1,045U_0 \quad (4-17)$$

Dòng thứ cấp chạy qua pha A là dòng điện lần lượt qua D_1D_2 có thời gian tồn tại là $T/3$ (h.4.3c) ; trị số hiệu dụng dòng thứ cấp là :

$$I_2 = \sqrt{\frac{1}{2\pi} I_0^2 \cdot \frac{4\pi}{3}} = \sqrt{\frac{2}{3}} \cdot I_0 \quad (4-18)$$

Dạng dòng sơ cấp tương tự dạng dòng thứ cấp, trị số khác nhau bởi hệ số biến áp n. Công suất biến áp là :

$$P_{ba} = 3U_1I_1 = 3U_2I_2 = 1,045P_0 \quad (4-19)$$

ở đây $P_0 = I_0U_0$.

Mạch chỉnh lưu 3 pha cầu có những ưu điểm sau :

- Điện áp ra U_d ít đập mạch (trong một chu kì đập mạch 6 lần) do đó vấn đề lọc rất đơn giản.

- Điện áp ngược trên mỗi diôt nhỏ.

- Công suất biến áp giảm nhỏ.

Do đó mạch này rất thông dụng trong chỉnh lưu công suất lớn.

4.1.4. Bộ chỉnh lưu 3 pha cầu tải cảm tính có $X_a \neq 0$ và $X_l = \infty$

Sơ đồ mạch điện bộ chỉnh lưu 3 pha cầu khi cảm kháng trong mạch anôt $X_a \neq 0$, tải cảm tính có $X_l = \infty$ được vẽ ở hình 4.4a. Các diôt thuộc sơ đồ cũng được chia ra hai nhóm lẻ và chẵn như trên. Dòng điện tải trong một thời điểm sẽ chạy qua một diôt nhóm lẻ và một diôt nhóm chẵn, nhưng khác với trường hợp trên là do có cảm kháng X_a nên sự chuyển mạch dòng điện trong một nhóm không tức thời từ diôt này sang diôt kia mà có một khoảng thời gian chuyển mạch. Ví dụ trong khoảng γ có sự chuyển mạch từ D_1 sang D_3 ... Các quá trình chuyển mạch xảy ra cách xa nhau một khoảng $2\pi/6$. Trong thời gian chuyển mạch i_{2k} ngược chiều với i_{a1} làm i_{a1} giảm và cùng chiều với i_{a3} làm i_{a3} tăng từ 0 đến I_0 . Các khoảng chuyển mạch khác tương tự. Do $X_l = \infty$, nên ngoài thời gian chuyển mạch dòng điện qua D đang dẫn sẽ giữ giá trị không đổi là I_0 (xem h.4.4c).

Giá trị sụt áp trên X_a trong thời gian chuyển mạch là :

$$\Delta U_x = \frac{X_a \cdot I_0}{2\pi/m} = \frac{3 \cdot X_a \cdot I_0}{\pi} \quad (4-20)$$

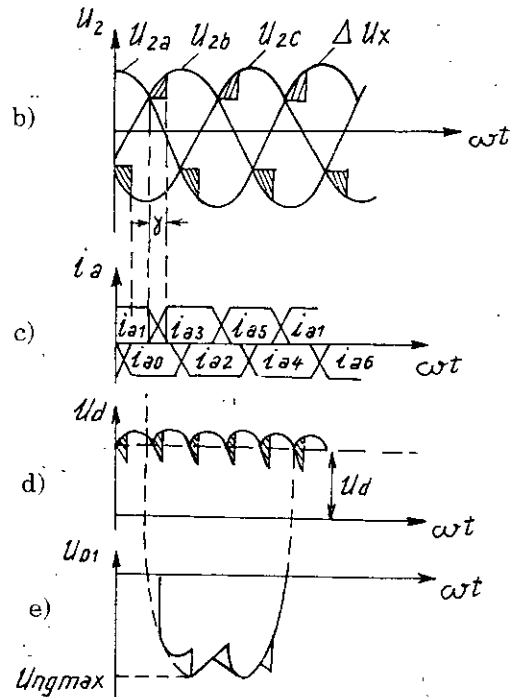
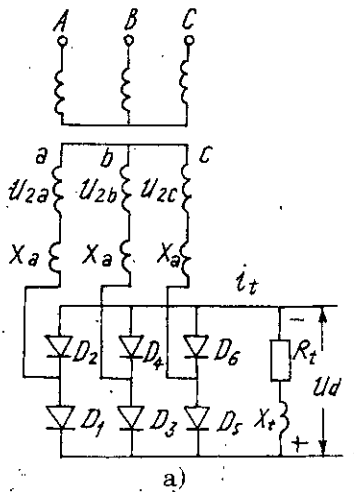
ở đây, $m = 6$

Dạng điện áp chỉnh lưu U_d và như hình 4.4d chính là hàm số của các điện áp pha đang dẫn điện, U_d đập mạch 6 lần trong một chu kì. Điện áp trên tải R_l có dạng gần như bằng phẳng vì dòng qua R_l bằng phẳng. Giá trị trung bình của điện áp chỉnh lưu :

$$U_0 = 2,34U_2 - \frac{6I_0 \cdot X_a}{2\pi} \quad (4-21)$$

$$E_0 \quad \Delta U_x$$

E_0 là giá trị điện áp không tải.



Hình 4.4 : a) Sơ đồ bộ chỉnh lưu 3 pha cầu có $X_a \neq 0$; $X_t = \infty$
 b) ... e) Dạng điện áp, dòng điện trong sơ đồ.

Công thức (4-21) biểu thị đặc tuyến ngoài của bộ chỉnh lưu.

Trị số trung bình của dòng điện qua điôt là :

$$I_a = \frac{I_o}{3}$$

và giá trị cực đại qua điôt :

$$I_{amax} = 1,045I_o \quad (4-22)$$

Điện áp ngược trên điôt bằng hiệu của điện áp pha đang dẫn điện và pha tương ứng với nó có kể đến ảnh hưởng của ΔU_x (h.4.4e)

$$U_{agmax} = \sqrt{6}U_2 = 1,045U_o \quad (4-23)$$

Dựa vào các biểu thức (4-22) và (4-23) để chọn điôt chỉnh lưu. Công thức tính công suất cho biến áp giống mạch thuận trở.

4.2- BỘ CHỈNH LƯU 3 PHA CÓ ĐIỀU KHIỂN

Bộ chỉnh lưu 3 pha có điều khiển có thể dùng đèn có khí hoặc tiristo, chế độ điều khiển tương tự nhau. Vì mạch dùng đèn có khí hiện nay ít dùng nên ở đây ta chỉ xét bộ chỉnh lưu điều khiển bằng tiristo.

4.2.1. Bộ chỉnh lưu ba pha có điều khiển có điểm trung tính

(Khi $X_a \neq 0$ và $X_t = \infty$)

Sơ đồ mạch điện được biểu thị ở hình 4.5a. Do các tiristo được khống chế nên khác với mạch chỉnh lưu dùng điôt ở chỗ là các tiristo dẫn điện bắt đầu muộn hơn một góc α . Sau đó là khoảng thời gian chuyển mạch ứng với góc chuyển mạch γ (khi có dòng qua tiristo tăng lên đến giá trị ổn định I_o) giá trị này giữ mãi một khoảng là $2\pi/3 - \gamma$ và sau đó dòng điện qua tiristo lại giảm xuống trong khoảng γ (do quá trình chuyển

mạch). Vậy góc pha dẫn điện toàn phần của mỗi tiristo là $(2\pi/3 + \gamma)$ xem hình 4.5b và c.

Do ảnh hưởng của sự điều khiển tiristo và quá trình chuyển mạch nên dạng đường cong điện áp sụt trên tiristo (ví dụ T_{11}) sẽ thay đổi như hình 4.5d giá trị U_{t11} bằng độ cao của các đoạn mạch trên hình 4.5b, giá trị điện áp ngược cực đại khi $\alpha < 90^\circ$ và giá trị dòng điện qua tiristo cũng được tính như mạch không điều khiển. Người ta đã tính được phương trình đặc tuyến ngoài trong trường hợp này là :

$$U_d = \frac{3}{2\pi} I_o \cdot x_a \quad (4-24a)$$

4.2.2. Bộ chỉnh lưu ba pha cầu dùng tiristo

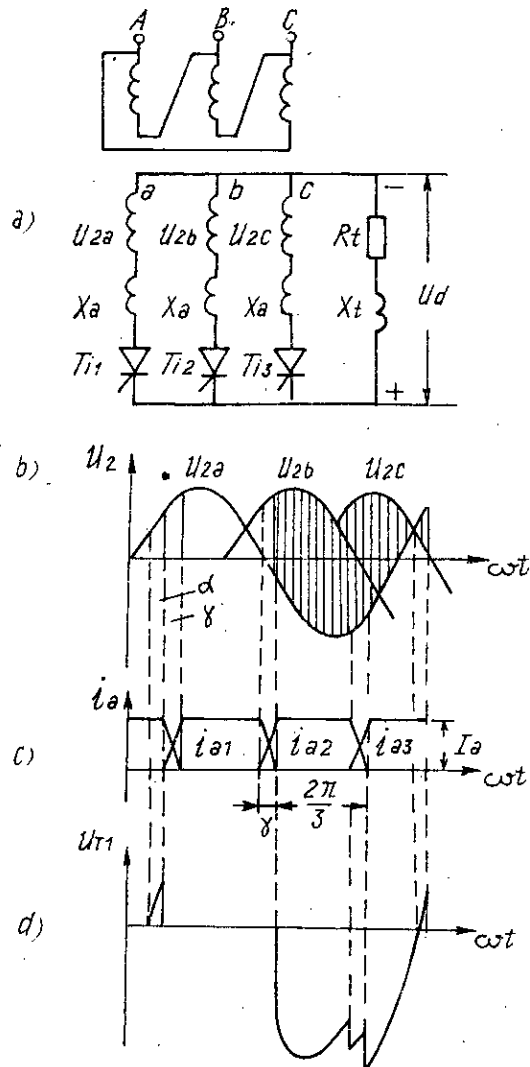
Ta phân chia ra mấy trường hợp sau đây :

$$a - X_a = 0 ; X_t = \infty$$

Sơ đồ mạch điện như hình 4.6a khi bỏ qua ảnh hưởng của X_a (cảm kháng mạch anôt). Các đồ thị điện áp và dòng điện cơ bản giống trường hợp không điều khiển chỉ khác là ở tiristo bị điều khiển nên chúng dẫn điện chậm sau 1 góc α , vì vậy điện áp chỉnh lưu U_d bị cắt bởi một khoảng ứng với α đó (h.4.6b và c). Vì vậy giá trị trung bình của U_d giảm đi. Khi ta thay đổi α thì có thể điều chỉnh được U_d .

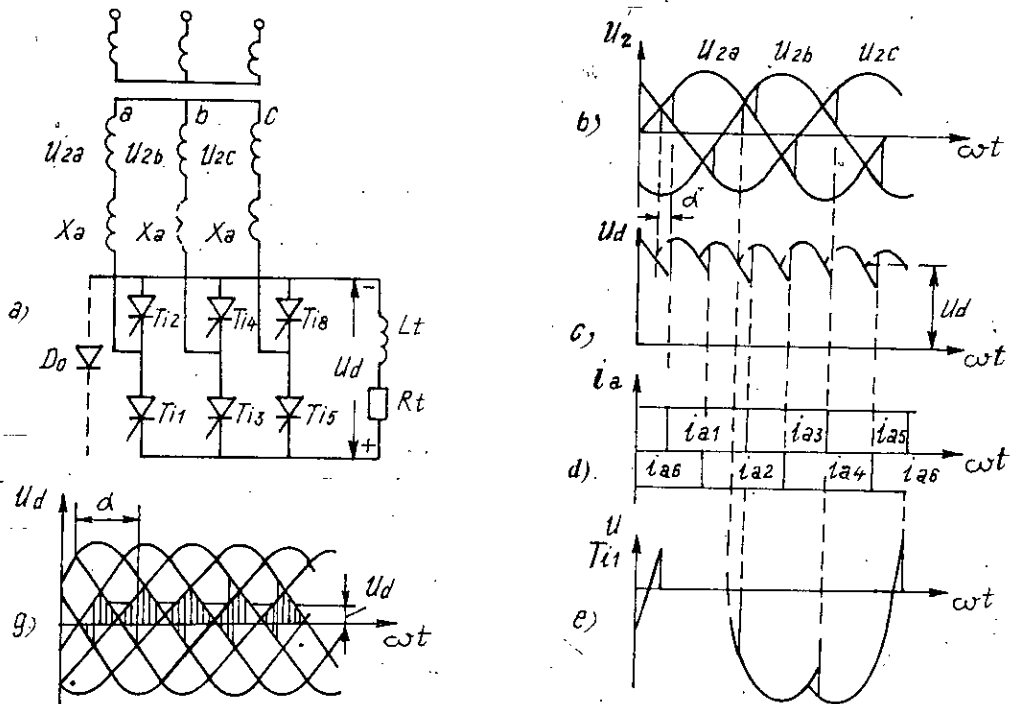
Ở đây thường $L \rightarrow \infty$ nên các dòng điện qua các tiristo và qua tải R_t coi là bằng phẳng (h.4.6d). Cũng do có góc điều khiển α nên điện áp trên các tiristo (ví dụ trên T_{11} như hình 4.6e biểu thị) có dạng biến đổi so với trường hợp không điều khiển.

Đặc biệt trường hợp α trong khoảng $0^\circ < \alpha < 90^\circ$ thì đường cong điện áp U_d có phần âm, khi có giá trị trung bình, U_d giảm xuống và khi $\alpha = 90^\circ$ thì $U_d = 0$ (h.4.6.g) giá trị góc đó đặc trưng cho giới hạn dưới của điện áp điều chỉnh U_d . Để cắt bỏ phần âm ta có thể mắc diôt D_o như hình 4.6a. Khi tải thuần trở thì phần $U_d < 0$ không có mà chỉ có phần $U_d > 0$ khi $\alpha = 120^\circ$ thì $U_d = U_o$.



Hình 4.5 : a) Sơ đồ mạch chỉnh lưu có điểm trung tính điều khiển bằng tiristo

b) ... d) Dạng các điện áp và dòng điện trong mạch.



Hình 4.6 : a) Sơ đồ bộ chỉnh lưu cầu có điều khiển ;
 b) ... g) Các dòng điện áp và dòng điện của mạch khi $x_a = 0 ; x_t = \infty$.

Sự phụ thuộc của U_d vào góc α khi $L_t = \infty$ được biểu thị như sau :

$$U_d = \frac{1}{\pi/3} \int_{-\pi/6 + \alpha}^{\pi/6 + \alpha} \sqrt{6} U_2 \sin \omega t d\omega t = U_{d0} \cos \alpha \quad (4-24b)$$

trong đó U_{d0} là giá trị trung bình của điện áp chỉnh lưu khi $\alpha = 0$.

Các giá trị khác được tính như bộ chỉnh lưu không điều khiển.

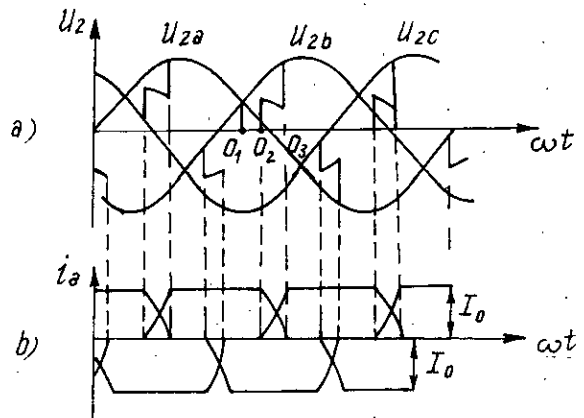
b - $X_a \neq 0 ; X_t = \infty$

Đồ thị điện áp và dòng điện chỉnh lưu được trình bày trên hình 4.7. Sơ đồ mạch điện được trình bày trên hình 4.6a khi kể đến X_a .

Trong khoảng $O_1 \div O_2$, các tiristo T_{i1} và T_{i6} mở cho dòng qua tải. Tại O_2 , ta cho xung điều khiển vào T_{i3} . Vì $X_a \neq 0$ nên có thời gian chuyển mạch ứng với góc pha γ : Cả 3 tiristo T_{i1} T_{i3} T_{i6} đều mở (h.4.7a và b).

Giá trị dòng điện một chiều ra tải I_0 cũng được tính như mạch chỉnh lưu có $X_a = 0$. Giá trị trung bình của điện áp chỉnh lưu là :

$$U_d = \frac{3\sqrt{6}U_2}{\pi} \left[\cos \alpha - \frac{X_a \cdot I_0}{\sqrt{6} \cdot U_2} \right] \quad (4-25)$$



Hình 4.7 : Đồ thị điện áp và dòng điện chỉnh lưu sơ đồ cầu 3 pha có điều khiển khi $X_a \neq 0 ; X_t = \infty$.

Ngoài sơ đồ chỉnh lưu 3 pha cầu đối xứng như trên, trong thực tế còn dùng sơ đồ cầu không đối xứng trong đó có nhóm lể chẳng hạn là 3 tiristo, còn nhóm chẵn là 3 diôt thường. Do khuôn khổ có hạn của giáo trình nên chúng ta không phân tích chi tiết loại sơ đồ này.

4.3. NGHỊCH LƯU

Trong công nghiệp, ta thường gặp vấn đề biến đổi điện một chiều thành điện xoay chiều và ngược lại bằng các thiết bị nắn điện. Chẳng hạn việc chuyển tải công suất đi xa người ta dùng dòng điện một chiều hợp lí hơn trong khi đó công nghiệp chủ yếu sản xuất và tiêu thụ điện xoay chiều. Do đó người ta thường phải mắc các thiết bị biến đổi ở hai đầu dây chuyển tải để thực hiện hai quá trình biến đổi ngược nhau ở hai đầu. Bộ biến đổi ở đầu nhà máy điện làm việc ở chế độ nắn điện tức là biến đổi điện xoay chiều thành điện một chiều đưa lên đường dây, còn bộ biến đổi ở đầu tải làm việc ở chế độ xoay chiều cung cấp cho các tải.

Như vậy, nghịch lưu là quá trình biến đổi năng lượng một chiều thành năng lượng xoay chiều. Các sơ đồ nghịch lưu có thể chia làm hai loại : sơ đồ nghịch lưu làm việc ở chế độ phụ thuộc vào lưới điện xoay chiều và sơ đồ nghịch lưu làm việc ở chế độ độc lập (với các nguồn điện độc lập như ắc quy, máy nổ).

4.3.1. Sơ đồ nghịch lưu làm việc ở chế độ phụ thuộc

Nghịch lưu làm việc ở chế độ phụ thuộc được thiết kế trên sơ đồ tương tự như sơ đồ chỉnh lưu có điều khiển.

Ta xét sơ đồ nắn điện cầu 3 pha cung cấp cho một máy điện một chiều (h. 4.8) dùng các đèn nắn điện có điều khiển như tiristo, tiratrôn, inhitrôn. Cuộn cảm L_d làm nhiệm vụ san phẳng dòng điện vào bộ nghịch lưu. Ở chế độ làm việc nắn điện (chỉnh lưu) nguồn năng lượng là lưới điện xoay chiều, điện áp chỉnh lưu phụ thuộc vào thời điểm thông tiristo, tức là phụ thuộc vào góc mở α . Lúc đó điện áp chỉnh lưu $U_d = U_{d0} \cos \alpha$ (xem phần chỉnh lưu).

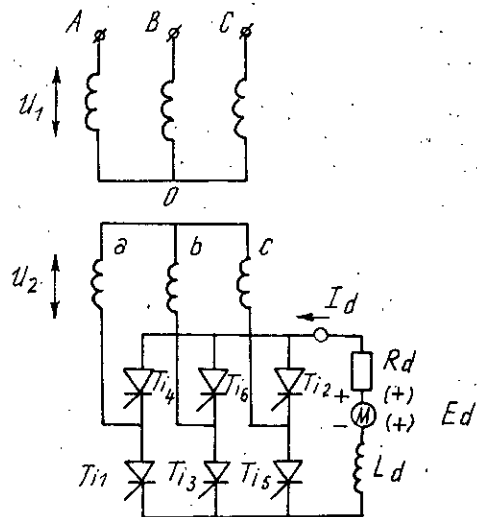
Ở chế độ chỉnh lưu máy điện sẽ làm việc ở chế độ động cơ điện áp đã được chỉnh lưu sẽ cao hơn suất điện động (s.d.d) E_d của máy điện. Trên máy điện sẽ đặt một điện áp U_d như trong hình 4.8

$$I_d = \frac{U_d - E_d}{R_d} = \frac{U_{d0} \cos \alpha - E_d}{R_d} \quad (4-26)$$

Nếu đảo chiều s.d.d E_d chẳng hạn đổi chiều dòng kích từ và tăng góc mở tiristo α và $\alpha > \pi/2$ sao cho $|E_d| > |U_{d0} \cos \alpha|$ lúc có điện áp nắn điện U_d sẽ có giá trị âm còn dòng điện trong mạch qua các tiristo vẫn giữ nguyên như cũ.

$$I_d = \frac{|E_d| - |U_{d0} \cos \alpha|}{R_d} \quad (4-27)$$

Do cả E_d và I_d đều đổi dấu, nên công suất của cả máy điện một chiều và mạch xoay chiều đều đổi dấu. Máy điện một chiều trước là động cơ tiêu thụ công suất nay đổi dấu sẽ là nguồn công suất, còn nguồn xoay chiều (lưới điện) trước là nguồn phát nay sẽ trở thành tải.



Hình 4.8: Sơ đồ nghịch lưu phụ thuộc cầu 3 pha.

Như vậy, mạch nghịch lưu là một mạch chỉnh lưu trong đó có nguồn một chiều được đổi dấu trên cực so với mạch chỉnh lưu và ở góc mở α của các tiristo thỏa mãn điều kiện : $\pi/2 < \alpha < \pi$.

Lúc đó công suất của máy phát điện một chiều được biến thành công suất xoay chiều cung cấp cho mạch xoay chiều.

Góc đặc trưng của chế độ nghịch lưu là :

$$\beta = \pi - \alpha$$

Góc β được tính từ các điểm $\pi, 2\pi...$

Tần số và điện áp nghịch lưu trong trường hợp này phụ thuộc vào tần số và điện áp lưới điện xoay chiều.

Cần lưu ý rằng phương pháp trên để chuyển từ chế độ chỉnh lưu sang chế độ nghịch lưu không phải là duy nhất. Ta còn có thể làm như sau : Nếu như trên 2 cực của máy điện M ta mắc thêm một sơ đồ thứ 2 tương tự như sơ đồ trong hình 4.8 cũng gồm có biến áp và một nhóm các tiristo, nhưng các tiristo ở đây mắc theo chiều ngược lại. Do đó ta có thể chuyển sang chế độ nghịch lưu nếu thay đổi chiều dòng điện i_d trong máy điện M mà vẫn giữ nguyên chiều điện áp U_d . Khi sơ đồ làm việc ở chế độ chỉnh lưu và máy điện M làm việc ở chế độ động cơ, sơ đồ 2 sẽ không làm việc. Khi máy điện M chuyển sang làm việc ở chế độ phát điện thì sơ đồ 2 sẽ làm việc như sơ đồ nghịch lưu với các góc mở thông đèn β , còn sơ đồ 1 không làm việc.

Hai phương pháp kể trên dùng để biến đổi từ các chế độ chỉnh lưu sang nghịch lưu và ngược lại thường sử dụng trong các bộ biến đổi thuận nghịch.

4.3.2. Sơ đồ nghịch lưu làm việc ở chế độ độc lập

Sơ đồ nghịch lưu độc lập làm nhiệm vụ biến đổi điện áp một chiều từ các nguồn độc lập (không phụ thuộc vào lưới điện xoay chiều) thành xoay chiều với tần số pha tùy ý ; tần số và điện áp nghịch lưu nói chung có thể điều chỉnh ở trị số bất kì. Có 2 dạng sơ đồ nghịch lưu độc lập là mạch cầu và mạch dùng biến áp với điểm trung tính.

Một dạng nghịch lưu cần độc lập một pha được chỉ ra trên hình 4.9a, trong đó các đèn được thay thế bằng các khóa. Trong thực tế các khóa có thể dùng tiristo, triac, tranzito.

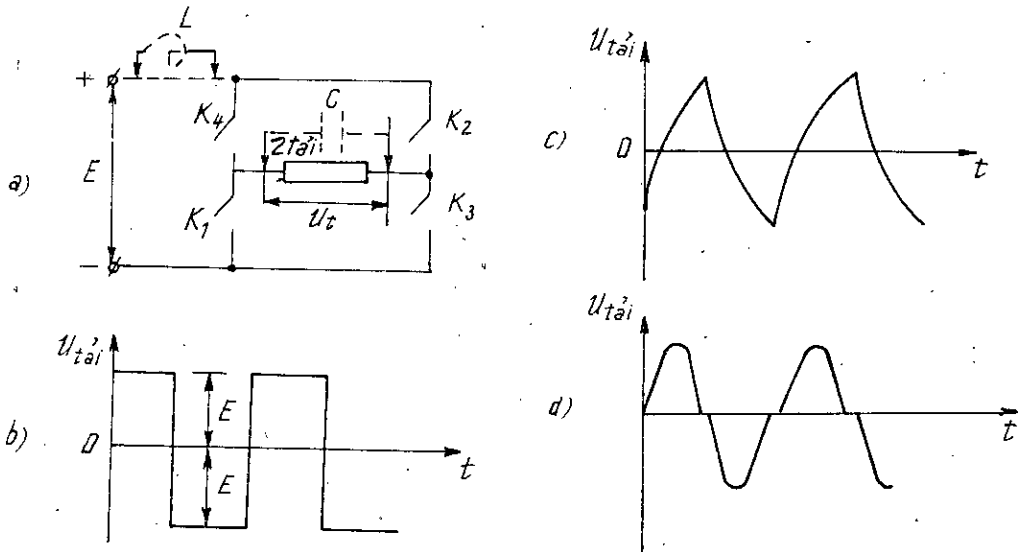
Khi sử dụng tiristo thì trong sơ đồ phải mắc thêm một số phần tử phụ để thực hiện quá trình tắt tiristo. Một trong những phần tử đó là tụ điện. Cần nhấn mạnh rằng chức năng của tụ điện không những dùng để thực hiện quá trình đóng các tiristo mà còn quyết định dạng đồ thị trên điện áp ra của sơ đồ nghịch lưu và quyết định đặc tính của các quá trình xảy ra trong mạch.

Các sơ đồ nghịch lưu độc lập có thể chia ra làm 3 loại cơ bản sau : nghịch lưu độc lập điện áp, nghịch lưu độc lập dòng điện và nghịch lưu độc lập công hưởng.

a - *Nghịch lưu độc lập* điện áp được cung cấp từ các nguồn điện áp, ví dụ ác quy, pin, khi sơ đồ máy làm việc từ các mạch chỉnh lưu thì ở đầu vào của các sơ đồ nghịch lưu này thường mắc song song một tụ điện có điện dung lớn để ngăn thành phần xoay chiều và tạo ra nguồn điện áp để cung cấp cho sơ đồ nghịch lưu này. Sự hình thành đường cong điện áp ra được thực hiện bằng cách đóng mở khóa tương ứng theo một thuật toán nhất định. Một thuật toán đơn giản nhất là đóng mở lần lượt từng cặp khóa nằm chéo nhau, đầu tiên các khóa K_1, K_2 làm việc, sau đó tới khóa K_3 và K_4 . Đồ thị điện áp sẽ là một chuỗi các xung vuông lưỡng cực với biên độ bằng E (h.4.9b).

Dòng điện trong mạch phải được xác định bởi dạng điện áp ra và đặc tính của tải. Trong trường hợp sử dụng các tiristo ở vị trí các khóa thì trong sơ đồ phải mắc thêm một số nhánh chuyển mạch nhân tạo dùng tụ điện.

b - Nghịch lưu độc lập dòng điện được cung cấp từ các nguồn dòng và tụ điện được mắc song song với tải. Để thực hiện chế độ làm việc từ các nguồn người ta thường mắc một cuộn cảm L_d với độ tự cảm lớn ở đầu vào của sơ đồ hình 4.9a (trong sơ đồ là đường nét đứt). Tụ điện mắc song song với tải tham gia vào quá trình hình



Hình 4.9 : Mô tả mạch khóa nghịch lưu cầu độc lập một pha (a)
 - Dạng đồ thị điện áp ra của nghịch lưu độc lập điện áp. (b) - dòng điện (c)
 - dạng đồ thị dòng ra của nghịch lưu độc lập cộng hưởng (d).

thành dạng đường cong điện áp ra và đảm bảo sự khóa các tiristo. Dạng đồ thị điện áp ra trong trường hợp sử dụng thuật toán đóng mở các khóa đơn giản như trường hợp nghịch lưu điện áp và tải là thuần trở được biểu thị trên hình 4.9c.

c - Nghịch lưu cộng hưởng khác với hai dạng nghịch lưu trên ở chỗ các quá trình xảy ra trong mạch qua các khóa được đặc trưng bởi quá trình dao động phóng - nạp tụ điện trong mạch tạo bởi nguồn cung cấp và các cuộn cảm mà người ta mắc thêm vào hay có sẵn trong thành phần của tải. Chính vì thế mà dòng ở trong mạch tải (h.4.9d) có dạng gần với hình sin. Trong loại nghịch lưu này tụ điện có thể mắc song song hoặc nối tiếp với tải. Ngoài việc tạo ra dạng đồ thị điện áp tụ điện còn tham gia vào các quá trình đóng tiristo.

Các lĩnh vực chính ứng dụng nghịch lưu độc lập

1. Sử dụng trong các thiết bị tiêu thụ dòng xoay chiều mà nguồn cung cấp chỉ là ác quy, pin hoặc nguồn dự trữ cho các thiết bị tiêu thụ từ lưới điện phòng khi ngắt điện bất ngờ (điện báo, máy tính), trong các trường hợp này thường dùng nghịch lưu điện áp và dòng điện.

2. Điện giao thông (thường dùng nghịch lưu điện áp dòng điện) được nuôi từ các lưới điện một chiều. Trong trường hợp này các động cơ điện thường là đơn giản, tin cậy và là động cơ không đồng bộ.

3. Truyền động điện cho các động cơ đồng bộ và không đồng bộ (thường dùng nghịch lưu điện áp, dòng điện) ; ở đây nghịch lưu thường là các nguồn điều chỉnh điện áp và tần số.

4. Biến đổi điện áp một chiều ở mức này sang mức khác (dùng nghịch lưu điện áp, dòng điện và nghịch lưu cộng hưởng).

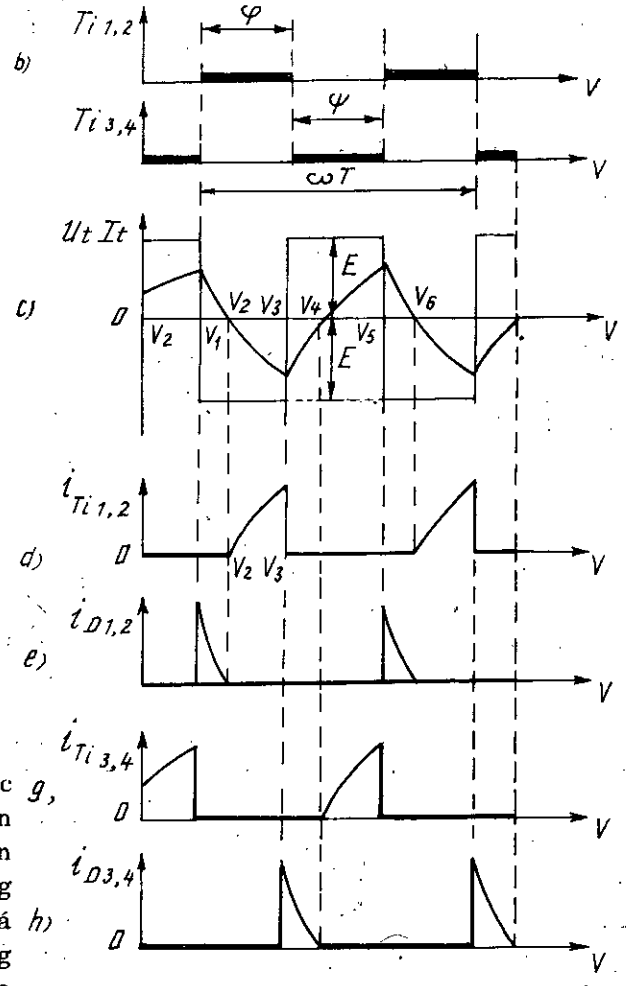
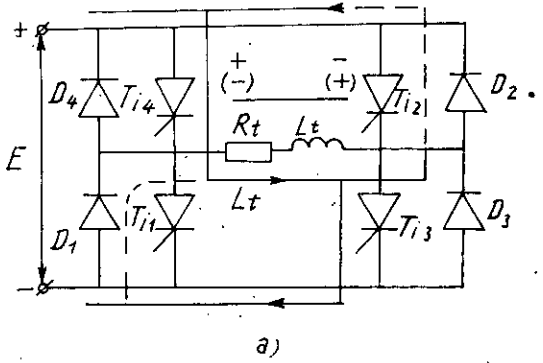
5. Thiết bị để tạo ra dòng xoay chiều (nghịch lưu điện áp, dòng điện cộng hưởng) với tần số cần thiết từ các nguồn sơ cấp tạo ra bởi các nguồn nhiệt điện, quang điện.

6. Nhiệt điện (nghịch lưu điện áp, dòng điện, cộng hưởng) để tạo ra dòng xoay chiều với tần số cao dùng trong công nghiệp luyện kim.

Như đã trình bày ở trên, các sơ đồ nghịch lưu độc lập rất đa dạng. Ta chỉ xét một vài sơ đồ thường hay sử dụng trong thực tế.

a - Nghịch lưu độc lập điện áp một pha

Trên hình 4.10a là sơ đồ nguyên lý phần công suất của nghịch lưu điện áp độc lập một pha dùng mạch cầu. Tải thường có tính chất cảm kháng và được mắc vào đường chéo của cầu tạo bởi các tiristo $T_{i1} + T_{i4}$. Các diốt $D_1 \div D_4$, mắc ngược với các tiristo $T_{i1} \div T_{i4}$ dùng để thông dòng cho tải trong khoảng thời gian dòng điện có hướng ngược chiều dẫn điện của các tiristo $T_{i1} + T_{i4}$.



Hình 4.10 : Sơ đồ mạch nguyên lý phần công suất của nghịch lưu điện áp một pha dùng mạch cầu (a).
Giản đồ thời gian mô tả nguyên lý hình thành dạng điện áp ra và dòng điện qua các phần tử của sơ đồ nghịch lưu độc lập dạng này (b ÷ h).

Sự hình thành dòng điện áp ra được đặc trưng bởi quá trình xảy ra trong sơ đồ phân công suất của bộ nghịch lưu. Để đơn giản ta chỉ xét tới các quá trình xảy ra trong các tiristo khóa mà không tính đến các quá trình xảy ra trong các nhánh cưỡng bức đóng các tiristo khóa này. Trong sơ đồ này ta

dùng thuật toán đơn giản đóng mở lần lượt các cặp tiristo chéo nhau T_{11} T_{12} và T_{13} T_{14} sao cho mỗi cặp đó thông trong khoảng thời gian $t = T/2$ hay $\psi = 180^\circ$ (h.4.10).

Trong chế độ ổn định, đồ thị dòng điện qua tải sẽ đối xứng và tạo bởi các đoạn biến đổi theo hàm mũ với hằng số thời gian $\tau = L_{t\grave{a}i}/R_{t\grave{a}i}$. Trong khoảng từ $v_0 - v_1$ tiristo T_{13} và T_{14} thông, điện áp trên tải bằng E và có cực tính chỉ ra trên hình 4.10. Ở thời điểm v_1 tiristo T_{13} T_{14} đóng vì tải có tính cảm kháng nên dòng tải $i_{t\grave{a}i}$ vẫn giữ nguyên chiều do s.d.đ. tự cảm gây ra, vì thế dòng tải sẽ chạy qua diốt D_1 , D_2 . Chính sự thông các diốt này đã làm thay đổi cực tính của điện áp ra trên tải. Năng lượng được tích lũy trong cuộn cảm $L_{t\grave{a}i}$ ở giai đoạn trước sẽ được trả lại nguồn cung cấp. Ở thời điểm v_2 dòng $i_{t\grave{a}i}$ bằng không, diốt D_1 , D_2 đóng. (h.4.10c, e) ; lúc đó nếu đưa vào các tiristo T_{11} T_{12} các xung kích thông thì tải lại được mắc với nguồn cung cấp. Dòng qua tải đổi chiều và tải lại tiêu thụ năng lượng từ nguồn cung cấp.

Ở thời điểm v_3 T_{11} T_{12} lần lượt đóng, quá trình lại xảy ra tương tự. Trong khoảng ($v_3 - v_4$) dòng tải sẽ chảy qua diốt D_3 D_4 và trong khoảng thời gian ($v_4 - v_5$) sẽ qua tiristo T_{13} T_{14} . Dạng dòng điện chảy qua các tiristo và diốt được mô tả trên hình 4.10d + h.

Ta xét thành phần hài của điện áp ra của sơ đồ nghịch lưu (h.4.10e). Khai triển đường cong điện áp tải $U_{t\grave{a}i}$ dưới dạng chuỗi Fourier.

$$U_{t\grave{a}i}(\omega t) = \frac{4E}{\pi} \left(\sin\omega t + \frac{1}{3} \sin 3\omega t + \frac{1}{5} \sin 5\omega t + \dots + \frac{1}{\nu} \sin \nu \omega t \right) \quad (4-28)$$

Hài bậc nhất sẽ là :

$$U_{t\grave{a}i(1)}(\omega t) = \frac{4E}{\pi} \sin\omega t \quad (4-29)$$

Biên độ điện áp tải

$$U_{t\grave{a}i(m(1))} = \frac{4E}{\pi} = 1,27E \quad (4-30)$$

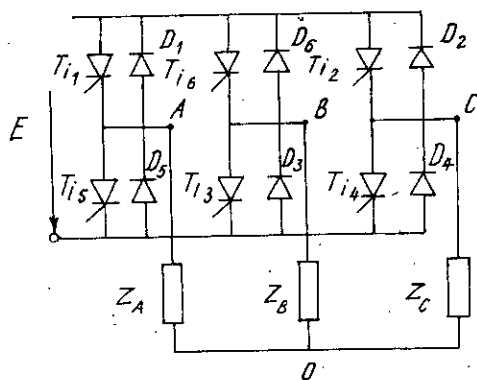
Giá trị hiệu dụng

$$U_{t\grave{a}i(1)} = \frac{4}{\pi\sqrt{2}} \cdot E = 0,9E \quad (4-31)$$

Thường để lọc các thành phần hài bậc nhất của điện áp ra người ta dùng các bộ lọc khác nhau mắc trước tải.

b - Nghịch lưu độc lập biến áp ba pha

Sơ đồ nguyên lý phân công suất của nghịch lưu điện áp cầu ba pha được biểu thị trên hình 4.11. Sơ đồ này dùng 6 tiristo, kí hiệu từ T_{11} đến T_{16} và diốt $D_1 \div D_6$ mắc ngược với các tiristo ; chúng thực hiện chức năng tương tự như các diốt ở sơ đồ 1 pha. Tải xoay chiều 3 pha có tính chất cảm kháng và được mắc theo hình sao (có thể mắc theo hình tam giác). Để đơn giản khi xét quá trình hình thành điện áp ra ta coi các đèn van (diốt, tiristo) là các khóa lí tưởng. Trong sơ đồ này ta dùng phương pháp tạo điện áp ra đơn giản : phương pháp giữ nguyên thời gian thông của các tiristo là $\psi = 180^\circ$. Như vậy là các tiristo được bố trí lần lượt thông và chuyển mạch theo trình tự biểu thị trên hình 4.12a.



Hình 4.11 : Sơ đồ nguyên lý phân công suất của nghịch lưu độc lập điện áp cầu 3 pha.

Ở mỗi thời điểm chỉ có hai tiristo thông, mỗi tiristo chỉ thông trong một nửa chu kì hay $2\pi/2$ radian ($\psi = 180^\circ$). Trình tự đổi nối là cứ sau một phần sáu chu kì hay $\pi/3$ radian thì có một tiristo đổi nối. Tiristo cùng một pha, ví dụ : T_{11} và T_{14} của A không thể làm việc đồng thời. Trong mỗi thời điểm bất kì đồng thời thông 3 tiristo, 2 trong số đó thuộc cùng một nhóm catôt hay anôt, còn tiristo còn lại sẽ thuộc nhóm khác. Có nghĩa là các nhóm 123, 234, 345, 456,... sẽ thông đồng thời với nhau.

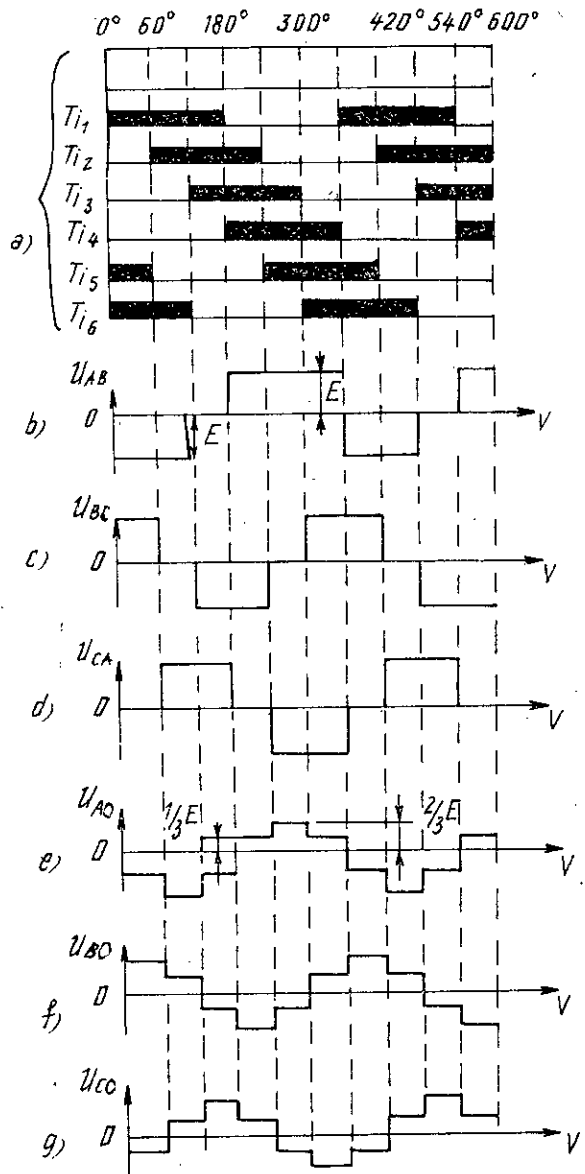
Giả sử ở thời điểm các tiristo T_{11} T_{14} T_{16} đang thông, điện áp E đặt vào cuộn BO, OC, OA nên U_B dương còn U_A , U_C âm. Sau một phần 6 chu kì T_{15} tắt, T_{12} thông điện áp E đặt vào cuộn CO, OA, OB nên U_C dương, U_B dương, U_A âm. Cứ theo trình tự đó ta lập được dạng đường cong điện áp trên các cuộn OA, OB, OC và giữa các pha AB, BC, CA như trên hình 4.12b ÷ g. Điện áp pha U_{A0} U_{B0} U_{C0} (h.9.12 e, f, g) có dạng bậc thang với giá trị điện áp bằng $1/3 E$. Điều đó được giải thích rằng trong mỗi thời điểm bất kì khi 3 tiristo thông, đồng thời tải của các pha Z_A Z_B Z_C được nối với điện áp nguồn cung cấp E sao cho 2 trong số đó, ví dụ Z_A và Z_C hình 4.12a mắc song song với nhau và chúng được mắc nối tiếp với tải thứ 3 (trong trường hợp này là Z_B). Nếu như điện trở của tải trong các pha $Z_A = Z_B = Z_C$ (tải đối xứng) thì điện áp pha của các tải mắc song song với nhau sẽ bằng $\pm (2/3)E$ và các điện áp lệch pha nhau 120° .

Dùng phân tích thành chuỗi Fourier ta sẽ nhận được dạng điện áp và dòng điện hình sin với điện áp tuyến tính cực đại :

$$U_{\text{t(m)}(1)} = \frac{2\sqrt{3}}{\pi} E = 1,1E \quad (4-32)$$

Giá trị điện áp tuyến tính hiệu dụng sẽ là :

$$U_{\text{H}(1)} = \frac{\sqrt{3}}{\pi} E = 0,78E \quad (4-33)$$



Hình 4.12 : Giản đồ thời gian mô tả nguyên lí hình thành dạng điện áp ra của sơ đồ nghịch lưu độc lập điện áp cầu 3 pha.

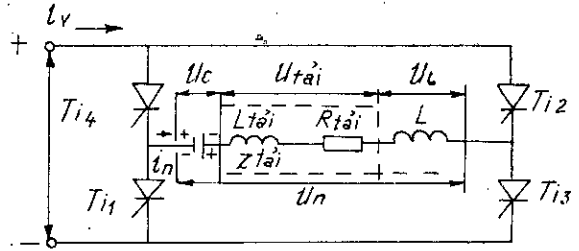
Điện áp pha cực đại :

$$U_{phm(1)} = \frac{2E}{\pi} \quad (4-34)$$

Điện áp pha hiệu dụng :

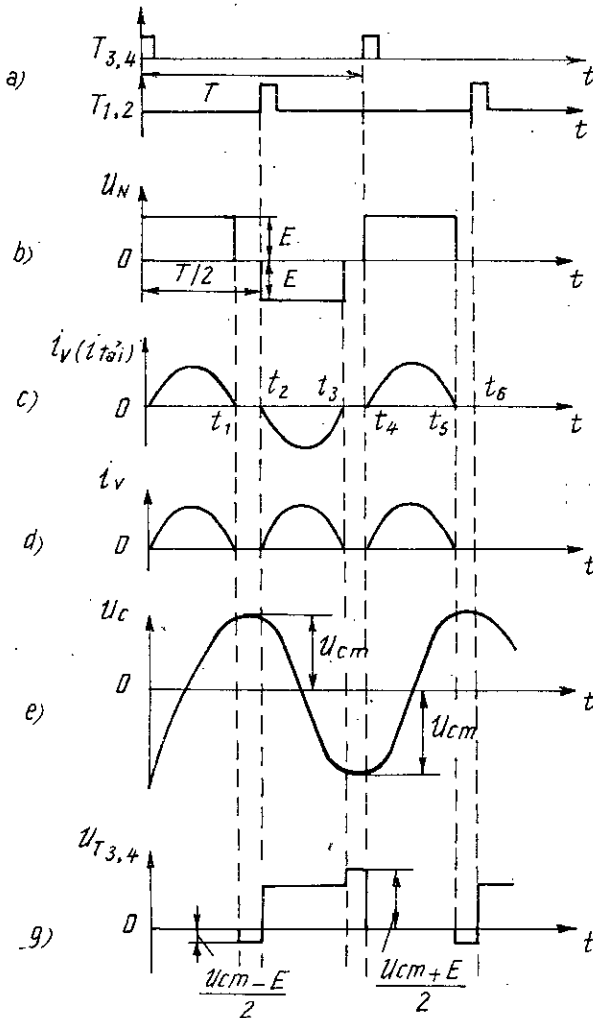
$$U_{ph(1)} = \frac{\sqrt{2}E}{\pi} = 0,45E \quad (4-35)$$

Để điều chỉnh điện áp ra đối với sơ đồ nghịch lưu loại này người ta thường điều chỉnh điện áp nguồn cung cấp, ví dụ mắc ở mạch vào của sơ đồ nghịch lưu này một sơ đồ chỉnh lưu có điều khiển hay một bộ biến đổi điện áp một chiều.



Hình 4.13 : Sơ đồ nguyên lý nghịch lưu cộng hưởng.

c - Nghịch lưu độc lập cộng hưởng



Hình 4.14 : Giản đồ thời gian mô tả quá trình điện tử trong sơ đồ hình 4.13.

Các sơ đồ nghịch lưu cộng hưởng dùng để biến đổi điện áp một chiều thành xoay chiều với tần số cao (từ 500 - 1000 Hz đến 5 - 10 kHz hoặc cao hơn). Nghịch lưu cộng hưởng thường được sử dụng như nguồn điện áp xoay chiều tần số cao và dùng để biến đổi điện áp một chiều từ giá trị này sang giá trị khác. Trong trường hợp này điện áp ra của bộ biến đổi sẽ là điện áp đã được chỉnh lưu và lọc phẳng.

Nghịch lưu cộng hưởng có thể mắc theo sơ đồ cầu một pha các khóa có thể là tiristo hay tranzito công suất. Tụ điện trong nghịch lưu cộng hưởng có thể mắc song song hoặc nối tiếp với tải, do đó người ta có thể chia làm 2 loại nghịch lưu cộng hưởng song song và nối tiếp.

Xét một sơ đồ nghịch lưu cộng hưởng đơn giản trên hình 4.13 sơ đồ nghịch lưu được tạo bởi cầu tiristo ($T_{11} \div T_{14}$) và mắc vào đường chéo của cầu này tụ C, tải $Z_{t\grave{a}i}$ và cuộn cảm L. Dạng dòng điện qua tải $i_{t\grave{a}i}(t)$ hay dòng nghịch lưu $i_n(t)$ được tạo bằng cách kích thông 2 tiristo đối xứng T_{11}, T_{12} và T_{13}, T_{14} . Hình 4.14 đặc tính của dòng $i_n(t)$ hay $i_{t\grave{a}i}(t)$ được quyết định bởi quá trình dao động phóng nạp điện tích của tụ điện C với tần số cộng hưởng

$$f_0 = \frac{1}{2\pi} \sqrt{\frac{1}{(L + L_{t\grave{a}i})C}} \quad (4-36)$$

của dòng dao động nối tiếp tạo bởi các phần tử L, C của mạch tải khi nó được mắc với nguồn cung cấp E qua các tiristo ở trạng thái thông. Trong sơ đồ trên, tần số riêng của vòng cộng hưởng f_0 và tần số của các xung kích tiristo f liên hệ với nhau qua biểu thức $f_0 > f$. Chính vì thế quá trình dao động phóng nạp tụ điện C (gắn với quy luật hình sin) sẽ kết thúc trước khi mở cặp tiristo tiếp theo hình 4.14 a, b, c, d và trong thời gian đó sẽ không có dòng tải. Thời gian này cần thiết để đóng toàn phần các cặp tiristo trước khi kích thông các cặp tiếp theo. Trong thực tế để nâng cao tần số làm việc f_0 lên và chuyển dòng tải vào chế độ liên tục, ta thường mắc thêm một số diot ngược với tiristo và cần thỏa mãn biểu thức $\omega_0 > 2\omega$. ở đây $\omega_0 = 2\pi/T_0$ và $\omega = 2\pi/T$.

4.4. CÁC PHẦN TỬ CƠ BẢN CỦA HỆ THỐNG ĐIỀU KHIỂN CÁC BỘ BIẾN ĐỔI

4.4.1. Chức năng và những yêu cầu cơ bản đối với hệ thống điều khiển các bộ biến đổi

Hệ thống điều khiển các thiết bị biến đổi dùng để hình thành và tạo ra các xung điều khiển có dạng xung và độ rộng xung nhất định, phân bố chúng theo các pha và thay đổi thời điểm đưa xung kích thông vào các van của bộ biến đổi.

Trong các bộ biến đổi bán dẫn thường sử dụng rộng rãi các phần tử hoặc điều khiển toàn phần như tranzito, triac hoặc các phần tử không điều khiển toàn phần. Chính vì vậy, sau khi đã kích thông các phần tử điều khiển thì hệ thống điều khiển không được gây ảnh hưởng tới trạng thái làm việc của chúng.

Các yêu cầu cơ bản của hệ thống điều khiển các bộ biến đổi phụ thuộc vào dạng phần tử, các chế độ làm việc của chúng và đặc tính của tải. Vì vậy các yêu cầu chính của hệ thống điều khiển sẽ là :

1. Cần có một biên độ điện áp và dòng đủ lớn để kích thông một cách tin cậy các đèn : đối với tiristo biên độ điện áp khoảng 10 - 20V, dòng từ 20 - 200 mA ; đối với các triac : 3 - 10V ; 3 - 400 mA ; đối với các tiristo : 0,5 - 3V, 0,1 - 2A.

2. Độ dốc của sườn các xung phải đảm bảo đến mức 10 V/ μ s.

3. Dải điều khiển phải rộng và dải này xác định bởi dạng và chế độ làm việc của các bộ biến đổi và đặc tính của tải. Ví dụ để điều chỉnh điện áp ra của chỉnh lưu cầu ba pha làm việc ở chế độ tải thuận trở, góc điều khiển thông tiristo phải thay đổi từ 0° đến 120°. Còn đối với tải cảm kháng thì góc điều khiển cực đại là 90°. Khi làm việc ở chế độ nghịch lưu thì góc điều khiển có thể thay đổi tới 170°.

4. Đảm bảo đối xứng các xung điều khiển theo pha. Nếu không đảm bảo đối xứng các xung điều khiển các tiristo của các bộ biến đổi nhiều pha sẽ gây ra sự không cân bằng giá trị trung bình của dòng qua tiristo đó.

5. Hệ thống điều khiển phải tác động nhanh và trong nhiều trường hợp phải đạt tới tốc độ 1 phần triệu giây.

Các hệ thống điều khiển mà trong đó các tín hiệu điều khiển có dạng xung và các pha của nó có thể điều chỉnh được gọi là hệ thống điều khiển xung - pha. Các hệ thống này được chia làm 3 loại :

a - Các hệ thống cơ điện (ngày nay hầu như không được sử dụng) ; b - Các hệ thống điện tử ; c - Các hệ thống điện tử.

Trong phần này ta xét một số ví dụ của hệ thống điều khiển xung - pha điện tử, vì hiện nay đang được sử dụng rất rộng rãi. Chúng có một loạt các ưu điểm hơn hẳn các hệ thống điều khiển điện tử như có độ tác động nhanh, tin cậy cao và tiêu thụ

ít năng lượng, khối lượng và kích thước nhỏ. Trong các hệ thống điều khiển điện tử còn được chia thành các dạng sau :

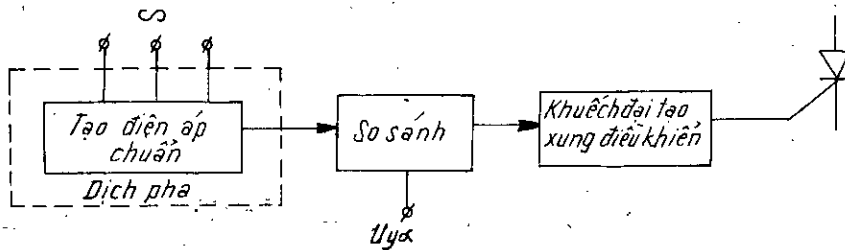
1 - Hệ thống điều khiển xung - pha của các bộ biến đổi phụ thuộc dẫn từ lưới điện (chỉnh lưu có điều khiển, nghịch lưu dẫn từ lưới điện, các bộ biến đổi thuận nghịch, biến đổi tần số trực tiếp). Các bộ biến đổi này đều có các nét giống nhau là đều có quá trình chuyển mạch tự nhiên.

2 - Hệ thống điều khiển xung - pha của các bộ biến đổi có sự chuyển mạch, ví dụ các bộ nghịch lưu độc lập, các bộ biến đổi tần số.

4.4.2. Hệ thống điều khiển xung - pha của các bộ biến đổi dẫn từ lưới điện

Các hệ thống điều khiển xung - pha dạng này thường được chia ra làm hai dạng dựa trên các nguyên lý đồng bộ và không đồng bộ.

a - Các hệ thống điều khiển xung - pha đồng bộ



Hình 4.15 : Sơ đồ cấu trúc một kênh điều khiển tiristo của bộ biến đổi dựa trên nguyên lý đồng bộ xây dựng hệ thống điều khiển.

Nguyên lý đồng bộ điều khiển xung - pha dùng trong các bộ biến đổi thường được sử dụng rộng rãi. Sự đồng bộ các xung điều khiển được thực hiện bằng điện áp lưới xoay chiều.

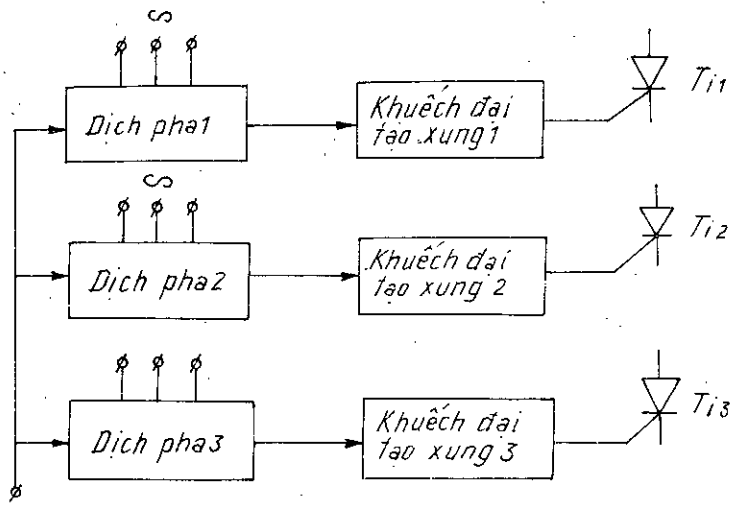
Trên hình 4.15 là sơ đồ khối của hệ thống điều khiển đồng bộ một tiristo của bộ biến đổi dẫn từ lưới điện. Sơ đồ này bao gồm các khối sau : khối tạo điện áp chuẩn, khối so sánh, khối khuếch đại tạo xung kích tiristo.

Khối tạo điện áp chuẩn sẽ tạo ra điện áp U_0 thay đổi theo thời gian có dạng hình sin, vuông, răng cưa v.v... Nhờ khối so sánh điện áp chuẩn U_0 sẽ được so sánh với điện áp điều khiển U_{α} của bộ biến đổi. Khi điện áp ra U_0 bằng U_{α} ở đầu ra của bộ so sánh sẽ xuất hiện xung và sau đó xung này sẽ được khuếch đại lên và đưa vào cực điều khiển của tiristo.

Điện áp chuẩn thay đổi theo thời gian được tạo ra với sự tham gia của điện áp lưới (một hoặc nhiều pha) chính vì thế điện áp chuẩn và xung được tạo ra đồng bộ theo thời gian với điện áp lưới xoay chiều. Bằng cách thay đổi giá trị điện áp U_{α} ta có thể thực hiện được sự dịch chuyển theo thời gian xung ra và điều chỉnh góc kích α , tức là điều chỉnh điện áp ra của bộ biến đổi.

Điện áp điều khiển U_{α} có thể là hiệu hoặc tỉ lệ với hiệu của điện áp chuẩn và điện áp đặc trưng cho các tham số điều khiển (ví dụ như điện áp tải $U_{\text{tải}}$, dòng tải $i_{\text{tải}}$, tần số quay của động cơ v.v...). Như vậy là trong hệ thống sẽ có hồi tiếp âm theo các tham số điều khiển và chính vì thế đảm bảo được sự ổn định của toàn bộ hệ thống.

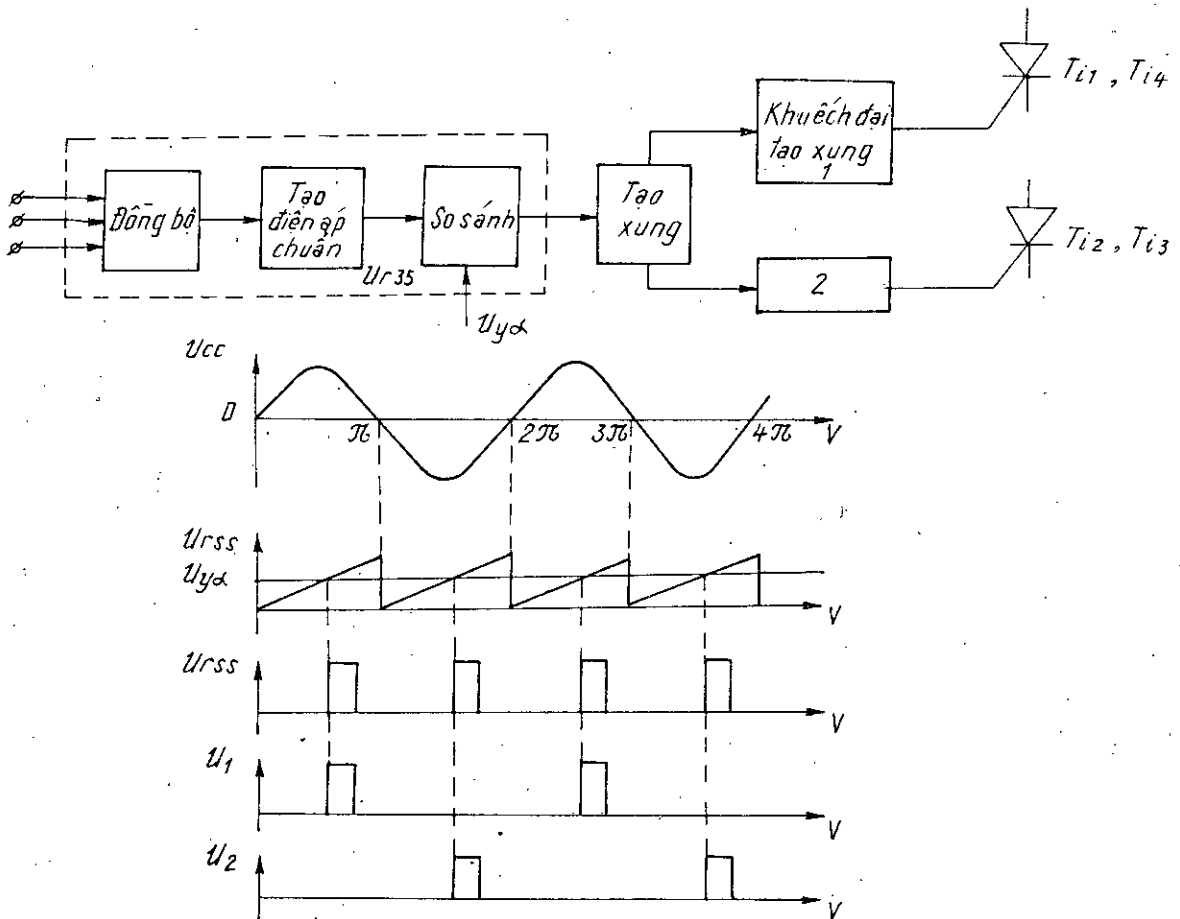
Thường trong các hệ thống điều khiển dạng này, bộ tạo điện áp chuẩn và bộ so sánh được kết hợp lại với nhau và gọi là bộ dịch pha. Bộ phận này là phần không thể thiếu được của cả hệ thống như trên (h.4.15).



Hình 4.16 : Sơ đồ cấu trúc của hệ thống điều khiển đồng bộ nhiều kênh của các bộ biến đổi.

Các hệ thống điều khiển đồng bộ của các bộ biến đổi nhiều pha có thể chia làm hệ thống điều khiển nhiều kênh và hệ thống điều khiển một kênh.

Trên hình 4.16 là sơ đồ cấu trúc của hệ thống điều khiển đồng bộ nhiều kênh. Trong sơ đồ này sự điều chỉnh góc α được thực hiện bằng một điện áp điều khiển chung $U_{y\alpha}$, còn mỗi một kênh thì được thực hiện theo như sơ đồ hình 4.15. Số lượng các kênh sẽ bằng số lượng tiristo trong sơ đồ của bộ biến



Hình 4.17 : a - Sơ đồ cấu trúc của hệ thống điều khiển một kênh của sơ đồ chỉnh lưu cầu 1 pha.

đổi, (ví dụ trong hệ thống điều khiển của một sơ đồ chỉnh lưu cầu có điều khiển 3 pha thì số kênh sẽ bằng 6). Phương pháp điều khiển nhiều kênh được sử dụng rộng rãi và có thể ứng dụng cho các dạng khác nhau của các bộ biến đổi, nhưng đồng thời đòi hỏi rất cao sự giống nhau đặc tuyến điều chỉnh của các bộ dịch pha, tức là đặc tuyến $\alpha = F(U_V, \alpha)$. Sự khác nhau của các đặc tuyến điều chỉnh sẽ dẫn đến sự khác nhau các góc điều khiển α theo các kênh và sẽ tạo ra các thành phần tần số bậc thấp của độ gợn sóng điện áp ra.

b - Giảm độ thời gian giải thích quá trình làm việc của hệ thống

Chính vì các yêu cầu cao của hệ thống điều khiển nhiều kênh cho nên trong thực tế thường hay dùng hệ thống điều khiển một kênh như trên hình 4.17a. Trong sơ đồ này quá trình điều khiển thực hiện theo một kênh nhờ một bộ dịch pha chung. Sau đó xung ra sẽ được phân chia theo các kênh tới các bộ khuếch đại tạo xung kích cho các tiristo. Chính vì thế mà đủ đảm bảo được rất cao sự đối xứng của các xung điều khiển. Trên hình 4.17b là đồ thị các dạng điện áp ra ở các khối trong sơ đồ hình 4.17a.

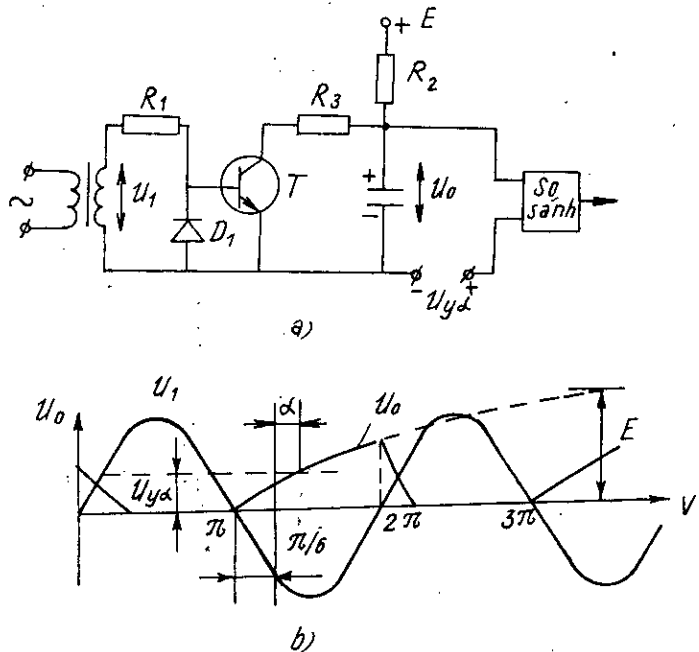
Tuy vậy phương pháp này sẽ rất phức tạp khi tiến hành thiết kế các hệ thống điều khiển của các bộ biến đổi nhiều pha. Xu hướng hiện nay là số hóa các hệ thống điều khiển, ứng dụng kĩ thuật xung, số và mạch tổ hợp tuyến tính để thiết kế các khối của hệ thống điều khiển đảm bảo sao cho hệ thống có độ tin cậy cao nhất.

Dưới đây ta sẽ xét một số sơ đồ nguyên lí của các khối chính trong hệ thống điều khiển đồng bộ các biến đổi.

- *Bộ tạo điện áp chuẩn* : Thường dùng các bộ tạo điện áp răng cưa (một hoặc hai cực) sơ đồ loại này rất đa dạng.

Trên hình 4.18a là sơ đồ nguyên lí của một mạch tạo điện áp chuẩn răng cưa dùng tranzito.

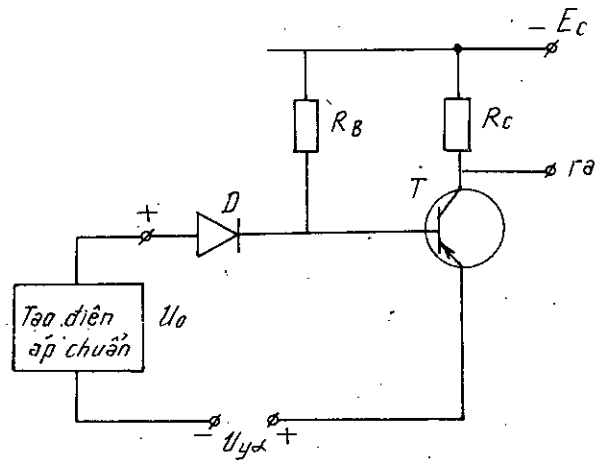
Dùng đồ thị điện áp chuẩn được mô tả trên hình 4.18b. Trong sơ đồ này tranzito T làm việc ở chế độ khóa, điện áp đồng bộ U_1 ngược pha với điện áp U_a của mạng 3 pha. Điện áp chuẩn sẽ được tạo ra ở giai đoạn tranzito đóng, tức là khi ở bazơ của nó đặt một điện áp trên bazơ của tranzito T giảm tới mức bằng điện áp đặt trên điốt, do đó sẽ bảo vệ được tranzito khỏi bị đánh thủng. Khi tranzito T đóng, tụ điện C được nạp điện với hằng số thời gian $\tau = cR_2$ vì $\tau = cR_2$ lớn cho nên điện áp trên tụ biến thiên gần như tuyến tính. Ở thời điểm 2π , khi tranzito thông, tụ sẽ phóng điện qua R_3 và qua tranzito T. Khi quá trình phóng điện kết thúc



Hình 4.18 : Sơ đồ nguyên lí bộ tạo điện áp chuẩn răng cưa dùng tranzito (a) ; Dạng đồ thị điện áp chuẩn (b).

thì qua tranzito T sẽ chảy một dòng điện bằng $E/(R_2 + R_3)$, điện áp trên tụ lúc đó sẽ bằng $ER_3/(R_3 + R_2)$ và điện áp này sẽ gần bằng không vì $R_2 \gg R_3$. Ưu điểm của sơ đồ này là tiêu thụ ít năng lượng, nhưng thường chỉ dùng trong bộ điều khiển các chỉnh lưu có điều khiển hay nghịch lưu dẫn từ lưới điện, bởi vì góc α chỉ có thể thay đổi từ $0^\circ - 90^\circ$. Còn đối với các bộ biến đổi tần số trực tiếp hay các bộ biến đổi thuận nghịch, góc α thay đổi từ $90^\circ - 180^\circ$ đòi hỏi sự thay đổi dấu của điện áp $U_{y\alpha}$ do đó điện áp chuẩn có tính chất lưỡng cực.

- *Bộ so sánh.* Một trong các sơ đồ so sánh đơn giản nhất là có thể sử dụng một tầng khuếch đại dùng tranzito mắc

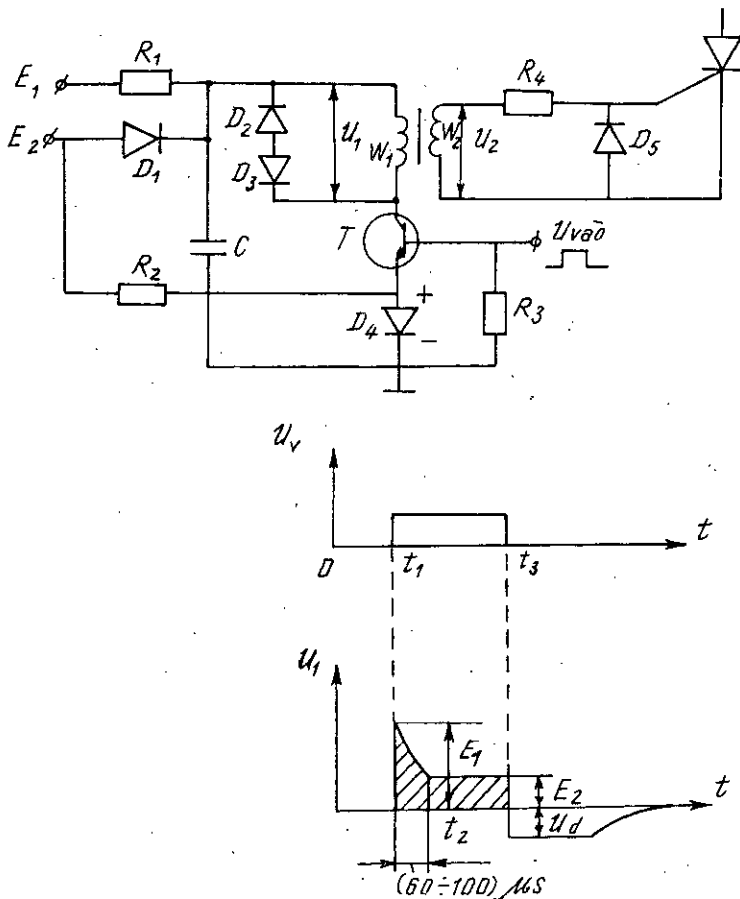


Hình 4.19 : Sơ đồ nguyên lý của bộ so sánh.

emitor chung làm việc ở chế độ khóa như trên hình 4.19. Sự hình thành xung điều khiển xảy ra khi thay đổi trạng thái của tranzito sau khi đạt được sự cân bằng $U_0 = U_{y\alpha}$.

Khi $U_0 < U_{y\alpha}$ diode D đóng bởi điện áp ngược bằng $U_{y\alpha} - U_0$. Tranzito T mở điện áp ra gần bằng không. Khi tăng điện áp U_0 tới mức $U_{y\alpha}$, diode D sẽ thông và tranzito T sẽ ngắt. Như vậy là ở đầu ra của tranzito có điện áp gần bằng $-E_c$, do đó sẽ xuất hiện xung ở mạch ra của bộ so sánh.

Trong thực tế sẽ giảm thời gian so sánh và để tạo ra các xung có sườn đứng, thường trong các sơ đồ so sánh loại này hay mắc từ 2 đến 3 tầng khuếch đại dùng tranzito làm việc ở chế độ xung. Ngoài ra còn dùng các khuếch đại thuật toán để thiết kế bộ so sánh.



Hình 4.20 : Sơ đồ nguyên lý II của bộ tạo xung dùng tranzito (a) Dạng tín hiệu đầu vào (b) ; Dạng điện áp ra (c).

- Các bộ khuếch đại - tạo xung. Công suất của tín hiệu nhận được ở đầu ra của các bộ nghịch pha thường nhỏ, bộ khuếch đại tạo xung dùng để khuếch đại và tạo xung trước khi đưa vào cực điều khiển các tiristo công suất. Trong nhiều trường hợp bộ khuếch đại - tạo xung thường ở dạng các bộ tạo xung ra đồng bộ với tín hiệu từ đầu ra của bộ so sánh. Xung ở các đầu ra của các bộ khuếch đại tạo xung được đưa vào cực điều khiển của tiristo công suất qua các biến áp xung. Các yêu cầu thiết kế các bộ khuếch đại tạo xung phụ thuộc vào các yêu cầu về tham số của các xung kích tiristo, thường là độ rộng xung và công suất của xung. Độ rộng xung phụ thuộc vào dạng sơ đồ của bộ biến đổi và đặc tính của tải. Trên hình 4.20a là một sơ đồ nguyên lý đơn giản của bộ khuếch đại - tạo xung kích cho tranzito công suất. Dạng xung kích đảm bảo kích thông một cách tin cậy các tiristo công suất biểu thị trên hình 4.20c. Điểm đột biến đầu vào của xung có biên độ lớn và độ rộng xung nhỏ khoảng 50 - 100 μ s sẽ đảm bảo kích thông tiristo trong thời gian ngắn và tổn hao năng lượng ít trên tiristo khi chuyển từ trạng thái đóng sang trạng thái mở.

Sơ đồ khuếch đại - tạo xung trên hình 4.19a, chính là một tầng khuếch đại dùng biến áp ra. Ở trạng thái ban đầu tranzito T đóng. Sự đóng này thực hiện theo mạch emitơ vì lúc đó điốt D₄ sẽ thông theo mạch từ E₂ sang R₂ và điốt D₄. Điốt D₁ đóng vì E₂ < E₁. Quá trình thông tranzito được thực hiện khi ở đầu vào của bộ khuếch đại xuất hiện một xung vuông (có thể lấy ngay ở đầu ra của bộ so sánh). Độ rộng xung này phải chọn cho phù hợp với yêu cầu tiristo trong bộ biến đổi.

Ở thời điểm t₁ xung vào sẽ kích cho tranzito T thông. Chính tranzito T và điốt D sẽ thông nối tụ C với cuộn sơ cấp của biến áp ra, do đó sẽ gây ra sự phóng điện của tụ trong mạch tải của cuộn thứ cấp (mạch điều khiển tiristo công suất). Nhờ có điện trở R₁ điện áp trên tụ C sau thời điểm t₁ giảm và do đó gây ra sự giảm điện áp u₁ ở cuộn sơ cấp và điện áp u₂ ở cuộn thứ cấp của biến áp. Điện áp điều khiển u₂ được liên hệ với điện áp u₁ ở cuộn sơ cấp qua biểu thức u₂ = u₁n, ở đây n = ω_1/ω_2 là hệ số biến áp. Khi điện áp trên tụ C giảm tới mức điện áp thấp E₂. Giá trị điện áp E₂ (nếu bỏ qua điện áp sụt ở tranzito và điốt D₄) sẽ xác định thời điểm t₁, điện áp u₁ ở cuộn sơ cấp và điện áp u₂ = E₂/n ở cuộn thứ cấp của biến áp. Ở thời điểm t₃ xung vào kết thúc, do đó tranzito T đóng, kết thúc quá trình tạo xung điều khiển. Sau đó sẽ có giai đoạn hồi phục trạng thái ban đầu của sơ đồ, tụ điện C lại được nạp điện tới mức điện áp E₁ và dòng nhiễm từ của biến áp sẽ giảm tới không theo mạch của cuộn sơ cấp qua điốt D₂ và điốt ổn áp D₃.

b - Các hệ thống điều khiển xung - pha không đồng bộ

Trong các hệ thống điều khiển xung - pha không đồng bộ mối liên hệ giữa thời gian của các xung điều khiển với các thời điểm tương ứng của điện áp lưới xoay chiều đóng một vai trò phụ, ví dụ dùng để hạn chế giá trị cực đại và cực tiểu của góc điều khiển α . Chính các xung điều khiển nhận được sẽ không đồng bộ với lưới điện xoay chiều. Các sơ đồ dịch pha về nguyên tắc sẽ không cần thiết đối với các hệ thống điều khiển loại này.

Như vậy là các góc điều khiển α trong hệ thống điều khiển đồng bộ được tạo bỏ sự điều chỉnh các khoảng cách giữa các xung trong hệ thống kín của hệ điều khiển với bản thân bộ biến đổi hay tải của nó.

Nguyên lý xây dựng một hệ thống điều khiển không đồng bộ cho một sơ đồ chỉnh lưu có điều khiển 3 pha được mô tả trên hình 4.21. Đối với sơ đồ biến đổi dạng này cần có 6 kênh điều khiển xung với các sự lệch pha giữa các kênh đó là 60°.

Sáu kênh này sẽ được đưa ra từ bộ chia xung. Bộ chia xung này sẽ làm việc dưới sự tác động của bộ dao động có thể thay đổi tần số. Hiệu giữa điện áp cố định và điện áp lấy từ bộ chuyển đổi sẽ quyết định sự thay đổi tần số của bộ dao động.

Tín hiệu từ bộ biến đổi trong sơ đồ này sẽ tạo thành một mạch hồi tiếp âm theo các tham số điều chỉnh như : điện áp hay dòng điện của bộ biến đổi tần số quay của động cơ,...

Hệ thống điều khiển không đồng bộ của các bộ biến đổi được sử dụng nhiều trong các trường hợp khi điện áp lưới xoay chiều thường xuyên thay đổi, khi các pha không đối xứng, khi đó nếu sử dụng các hệ thống điều khiển đồng bộ sẽ gây ra sự không đối xứng của góc vượt quá giới hạn cho phép trên các kênh điều khiển.

4.4.3. Các hệ thống điều khiển các bộ biến đổi độc lập

Quá trình làm việc của nghịch lưu độc lập trong nhiều trường hợp được quyết định bởi hệ thống điều khiển để tạo ra xung kích các tiristo với tần số bằng tần số ra của các biến đổi này.

Sơ đồ của hệ thống điều khiển các bộ biến đổi dạng này rất phong phú và đa dạng. Dưới đây ta chỉ xét một sơ đồ đơn giản và thông dụng.

Hình 4.22a là sơ đồ khối của hệ thống điều khiển một bộ nghịch lưu cầu 3 pha. Hệ thống được tạo ra bởi các khối sau :

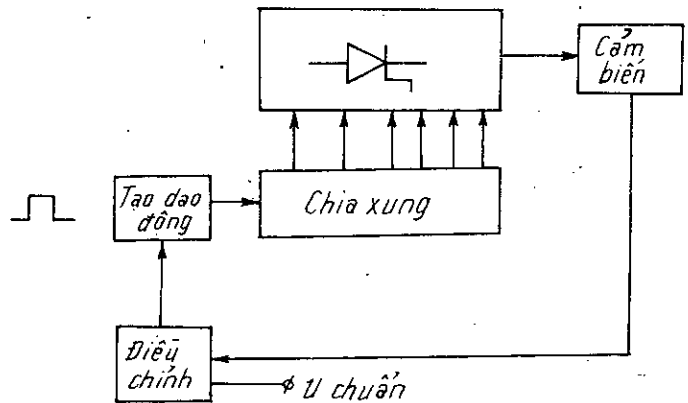
Bộ dao động với tần số 6f, bộ tạo xung, bộ chia xung và tầng ra khuếch đại xung gồm 6 khối như nhau.

Bộ dao động có thể tạo ra các dao động có tần số có thể thay đổi, điều chỉnh được. Tín hiệu ra của bộ dao động thường là hình sin. Bộ tạo xung sẽ tạo ra các xung vuông từ điện áp hình sin của bộ dao động. Trong thực tế người ta thường hay gộp 2 khối này thành khối tạo xung. Hai khối này sẽ tạo thành hệ thống một kênh.

Để đảm bảo điều khiển quá trình làm việc của nghịch lưu cầu 3 pha cần phải có 6 xung kế tiếp như nhau và các xung này dịch pha theo thời gian một góc là $\pi/3$. Chính vì thế bộ tạo dao động phải tạo ra điện áp với tần số gấp 6 lần tần số của điện áp ra của bộ nghịch lưu.

Bộ chia xung sẽ chia các xung đó theo 6 kênh chính vì thế ở đầu ra của một tầng khuếch đại ta sẽ nhận được các xung với tần số bằng f và sự lệch pha của các xung này là $\pi/3$.

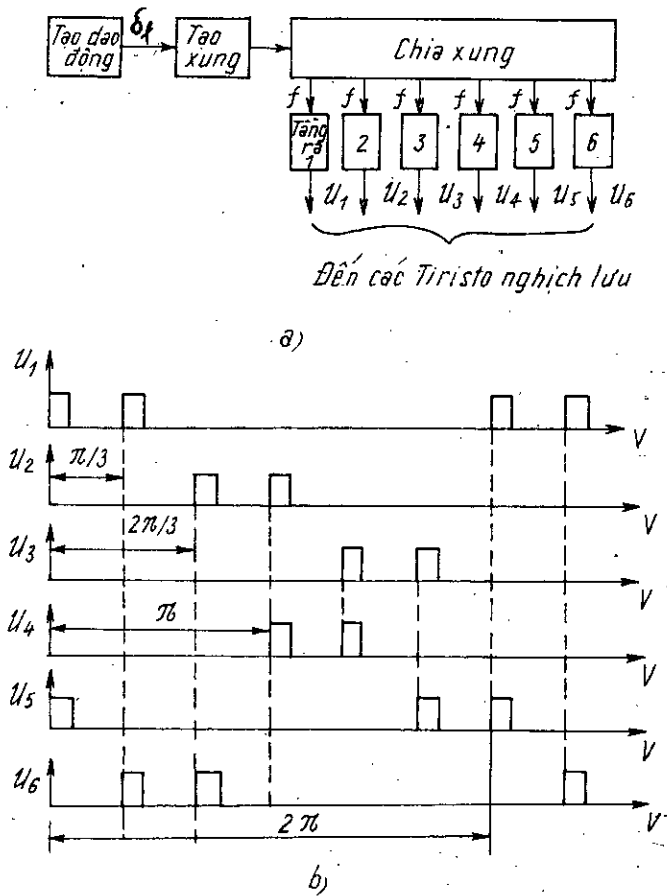
Độ rộng của các xung điều khiển đưa vào các tiristo không quá $2\pi/3$, bởi vì nghịch lưu làm việc cần phải kích 2 tiristo đồng thời (xem ví dụ phần nghịch lưu) một nhóm của anôt, một nhóm của catôt, vì thế hệ thống điều khiển đơn giản thường được xây



Hình 4.21 : Sơ đồ chức năng của hệ thống điều khiển không đồng bộ với các bộ biến đổi.

dụng sao cho mỗi một tiristo được kích thông bằng hai xung ngắn : một xung ở thời điểm bắt đầu làm việc và một xung nữa chậm so với xung đó một góc $\pi/3$ hình 4.22b.

Còn đối với các sơ đồ nghịch lưu độc lập dùng tranzito thì độ rộng xung điều khiển bằng thời gian mà tranzito ở trạng thái mở.



Hình 4.22 : a) Sơ đồ khối hệ thống điều khiển bộ nghịch lưu cầu 3 pha ; b) Giản đồ thời gian mô tả quá trình hình thành xung điều khiển các tiristo

Chương 5

BỘ VI XỬ LÝ

Chương này trình bày bộ vi xử lý (VXL), một thiết bị điện tử số đang được dùng rất phổ biến hiện nay.

Bộ vi xử lý, là một thiết bị xử lý tin vụn năng cực nhỏ và thường được đóng gói trong một vi mạch điện tử (IC chip).

Bộ vi xử lý đầu tiên được đưa ra thị trường là 4004, xử lý 4 bit của hãng Intel từ năm 1971. Sau một thời gian ngắn, bộ vi xử lý đã được sử dụng ở mọi nơi, trong kinh tế, kĩ thuật và nó được cải tiến, phát triển không ngừng.

Nguyên lí làm việc cơ bản của các bộ vi xử lý đều sử dụng nguyên tắc định hình và có thể nói chúng là sự phát triển ngày càng cao của bộ vi xử lý 8085 do Intel đưa ra.

Để dễ dàng nắm được hoạt động của bộ vi xử lý và ứng dụng của chúng, chúng ta bắt đầu với một số khái niệm chung về điện tử số và tính toán xử lý.

5.1. KHÁI NIỆM CHUNG

Trong kĩ thuật điện tử chúng ta đã làm quen các phần tử cơ bản của kĩ thuật số còn gọi là mạch logic cơ bản hoặc phần tử số cơ bản. Các phần tử này, thường được sản xuất nhờ kĩ thuật vi mạch điện tử. Nó được gọi là các phần tử điện tử số (digital electronics).

Từ các phần tử số cơ bản ở trên, dựa vào các luật của toán logic, chúng ta có thể tổng hợp thành các mạch điện tử số phức tạp hơn cho phép thực hiện các chức năng xử lý tín hiệu và xử lý tin. Các mạch này được gọi là các mạch chức năng. Các mạch chức năng này cũng thường được sản xuất nhờ kĩ thuật vi mạch điện tử, và nó còn được gọi là các vi mạch chức năng.

Bằng các mạch chức năng, cũng nhờ các luật của toán logic, người ta xây dựng các thiết bị số.

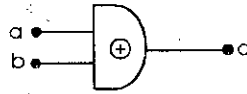
Bộ vi xử lý là một loại vi mạch số điện tử phức tạp và khá đặc biệt. Nó có thể được hiểu là một mạch chức năng và được sử dụng như là khối xử lý trung tâm của thiết bị khác, mà cũng có thể như là một thiết bị hoàn chỉnh với một số cải tiến trong mạch của nó.

Trong phần này, chúng ta lưu ý là phải nắm chắc các phần tử cơ bản AND, OR, NOT và mạch lật (còn gọi Trigo hoặc Flip-Flop). Từ các mạch cơ bản này với các mạch chức năng các bạn cần phải quan tâm đầu tiên là mạch cộng modul 2 còn gọi là mạch XOR, mạch cộng trừ (Adder - Subtractor), thanh ghi (Register), bộ đếm (counter), mạch giải mã (decoder).

5.1.1. Mạch XOR là mạch thực hiện chức năng

$$c = a \oplus b = a\bar{b} + \bar{a}b$$

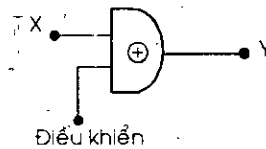
Có sơ đồ kí hiệu



a	b	c
0	0	0
0	1	1
1	0	1
1	1	0

và bảng chân lí *Hình 5.1 : Mạch XOR.*

Nó được sử dụng để cộng modul 2, làm mạch so sánh xem hai đầu vào a và b có giống nhau hay không, để làm mạch đảo điều khiển được. Nếu ta có mạch



Hình 5.2. Mạch đảo có điều khiển.

thì rõ ràng $Y = X$ khi không có tín hiệu điều khiển, hoặc $Y = \bar{X}$ khi tín hiệu điều khiển bằng 1.

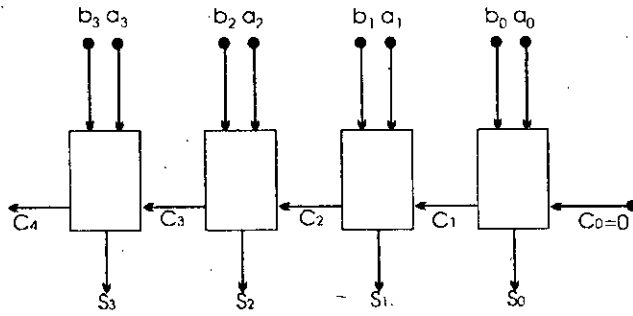
5.1.2. Một mạch cộng trừ thường được sử dụng trong kĩ thuật số là mạch cộng có thể làm chức năng trừ.

Mạch cộng có nhiều dạng nhưng thường để cộng hai số nhị phân người ta cộng từng chữ số của nó, tính từ bên phải, và nếu tổng hai chữ số cùng vị trí có giá trị lớn hơn hoặc bằng 2 thì kết quả cộng ở chữ số đó chỉ là phần còn lại sau khi trừ đi cho 2 và ta thêm 1 vào, kết quả cộng hai chữ số bên trái hơn (việc này được gọi là truyền nhớ). Ta ví dụ cộng hai số $a = 0011$ với $b = 0111$

a	0011
b	0111
Cộng từng chữ số	0122
Sau xử lí nhớ	1010

Để thực hiện mạch cộng này, người ta tổ chức các mạch cộng từng chữ số theo cách sau :

Mỗi mạch cộng từng chữ số sẽ có 3 đầu vào, trong đó hai đầu vào là chữ số thứ i của số a (chữ số a_i) và chữ số thứ i của số b (chữ số b_i) còn đầu vào thứ 3 là đầu truyền nhớ từ chữ số ở bên phải hơn đến C_i . Mạch này có hai đầu ra, một đầu ra là kết quả cộng $a_i + b_i + C_i$ cho ta chữ số thứ i của kết quả S_i , còn đầu ra thứ hai là nhớ truyền sang mạch cộng chữ số bên trái hơn C_{i+1} . Giả thiết chữ số bên phải nhất có thứ tự là 0, ta có sơ đồ kí hiệu cho bộ cộng 4 bit.

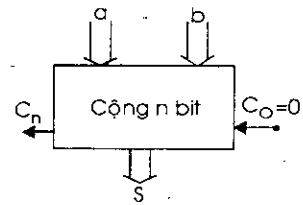


Hình 5.3 : Mạch cộng 4 bit.

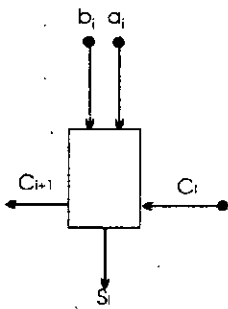
Mạch cộng thường được kí hiệu bằng sơ đồ.

Trong sơ đồ trên C_0 là nhớ đưa vào mạch cộng bên phải nhất (thứ tự 0) nó phải luôn bằng 0, C_n là nhớ được đưa ra từ mạch cộng bên trái nhất (thứ tự n). a, b, S là các đầu vào hoặc ra có n đường truyền tín hiệu a_i, b_i, S_i (còn gọi đường truyền n bit) song song đến từng mạch cộng từng chữ số. Mạch này sẽ cho phép cộng hai số có n chữ số.

Mỗi mạch cộng từng chữ số có sơ đồ kí hiệu và có bảng chân lí sau



Hình 5.4 : Sơ đồ kí hiệu của bộ cộng.



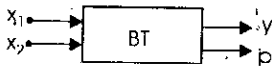
a)

a_i	b_i	C_i	S_i	C_{i+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

b)

Hình 5.5 : Sơ đồ kí hiệu (a) và bảng chân lí (b) của mạch cộng một bit.

Mạch cộng một bit này thường được thực hiện từ hai bộ bán tổng. Mỗi bộ bán tổng có sơ đồ kí hiệu và bảng chân lí ở hình 5.6.



x_1	x_2	y	p
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

a)

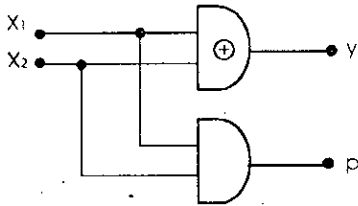
b)

Hình 5.6 : Sơ đồ kí hiệu (a) và bảng chân lí (b) của bộ bán tổng.

Trong bộ bán tổng thì y là kết quả cộng và nó là mạch cộng modul 2, còn P là truyền nhớ và nó là mạch và (AND) từ hai đầu vào x_1, x_2 . Sơ đồ logic của bán tổng cho ở hình 5.7.

Bộ tổng được thực hiện từ bán tổng qua sử dụng hai bảng chân lí của chúng sẽ cho ở hình 5.8.

Để thực hiện chức năng trừ, trong kĩ thuật mạch logic, người ta sử dụng một loại mã gọi là mã bù hai (two complement code) cho số nhị phân âm. Mã bù hai \tilde{b} của số âm b được tính như sau :



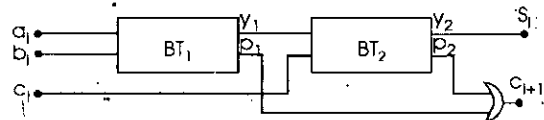
Hình 5.7 : Sơ đồ logic của bán tổng.

Trước hết dấu của mã bù hai \tilde{b} cũng là dấu âm như của số âm b . Trong thiết bị số, dấu âm luôn được ghi bằng một Flip-Flop ở bên trái nhất của thanh ghi số và ta gọi nó là bit dấu (SB : Sign bit). Nếu bit này bằng 0 (SB = 0) thì số là số dương, bit này bằng 1 (SB = 1) thì số là số âm. Phần giá trị số của mã bù hai của b chính là giá trị tuyệt đối của b đem lấy đảo từng bit rồi cộng thêm 1.

$$\tilde{b} = - (|b| + 1)$$

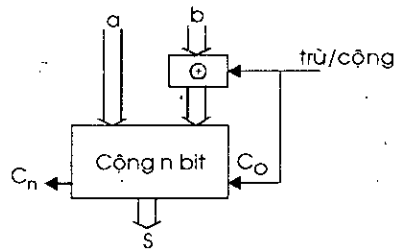
Ví dụ : mã bù hai của -1001 sẽ tính như sau :

$$\begin{array}{rcl}
 b & = & -1001 \rightarrow 11001 \\
 |b| & = & 0110 \\
 |b| + 1 & = & 0111 \\
 \hline
 \tilde{b} & = & 10111
 \end{array}$$



Hình 5.8 : Sơ đồ logic của mạch tổng một chữ số.

Khi sử dụng mã này, người ta nhận thấy rằng phép toán $a - b$ sẽ được thay bằng phép toán $a + b$. Điều này có nghĩa là để thực hiện phép toán trừ $a - b$ ta cộng số bị trừ với mã bù hai của số trừ. Để làm điều này ta sử dụng mạch cộng hai số nhưng số trừ trước khi đưa vào mạch cộng ta phải dùng mạch đảo từng bit, và để cộng thêm 1 ta đưa thêm 1 vào đầu truyền nhớ C_0 . Nếu ta sử dụng bit đảo điều khiển được và chỉ đảo khi thực hiện phép trừ, không đảo khi thực hiện phép cộng và điều khiển $C_0 = 0$ khi thực hiện phép cộng, $C_0 = 1$ khi thực hiện phép trừ thì ta sẽ có mạch cộng trừ điều khiển được. Sơ đồ kí hiệu của mạch cộng trừ cho bởi hình 5.9.



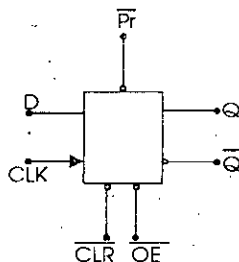
Hình 5.9 : Sơ đồ mạch cộng trừ.

Trong sơ đồ này số 6 được đưa qua mạch đảo có điều khiển là n mạch đảo có điều khiển dùng XOR đặt song song nhau (mỗi mạch cho một chữ số). Tín hiệu điều khiển trừ/cộng sẽ bằng 1 khi thực hiện phép toán trừ, hoặc bằng 0 khi thực hiện phép toán cộng.

5.1.3. Một thanh ghi thực chất là một mạch gồm nhiều Flip-Flop cho phép ghi lên nó nhiều chữ số nhị phân, mỗi chữ số nhị phân ghi vào một Flip-Flop. Ta có thể nói mỗi Flip-Flop là một vị trí ghi 1 chữ số nhị phân và ta gọi nó là một vị trí nhị phân hay một bit (bit : binary digit). Các bit sắp xếp thành một hàng để ghi các chữ số của một số nhị phân (thanh ghi). Bit ở bên phải nhất của thanh ghi, ghi chữ số bên phải nhất của số và theo thông thường nó là chữ số nhỏ nhất nên bit này gọi là bit có ít ý nghĩa nhất (LSB : Last Significant Bit). Tương tự bit bên trái nhất của thanh ghi được gọi là bit nhiều ý nghĩa nhất (MSB). Với số nguyên, chữ số bên phải nhất là chữ số đơn vị hay chữ số bậc 0 nên bit này còn gọi là bit bậc 0 hay bit 0.

Trong các phần trước, ta đã biết rằng Flip-Flop, có nhiều loại và nó đều được tổng hợp từ RS lên. Với thanh ghi, trong kĩ thuật mạch logic, người ta có thể sử dụng Flip-Flop JK và thường nhất là Flip-Flop D.

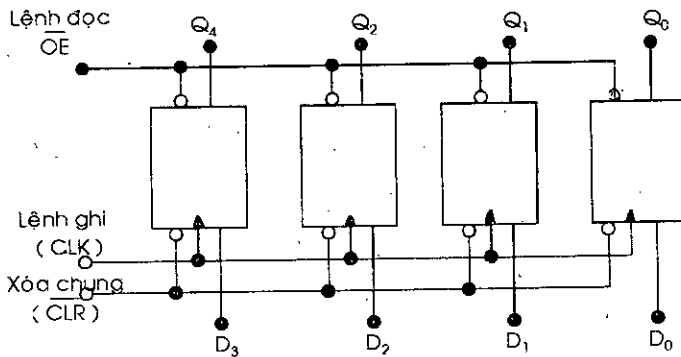
Một Flip-Flop D ở dạng phức tạp nhất là D có chốt (Latch), có lập (Preset), có xóa (Clear), và có điều khiển ba trạng thái ở đầu ra (output Enable). Sơ đồ kí hiệu và bảng chân lí của mạch D này cho bởi hình 5.10.



Pr	CLR	CLK	D	OE	Q
0	0	X	X	0	X
0	0	X	X	1	Z
0	1	X	X	0	1
0	1	X	X	1	Z
1	0	X	X	0	0
1	0	X	X	1	Z
1	1	0	X	0	q
1	1	0	X	1	Z
1	1	1	0	0	0
1	1	1	0	1	Z
1	1	1	1	0	1
1	1	1	1	1	Z

Hình 5.10 : Sơ đồ kí hiệu (a) và bảng chân lí (b) của D.

Trong sơ đồ kí hiệu trên Pr là tín hiệu vào lập và nó là tích cực đảo (tức là khi $Pr = 0$ thì mạch chịu kích thích từ tín hiệu Pr) ; CLR là tín hiệu vào xóa, nó cũng là tích cực đảo. Khi có tín hiệu lập $Pr = 0$ thì mạch được lập lên 1. Khi có tín hiệu xóa $CLR = 0$ thì mạch bị xóa về 0. Nếu đồng thời xóa và lập ($Pr = 0$ và $CLR = 0$) thì mạch không xác định được là được lập lên 1 hay bị xóa về 0. Trạng thái này được gọi là trạng thái không xác định. Tất cả các trạng thái không xác định (có thể là 1, có thể là 0) ở cả đầu ra và đầu vào đều được ghi là X trong bảng chân lí. Tín hiệu vào OE là tín hiệu điều khiển ba trạng thái đầu ra, nó cũng là tích cực đảo. Nếu $OE = 0$ thì đầu ra Q chính là trạng thái bên trong của mạch, nếu $OE = 1$, đầu ra sẽ bị cách li với trạng thái bên trong của mạch, hay là trạng thái của mạch không được phép đưa ra. Khi đầu ra không được nối vào bên trong mạch, trở kháng ra xét tại đầu ra là rất lớn, nên ta gọi trạng thái này là trạng thái trở kháng cao. Ta dùng một chữ Z để chỉ trạng thái này. Khi không lập và không xóa ($Pr = 1$, $CLR = 1$), nếu không có tín hiệu vào nhịp CLK hay còn gọi là đầu vào chốt (Latch) thì mạch giữ nguyên trạng thái cũ. Ta dùng chữ q để chỉ nó là trạng thái trước thời điểm xét ở trong bảng chân lí. Khi có tín hiệu nhịp, trạng thái của mạch là trạng thái của tín hiệu vào, hay ta nói lúc này mạch ghi tín hiệu ở đầu vào D vào trong nó.



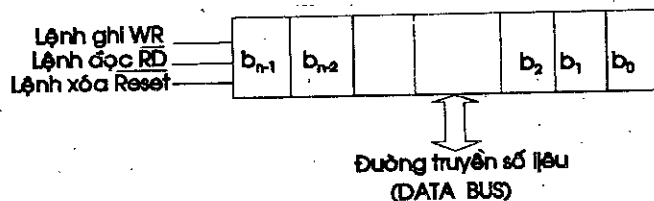
Hình 5.11 : Thanh ghi 4 bit.

Nếu không kể đến lập và xóa Flip-Flop D sẽ là mạch ghi tín hiệu vào từ đầu vào D khi có lệnh ghi CLK và đọc trạng thái từ nó ra đầu ra Q khi có lệnh đọc OE.

Một thanh ghi là xếp các mạch D kể trên bên cạnh nhau và nối chung các đầu vào nhịp CLK, cho phép ra OE, và có thể dùng đầu xóa nối chung lại để xóa thanh ghi. Một thanh ghi 4 bit có sơ đồ logic cho ở hình 5.11.

Thanh ghi được kí hiệu bởi sơ đồ quy ước sau :

Vì tín hiệu từ các đầu vào D_i chỉ có thể vào mạch khi có lệnh ghi (ta dùng kí hiệu WR), tín hiệu từ trong mạch chỉ ra được các đầu ra Q_i khi có lệnh đọc (ta kí hiệu là RD) nên đầu ra Q_i có thể nối chung với đầu vào D_i để tạo thành đường số liệu thứ i (ta sẽ kí hiệu là D_i). Tập hợp các đường số liệu này



Hình 5.12 : Biểu diễn của thanh ghi.

Nếu đầu ra của Flip-Flop i được nối với đầu vào của Flip-Flop $i + 1$ (hoặc $i - 1$) ở bên cạnh nó thì mỗi lệnh ghi sẽ làm cho tín hiệu ở mạch thứ i sẽ dịch sang mạch $i + 1$ (hoặc $i - 1$) với điều kiện lệnh đọc luôn được dẫn đến thanh ghi. Lúc này ta có một thanh ghi đặc biệt gọi là thanh ghi dịch (Shift Register). Hiện nay, người ta thường sản xuất các thanh ghi có thể có hoặc không có chức năng dịch trong cùng một vi mạch số. Người dùng tùy mục đích sử dụng mà tra cứu và chọn cho thích hợp.

Nếu trong thanh ghi dịch mà ban đầu ta sử dụng các đầu vào lập hoặc xóa để chỉ ghi vào trong nó một giá trị 1 ở bit bên trái nhất còn các bit khác ghi 0, thì nếu thanh ghi có n bit, thì sau n nhịp dịch, bit có giá trị 1 sẽ được chuyển đến đầu ra của bit bên phải nhất. Ta có 1 mạch mà sau n xung vào nhịp sẽ có 1 xung ra hay là ta có một bộ đếm cơ số n dùng thanh ghi dịch.

5.1.4. Một bộ nhớ là một thiết bị cho phép ghi các số nhị phân có n bit vào trong nó và có thể lấy nó ra khi ta cần.

Trong kĩ thuật tính toán, một con số có n chữ số còn được gọi là một từ có độ dài n . Từ bây giờ ta sẽ gọi một con số nhị phân có n chữ số là một từ có n bit.

Để ghi một từ n bit, ta có thể sử dụng thanh ghi n bit.

Để ghi nhiều từ n bit, ta dùng nhiều thanh ghi n bit.

Vậy khái niệm đầu tiên về bộ nhớ là nó là một tập hợp các thanh ghi n bit. Độ dài n là độ dài từ nhớ. Ngày nay người ta thường dùng độ dài từ nhớ là 8 bit hay còn gọi là một byte (một bộ tám). Số lượng thanh ghi được gọi là dung lượng của bộ nhớ.

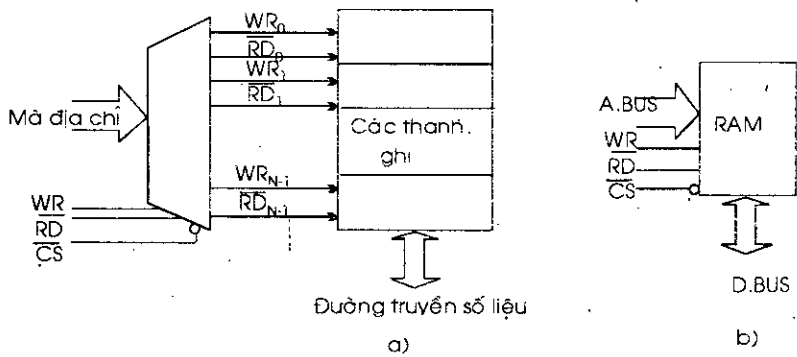
Muốn ghi thông tin vào thanh ghi nào ta phải tạo ra lệnh ghi cho thanh ghi đó. Muốn đọc thông tin từ thanh ghi nào ta phải tạo ra lệnh đọc cho thanh ghi đó. Điều này làm cho số chân tín hiệu ghi, đọc vào bộ nhớ luôn bằng hai lần dung lượng của nó. Số lượng chân này là quá lớn và vượt quá khả năng tổ chức các đường truyền tới mạch cũng như thực hiện các chân ra của mạch nhớ trong kĩ thuật vi mạch điện tử.

Để giảm số chân ghi đọc đến bộ nhớ, người ta tổ chức một mạch giải mã tạo các lệnh ghi đọc cho từng thanh ghi cụ thể và gọi là mạch giải mã địa chỉ nằm trong bộ nhớ. Mạch giải mã địa chỉ có thể có những dạng khác nhau, nhưng phổ biến là sử dụng mạch giải mã thông thường. Mạch này thường cần số chân vào gọi là các chân địa chỉ bằng logarit cơ số hai của dung lượng của bộ nhớ. Nếu gọi số chân địa chỉ là n , dung lượng là N thì

$$n = \log_2 N,$$

và hai tín hiệu gọi là lệnh đọc là lệnh ghi để giải mã ra các lệnh đọc ghi cho từng thanh ghi. Trong nhiều trường hợp mạch giải mã này sẽ chỉ làm việc khi có thêm một tín hiệu cho phép đầu ra của nó. Tín hiệu này cũng quyết định sự làm việc hay không của cả mạch nhớ nên nó được gọi là tín hiệu chọn vỏ CS (chipselect). Tín hiệu này thường là tích cực đảo.

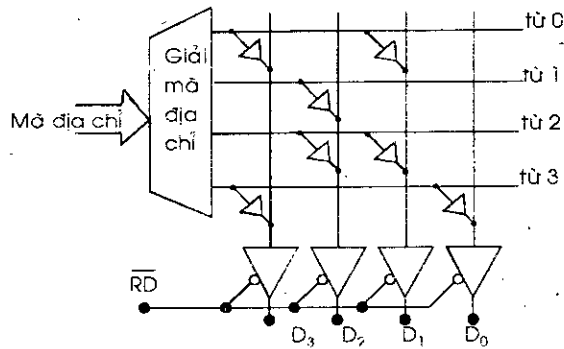
Bộ nhớ này cho phép ta có thể ghi hoặc đọc tùy ý vào bất kì thanh ghi nằm ở vị trí nào trong nó (địa chỉ bất kì) nên còn gọi là bộ nhớ ghi đọc tùy ý hay RAM (Random Access Memory). Sơ đồ logic và sơ đồ quy ước của bộ nhớ cho bởi hình 5.13.



Hình 5.13 : Sơ đồ logic (a) và kí hiệu của RAM (b).

Nếu bộ nhớ chỉ cần đọc thông tin từ trong nó ra, mà các thông tin này được ghi bởi nhà sản xuất thì ta gọi là bộ nhớ chỉ đọc hay ROM (Read Only Memory).

Cấu trúc của ROM có thể được minh họa bởi hình 5.14. Trong hình này ta mô tả một ROM có 4 từ, mỗi từ 4 bit. Đầu vào ta chỉ cần 2 dây địa chỉ đến mạch giải mã địa chỉ. Vì không cần ghi nên không còn lệnh ghi và lệnh đọc được chuyển đến điều khiển các mạch 3 trạng thái để nó mở cho tín hiệu từ bộ nhớ ra được đường số liệu.



Hình 5.14: Ví dụ về ROM 4 từ 4 bit.

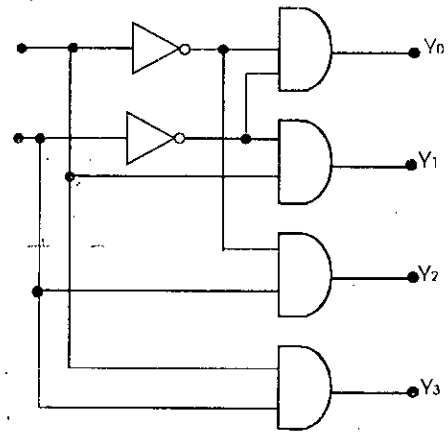
Nguyên lí làm việc của nó là cứ trên một dây ngang có tín hiệu là 1 (và chỉ một dây ngang được quyền có tín hiệu 1 do mạch giải mã địa chỉ quyết định) thì qua các điốt nối với nó, tín hiệu 1 này được truyền đến các dây dọc tương ứng. Tín hiệu từ các dây dọc sẽ đi ra ngoài nếu có lệnh đọc. Việc ghi thông tin và việc đặt các điốt.

5.1.5. Mạch giải mã thực chất là mạch nhận biết giá trị của tổ hợp mã ở đầu vào của mạch. Giả thiết mạch có n đầu vào nhị phân. Số giá trị có thể có của các đầu vào này sẽ là 2^n . Mạch của ta phải nhận biết được từng giá trị này và báo ra đầu ra. Cách tổ chức đơn giản nhất là ta dùng 2^n đầu ra đánh số từ $Y_0, Y_1, \dots, Y_{2^n-1}$ ứng với các giá trị $0, 1, \dots, 2^n - 1$ ở đầu vào. Khi đầu vào có giá trị i thì chỉ duy nhất đầu ra Y_i chuyển lên 1 còn các đầu ra khác giữ ở giá trị 0.

Theo các luật của toán logic, nếu ta biểu diễn giá trị i bằng một số nhị phân dài n chữ số thì nó sẽ là tổ hợp của n giá trị nhị phân hay là tổ hợp của n giá trị vào của n biến nhị phân x_i . Biết x_i sẽ không đảo nếu giá trị vào là 1 và sẽ là đảo (\bar{x}_i) khi giá trị vào bằng 0. Một mạch nhận biết 1 giá trị i chính là một mạch và (AND) có n đầu vào mà các đầu vào của nó có hay không có đảo tùy chữ số nhị phân ứng với vị trí đó lấy giá trị 0 hay 1 (ứng với giá trị i). Hình 5.15 là bảng chân lí và sơ đồ logic của mạch giải mã 2 đầu vào 4 đầu ra.

x_0	x_1	y_0	y_1	y_2	y_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

a)



b)

Hình 5.15 : Bảng chân lí (a) và sơ đồ logic (b) của mạch giải mã 2 đầu vào 4 đầu ra.

5.2. CẤU TRÚC CHUNG CỦA BỘ VI XỬ LÝ

5.2.1. Khái niệm về xử lí và tính toán

Ta hiểu mỗi một phép biến đổi thông tin được gọi là một phép xử lí tin. Một thiết bị thực hiện một phép xử lí tin là một bộ xử lí tin. Một thiết bị cho phép thực hiện được những lớp phép toán xử lí tin khá rộng được gọi là bộ xử lí tin vạn năng.

Với một phép biến đổi thông tin, nếu ta có thể mô hình hóa được tin vào tin ra bằng những biến toán học và phép biến đổi là một hàm nào đấy thì xử lí tin có thể được coi là một hàm toán học.

Với định lí lấy mẫu tín hiệu, ta có thể chuyển bất kì một đại lượng tương tự thành số và ngược lại. Điều này cho phép sử dụng các thiết bị số để thực hiện các phép xử lí tin cho dù nó là số hay không.

Ngày nay các thiết bị điện tử số được sản xuất với thời gian sản xuất ngắn, có kích thước nhỏ, giá thành thấp, độ linh hoạt cao và khả năng xử lí rất vạn năng nên các thiết bị xử lí tin hầu hết là các thiết bị điện tử số.

Với các thiết bị điện tử số, một bộ xử lí vạn năng có thể nằm gọn trong một vi mạch điện tử ta gọi nó là một bộ vi xử lí (Microprocessor : MP).

Để hiểu cấu trúc tổng quát và nguyên lí hoạt động tổng quát của bộ vi xử lí, ta xem xét cách xử lí tin của người.

Con người dùng các cơ quan cảm thụ thông tin các giác quan để nhận thông tin (ví dụ dùng mắt để nhận thông tin quang). Các thông tin này được tính toán, so sánh xử lí với các thông tin đã biết và được nhớ trong não để đưa ra những quyết định về

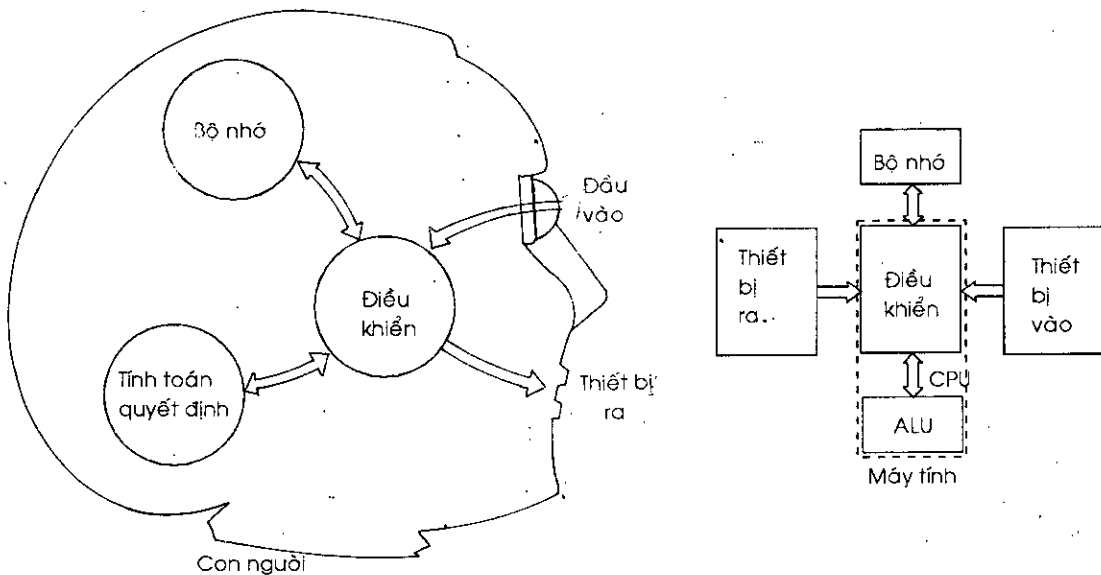
thông tin đó. Từ những quyết định về thông tin thu nhận được con người có thể quyết định các hành động thích hợp và các quyết định hành động này được chuyển đến các cơ quan chấp hành để thực hiện hành động (ví dụ đến cơ quan phát âm để phát ra tiếng nói cần thiết). Để có thể điều phối hoạt động của các cơ quan trên, phải có một cơ quan điều khiển chung. Cơ quan này sẽ ra các quyết định về thời điểm và loại thông tin cần thu thập và chuyển tải đến cơ quan tính toán, thời điểm và loại hành động cần thực hiện, chuyển tải lệnh hành động cần thiết đến cơ quan chấp hành, quyết định về phép toán cần thực hiện ở cơ quan tính toán quyết định cũng như thời điểm đọc ghi thông tin với cơ quan nhớ thông tin. Đối với con người, cơ quan nhớ, tính toán quyết định và điều khiển chung đều tập trung ở não người.

Với một bộ xử lý nó cũng phải có thiết bị vào để thu nhận thông tin, thiết bị ra để trao đổi thông tin ra bên ngoài hoặc tác động đến cơ cấu chấp hành, bộ nhớ để nhớ thông tin, khối tính toán, và cuối cùng là bộ điều khiển chung.

Vì tính ưu việt của điện tử số, các bộ xử lý ngày nay là xử lý số, nên khối tính toán quyết định chính là khối thực hiện các phép toán số. Hiện nay người ta có thể tìm được các thuật toán (sử dụng các đại số khác nhau) để chuyển hầu hết các bài toán về dạng dãy xác định của các phép toán logic, số học và quan hệ. Các phép toán quan hệ lại có thể thực hiện bằng các phép toán logic, số học và thử đầu ra.

Khối tính toán quyết định lúc này sẽ chỉ là khối thực hiện các phép toán logic, số học và quyết định đầu ra. Khối này thực hiện một dãy phép toán bất kì nhờ các thứ tự xác định của các lệnh điều khiển các phép toán hay còn gọi là chương trình (program) của bài toán. Khối tính toán quyết định kiểu này được gọi là khối logic số học hay ALU (Arithmetic Logic Unit).

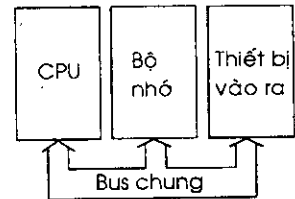
Khối điều khiển, để quyết định các lệnh điều khiển của mình, thường xuyên phải dựa vào kết quả tính toán của ALU, nên trong thực tế sản xuất khối này và ALU thường được sản xuất chung thành một khối. Khối chung này sẽ chịu trách nhiệm điều



Hình 5.16 : Sơ đồ xử lí tin của người. (a) và kĩ thuật (b).

kiến, tính toán, quyết định cho toàn hệ thống. Ta chỉ cần thêm bộ nhớ, thiết bị vào ra là ta có một thiết bị xử lý tin hoàn chỉnh. Khối chung này được gọi là khối điều khiển hay xử lý trung tâm hay CPU (central processing Unit). Mô hình xử lý tin của người và sơ đồ khối chung của thiết bị xử lý tin dạng số cho ở hình 5.16.

Cấu trúc của các thiết bị xử lý tin dạng số ở trên là cấu trúc chung của tất cả các máy tính số. Trong các máy tính này, người ta gộp các chức năng vào và ra chung trong một tập hợp các thiết bị gọi là thiết bị vào ra. Nếu ta sử dụng nhiều thiết bị vào ra thì hệ của ta sẽ có rất nhiều đường nối với nó nên, trong kĩ thuật, người ta sử dụng một cách nối bắt nguồn từ việc tổ chức giao thông công cộng trong các mạng xe Bus. Cách nối này gọi là cấu trúc Bus và nó là một đường nối song song chung (Bus chung). Mỗi thiết bị sẽ nối với nó qua một bộ nối (connector). Mọi thiết bị đều dùng Bus chung để truyền tin với nhau, và mỗi thời điểm trên Bus chỉ có 1 cặp thiết bị truyền tin cho nhau. Sơ đồ khối chung của thiết bị xử lý tin, cũng chính là sơ đồ khối chung của máy tính số cho ở hình 5.17.



Hình 5.17 : Sơ đồ khối của máy tính số.

Do sự phát triển của kĩ thuật vi mạch điện tử, đặc biệt trong lĩnh vực điện tử số, mỗi khối của sơ đồ trên, thậm chí gần như toàn bộ sơ đồ khối trên được sản xuất gọn trong một vi mạch số điện tử. Những vi mạch có chứa trong nó CPU của sơ đồ khối trên được gọi là bộ vi xử lý. Kĩ thuật vi xử lý là kĩ thuật sử dụng bộ vi xử lý và các vi mạch chức năng khác tạo ra các thiết bị xử lý tin cụ thể.

Việc ứng dụng bộ vi xử lý và các vi mạch chức năng (ứng dụng kĩ thuật vi xử lý) trông kĩ thuật tính toán cho ta các máy tính có kích thước cực nhỏ và có công suất tính toán cũng như khả năng giải các lớp bài toán khác nhau ngày càng tăng. Những máy tính này được gọi là các máy vi tính và nó có ứng dụng hết sức rộng rãi trong kinh tế, kĩ thuật và công nghệ.

5.2.2. Cấu trúc và nguyên lí hoạt động của bộ vi xử lý

Như trên đã nói bộ vi xử lý, trước hết, phải chứa khối CPU của cấu trúc máy tính nói chung. Để xét cấu trúc của bộ vi xử lý, ta phải xét cấu trúc chung của CPU của máy tính.

CPU là khối xử lý trung tâm nó gồm khối điều khiển chung và ALU như ta đã nói trong phần trên. Để thấy được cấu trúc của CPU, đầu tiên ta xét ALU và rồi đến các khối phải có trong điều khiển chung các hoạt động của máy từ yêu cầu của ALU và việc trao đổi số liệu giữa ALU với bên ngoài.

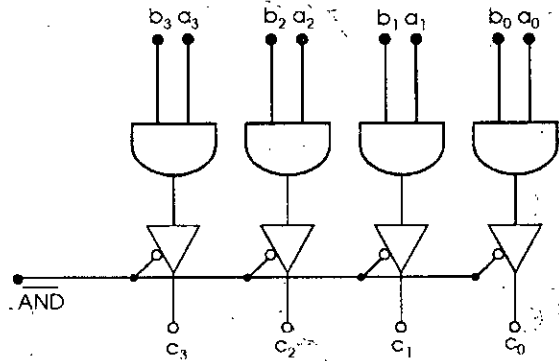
1. ALU là khối số học logic, trong nó phải có các khối thực hiện các phép toán số học các phép toán logic và quyết định logic. Mỗi khối thực hiện một phép toán trên dữ liệu là từ nhị phân n bit và cho ra kết quả cũng là từ nhị phân n bit. Các dữ liệu đến mỗi khối thực hiện một phép toán đều được truyền qua một Bus chung. Các kết quả từ mỗi khối phép toán cũng đều được đưa ra một Bus chung.

Để cho ALU chỉ thực hiện phép toán cần thiết (ta gọi là phép toán được chọn) thì ta phải cấm các khối khác hoạt động hoặc không truyền dữ liệu vào ra với nó.

Trong kỹ thuật điện tử, đơn giản nhất là ta dùng các mạch ba trạng thái ở đầu ra của mỗi khối và một khối chỉ cho tín hiệu kết quả ra Bus chung khi khối này có tín hiệu điều khiển đầu ra tương ứng. Tín hiệu điều khiển đầu ra của mỗi khối sẽ là tín hiệu chọn phép toán thực hiện trong khối. Tập hợp các tín hiệu chọn này có thể gọi là mã phép toán.

Thực tế thực hiện ALU sử dụng nguyên tắc trên để chọn các phép toán logic AND, OR, NOT và phân biệt các phép toán số học với các phép toán logic.

Mỗi phép toán logic theo từ n bit sẽ là n phép toán logic từng bit có đầu ra ba trạng thái. Ví dụ hình 5.18 cho ta sơ đồ logic của khối phép toán AND 4 bit. Trong sơ đồ này a_i, b_i là các chữ số của dữ liệu a và b ; C_i là các chữ số của kết quả C ; \overline{AND} là tín hiệu chọn phép toán AND, nó chính là tín hiệu điều khiển đầu ra và nó có tích cực âm.

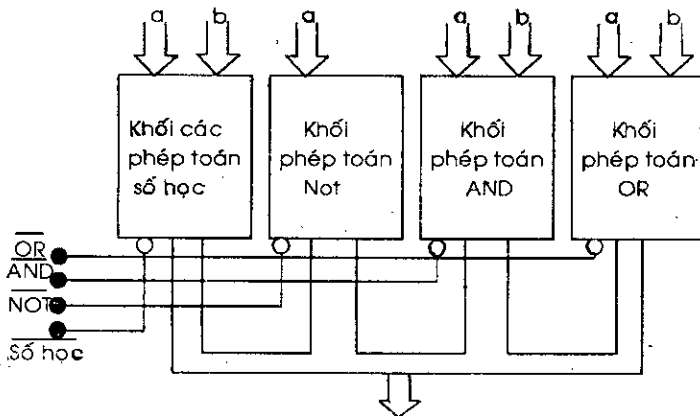


Hình 5.18 : Sơ đồ logic của khối AND 4 bit.

Một ALU sẽ có sơ đồ khối cho bởi hình 5.19, nếu xét theo những điều ta đã nêu.

Trong phần các phép toán số học của ALU, bốn phép toán sẽ được thực hiện là cộng, trừ, nhân, chia. Cả bốn phép toán này đều được thực hiện trên bộ cộng trừ.

Để chọn phép toán cộng hoặc trừ, ta chỉ cần có tín hiệu chọn phép toán trừ / cộng ta đã nêu.



Hình 5.19 : Sơ đồ khối của khối số học và logic

Để thực hiện nhân hai dữ liệu a với b, ta có thể viết

$$a \cdot b = a + a + \dots + a$$

b lần

Vậy mạch nhân sẽ là một mạch cộng vào kết quả trước đây (có giá trị đầu bằng 0) số bị nhân một số lần bằng giá trị của số nhân. Mạch này đòi hỏi có mạch cộng trừ (thực hiện phép cộng) và một mạch đếm số lần cộng. Bộ đếm này là đếm có cơ số thay đổi và bằng b.

Để thực hiện mạch chia a cho b ta nhận thấy rằng nếu kết quả của phép chia a/b là P thì

$$P * b = a, \text{ hay } a = b + b + \dots + b$$

p lần.

Vậy mạch chia là mạch trừ a cho b một số lần bằng P. Ở đây P nguyên để có kết quả P thực ta chỉ cần biến đổi một chút thuật toán trên.

Để xây dựng mạch chia, ta sử dụng mạch cộng trừ (chọn phép toán trừ) và thực hiện trừ số bị chia cho số chia rồi đếm số lần trừ được. Mỗi lần trừ ta phải phân tích kết quả trừ rồi quyết định đã dừng việc trừ chưa. Kết quả phép chia là số lần trừ đếm được.

Trong khối số học, người ta thường chỉ tổ chức mạch cộng trừ, còn các khối thực hiện đếm và quyết định lập được đặt trong khối các thanh ghi chung và điều khiển của CPU.

Để phân tích kết quả, trong ALU sẽ có thêm một mạch phân tích kết quả. Mạch này gồm mạch xác định xem kết quả âm hay dương, bằng 0 hay khác 0.

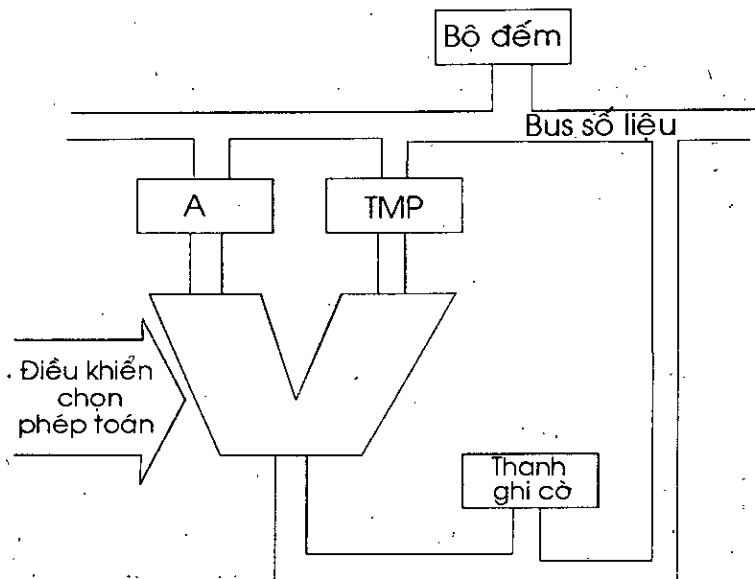
Việc xác định dấu của kết quả được thực hiện nhờ cách biểu diễn dấu của số trong các thanh ghi bằng bit bên trái nhất của thanh ghi gọi là bit dấu SB. Nếu bit dấu của kết quả SB = 1 thì kết quả âm, còn nếu SB = 0 thì kết quả dương.

Để kiểm tra xem kết quả có bằng 0 hay không thì ta chỉ cần thực hiện cộng logic tất cả các bit giá trị của kết quả. Nếu đầu ra mạch này bằng 0 thì kết quả bằng 0.

Để có thể lưu trữ trạng thái của kết quả từ mạch phân tích kết quả, ta dùng các Flip-Flop để ghi các đầu ra của mạch phân tích. Mỗi Flip-Flop này được gọi là một cờ (Flag). Việc lập cờ là việc ghi giá trị 1 vào Flip-Flop, việc xóa cờ là việc ghi 0 vào nó. Tập hợp các cờ gọi là thanh ghi cờ. Thanh ghi cờ thường nằm ngoài ALU và thuộc khối các thanh ghi chung.

Để cho hai dữ liệu có thể từ Bus chung đến được ALU mà không mất một dữ liệu nào thì từ Bus chung, từng dữ liệu phải được ghi vào thanh ghi dữ liệu đầu vào ALU. Hai thanh ghi này luôn được đặt tên một là Acc hoặc A, một là TMP. Thanh ghi A luôn được dùng ghi một dữ liệu và kết quả vừa tính trước đó nên nó còn được gọi là thanh tổng. Thanh ghi TMP còn được gọi là thanh ghi tạm thời.

Sơ đồ khối của một ALU được cho ở hình 5.20.



Hình 5.20 : Sơ đồ khối của ALU.

2. Khối điều khiển và khối tạo địa chỉ

Khối điều khiển có nhiệm vụ tạo ra tất cả các tín hiệu điều khiển để chọn phép toán cần thiết, nạp số liệu vào các thanh ghi, bộ đếm, đọc số liệu từ chúng và đọc ghi số liệu với ngoại vi (bộ nhớ và thiết bị vào ra).

Khi đọc ghi số liệu với ngoại vi, CPU còn phải xác định xem số liệu nằm ở chỗ nào trong các ngoại vi. Công việc này gọi là tính địa chỉ của số liệu. Công việc này sẽ do một mạch tạo địa chỉ đảm nhận. Nhiệm vụ của khối điều khiển là lệnh cho khối tạo địa chỉ thực hiện việc tính địa chỉ khi nó cần.

Cho đến lúc này, ta thấy có hai nhóm phép toán được thực hiện trong bộ xử lý là các phép toán tính toán (số học, logic, quyết định) và các phép toán dịch chuyển số liệu (đọc số liệu vào CPU và ghi số liệu ra ngoại vi). Mỗi phép toán đều phải có lệnh phép toán ở dạng một mã nào đó gọi là mã lệnh đưa từ ngoài vào CPU. Từ mã lệnh của mỗi phép toán khối điều khiển phải tạo ra các tín hiệu điều khiển tất cả các khối của CPU cũng như ngoại vi hoạt động theo một trật tự quy định. Mỗi mã lệnh thực chất là một giá trị nhị phân, mỗi mã lệnh phải được nhận biết và tạo ra một nhóm tín hiệu điều khiển xác định hoạt động theo một trật tự quy định. Khối điều khiển phải có một mạch giải mã lệnh và một khối trình tự tạo ra các xung thời gian để kết hợp với khối giải mã lệnh tạo ra trật tự xác định của các tín hiệu điều khiển.

Một mã lệnh vào khối điều khiển có thể phải được duy trì trong thời gian đủ để tạo ra các xung điều khiển cần thiết nên nó phải được ghi trong một thanh ghi riêng thuộc khối điều khiển được gọi là thanh ghi lệnh và thường được ký hiệu là IR.

Việc mỗi lệnh là một mã nhị phân nên nó có cùng cấu trúc với các dữ liệu và cũng có thể ghi trong một thanh ghi hoặc trong bộ nhớ. Các máy tính hiện nay đều ghi các lệnh của một bài toán vào trong bộ nhớ, thường là ở vùng có địa chỉ liên tục nhau, bắt đầu từ một địa chỉ quy ước mà ta có thể coi là "địa chỉ không" tương đối. Với cách tổ chức này đầu tiên CPU phải tạo "địa chỉ không" rồi đọc lệnh đầu tiên vào khối điều khiển, sau đó tùy lệnh này có thể phải ra các lệnh đọc số liệu từ bên ngoài. Khi kết thúc thực hiện một lệnh thì địa chỉ lệnh phải tự động được tăng lên một.

Với cách làm việc này, trong bộ tạo địa chỉ cần phải có hai cơ chế tạo địa chỉ. Một là tạo địa chỉ lệnh, và một là tạo địa chỉ số liệu.

Để tạo địa chỉ lệnh, đầu tiên khối điều khiển xóa thanh ghi địa chỉ lệnh trong bộ tạo địa chỉ. Thanh ghi này được gọi là thanh đếm lệnh và thường ký hiệu là PC. Sau khi thực hiện mỗi lệnh, thanh ghi này được lệnh tăng thêm 1. Muốn thay đổi trật tự thực hiện lệnh khối điều khiển lệnh nạp một giá trị địa chỉ lệnh mới vào PC. Việc thay đổi trật tự thực hiện lệnh xuất phát từ yêu cầu của bài toán, tức là trong các lệnh của bài toán phải có lệnh thay đổi trật tự thực hiện các phép toán, các lệnh này gọi chung là các lệnh điều khiển. Địa chỉ lệnh mới phải được chứa trong mỗi lệnh điều khiển tương ứng, và có thể hiểu nó là tham số của lệnh điều khiển. Nó phải được đọc vào CPU và chuyển lên khối tạo địa chỉ để nạp vào PC.

Với các lệnh tính toán và dịch chuyển số liệu, mỗi lệnh yêu cầu thực hiện một phép toán. Địa chỉ của dữ liệu cho mỗi phép toán cũng phải được quy định ở trong lệnh.

Nó là các tham số của lệnh, nó phải được đọc vào CPU và được chuyển lên khối tính địa chỉ để tính ra địa chỉ của số liệu.

Địa chỉ số liệu tính được sẽ được ghi trong bộ tính địa chỉ. Qua cơ chế đôn kênh được điều khiển bởi khối điều khiển hoặc địa chỉ lệnh, hoặc địa chỉ số liệu sẽ được đưa ra đường truyền địa chỉ chung đến các ngoại vi để chọn vị trí (địa chỉ) của lệnh hoặc số liệu. Cùng với tín hiệu yêu cầu đọc hoặc ghi (tín hiệu đọc hoặc ghi) từ khối điều khiển lệnh được đọc vào CPU hoặc số liệu sẽ được đọc hoặc ghi.

Phần tham số của lệnh còn được gọi là phần địa chỉ của lệnh. Phần này chỉ ra địa chỉ của lệnh mới hoặc của số liệu. Nó phải có độ dài bằng độ dài của mỗi mã địa chỉ chuyển đến ngoại vi. Điều này làm cho lệnh sẽ rất dài. Để rút ngắn độ dài của lệnh, người ta phải giảm độ dài phần địa chỉ của lệnh, rồi khối tạo địa chỉ sẽ phục hồi lại nó. Có nhiều cách rút ngắn địa chỉ trong lệnh và mỗi cách được gọi là một mode địa chỉ. Với mỗi cách phải có một cách tính trong bộ tạo địa chỉ. Nói chung các cách tính đều để một phần địa chỉ ở một thanh ghi được thêm vào trong CPU hoặc để ở một vị trí nhớ, và cách tính địa chỉ là một cách phối hợp nào đó phần địa chỉ trong lệnh với phần địa chỉ này.

3. Các thanh ghi chung

Trong các phần trình bày ở trên ta thấy trong CPU (hay bộ vi xử lý) bắt buộc phải có các thanh ghi A, TMP, thanh ghi cờ, thanh ghi lệnh, thanh đếm lệnh PC. Ngoài các thanh ghi này với phép nhân và chia ta còn cần thanh ghi dùng làm bộ đếm. Để tính địa chỉ ta cần các thanh ghi ghi một phần địa chỉ. Để giảm số lần ghi đọc số liệu với ngoại vi, tất cả các CPU luôn có các thanh ghi để ghi các kết quả trung gian của phép toán.

Trong một số trường hợp xác định, CPU tạm dừng bài toán đang thực hiện để thực hiện bài toán khác rồi mới quay lại thực hiện bài toán này. Chúng ta gọi là ngắt CPU. Bài toán đang thực hiện bị dừng lại được gọi là bài toán bị ngắt, bài toán được thực hiện xen vào giữa bài toán bị ngắt được gọi là bài toán ngắt hoặc phục vụ ngắt.

Vì mỗi bài toán đang thực hiện, trên các thanh ghi chung lưu trữ các thông tin liên quan đến bài toán đó. Nếu bài toán bị ngắt mà ta không cất nội dung các thanh ghi này và sẽ phục hồi lại nó khi quay lại thực hiện tiếp thì bài toán được thực hiện tiếp không đúng với các kết quả trung gian trước đó.

Vậy bắt buộc phải cất nội dung các thanh ghi chung và phục hồi lại nó.

Để cất nội dung các thanh ghi chung, trong kỹ thuật tính toán, người ta sử dụng một phần của bộ nhớ làm kho chứa (Stack). Kho chứa này có cấu trúc đặc biệt gọi là cấu trúc stack hay LIFO. Cấu trúc này buộc Stack phải nằm ở một địa chỉ xác định gọi là đáy stack, nếu trong kho chứa (Stack) không có dữ liệu nào thì ta nói đáy của Stack trùng với đỉnh của nó.

Khi có một dữ liệu được ghi vào Stack thì đỉnh của nó tăng thêm một giá trị. Khi đọc một giá trị dữ liệu từ Stack ra thì đỉnh của Stack giảm một giá trị. Đỉnh của Stack luôn là vị trí được phép can thiệp vào nó. CPU cần phải biết và quản lý được vị trí này. Trong CPU luôn có các thanh ghi liên quan đến giá trị của vị trí đỉnh này gọi là các thanh ghi Stack, ví dụ SP.

4. Ngắt và quản lý ngắt

Phân trên ta đã trình bày sơ qua về vấn đề ngắt. Cơ chế ngắt được đưa ra để giải quyết các yêu cầu làm việc khẩn cấp của một bài toán nào đó, ví dụ cần nhận số liệu từ một đường truyền đến, nếu không nhận sẽ mất số liệu.

Ngắt được phân ra thành hai loại gọi là ngắt cứng và ngắt mềm do nguồn gốc của nguồn yêu cầu ngắt. Nếu nguồn yêu cầu ngắt là một lệnh ở trong bài toán thì ta gọi là ngắt mềm. Ngắt cứng là ngắt khi một tín hiệu ngắt, qua một đường truyền riêng, truyền đến CPU.

Nguyên tắc thực hiện ngắt trong CPU (bộ vi xử lý) dù là ngắt cứng hoặc ngắt mềm cũng đều phải thiết lập được cờ ngắt (có tên là IF) trong thanh ghi cờ. Trước khi thực hiện một lệnh mới, khối điều khiển thực hiện việc tham khảo cờ IF. Nếu $IF = 1$ thì nó thực hiện ngắt bài toán đang thực hiện, bằng cách cất các thanh ghi và chuyển đến thực hiện lệnh ở một địa chỉ quy định trước cho nguồn ngắt (gọi là vector ngắt).

Vì có nhiều nguồn ngắt, nên không phải nguồn ngắt nào cũng được phép lập cờ IF, nhất là khi có nhiều nguồn ngắt cùng chuyển đến tích cực (chuyển tín hiệu ngắt đến CPU). Để quản lý các nguồn ngắt, trong CPU có một khối gọi là bộ quản lý ngắt.

Bộ quản lý ngắt nhận các yêu cầu ngắt (cả cứng và mềm) so sánh yêu cầu ngắt đến nó với một thứ tự quy định mức độ khẩn cấp cho từng nguồn ngắt (gọi là thứ tự ưu tiên). Nếu thứ tự ưu tiên của yêu cầu ngắt được gửi đến là cao hơn của bài toán đang thực hiện thì cờ IF được lập, đồng thời số hiệu nguồn ngắt được xác định để phục vụ cho việc xác định vector ngắt. Nếu có nhiều yêu cầu ngắt cùng gửi đến thì yêu cầu ngắt nào có thứ tự ưu tiên cao hơn sẽ được xem xét trước.

Mạch này thực chất là một thanh ghi các yêu cầu ngắt gửi đến, thanh ghi yêu cầu ngắt đang thực hiện (bài toán đang thực hiện), thanh ghi mức ưu tiên của các nguồn ngắt, và một mạch so sánh ưu tiên.

Dấu vào của thanh ghi các yêu cầu ngắt có thể điều khiển được để cho phép hay không cho phép yêu cầu ngắt ghi được vào trong thanh ghi. Nguyên lý này ta gọi là che ngắt. Phục vụ cho việc này cần phải có thêm thanh ghi thông tin có che hay không cho từng yêu cầu ngắt, ta gọi thanh ghi này là thanh ghi mặt nạ che.

Vì bộ vi xử lý dùng chung Bus với các ngoại vi nên nếu có hai ngoại vi truyền tin cho nhau thì bộ vi xử lý phải được tách khỏi Bus. Ta gọi là treo bộ xử lý. Bộ xử lý sẽ treo bằng cách thả nổi các cửa ra lên trạng thái thứ ba. Cần phải có tín hiệu yêu cầu treo gửi vào bộ điều khiển và trả lời của nó về chấp nhận treo ra các thiết bị ngoại vi. Bộ điều khiển phải nhận yêu cầu treo, xử lý xem có cho phép không, yêu cầu treo máy và trả lời ra ngoại vi.

5.3. TẬP LỆNH CỦA BỘ VI XỬ LÝ

Mỗi lệnh của bộ vi xử lý (CPU) yêu cầu thực hiện một phép toán trong bộ vi xử lý. Tập hợp các lệnh có thể thực hiện của một bộ vi xử lý là tập lệnh của nó. Nó là tập tất cả các phép toán có thể thực hiện trong bộ vi xử lý.

Tất cả các lệnh của mọi bộ vi xử lý đều gồm hai phần. Phần đầu được gọi là mã phép toán (opcode). Nó quy định phép toán cần phải thực hiện và cách tính địa chỉ dữ liệu. Nó thường chiếm một byte. Phần thứ hai là phần địa chỉ. Phần này có thể có, có thể không có và có thể có một hoặc hai địa chỉ tùy theo mỗi phép toán cụ thể quy định bởi phần mã phép toán. Mỗi địa chỉ thực chất là một phần của một địa chỉ mà cần phải bổ sung thêm trong bộ tính địa chỉ. Mỗi địa chỉ này thường gồm 1 hoặc 2 byte.

Mỗi lệnh của bộ vi xử lý (CPU nói chung) luôn là một mã nhị phân. Điều này gây khó khăn cho việc đọc hiểu và sử dụng nó mà không lầm lẫn. Để tránh nhược điểm này, người ta mã hóa nó bằng các từ mô tả trên phép toán và có thể mô tả cả địa chỉ. Việc dịch ngược các từ này sang các mã nhị phân là rất đơn giản (ví dụ dùng mạch giải mã). Cách ghi lệnh như thế này gọi là ghi lệnh bằng ngôn ngữ Assembler. Các lệnh trong các tập lệnh thường trình bày ở ngôn ngữ này, nhưng người ta cũng cần dạng nhị phân của nó, nên các tài liệu thường trình bày cả dạng nhị phân của tập lệnh. Dạng trình bày này được gọi là ghi lệnh bằng ngôn ngữ máy.

Các tập lệnh có thể khác nhau nhưng có thể chia chúng thành ba nhóm lệnh chính

- Các lệnh tính toán là các lệnh thực hiện các phép toán logic, số học, quyết định.
- Các lệnh dịch chuyển số liệu là các lệnh đọc ghi số liệu, chuyển số liệu.
- Các lệnh điều khiển gồm các lệnh thay đổi trật tự phép toán, các lệnh ngắt, các lệnh gọi chương trình con...

5.4. CẤU TRÚC CỦA 8085

Bộ vi xử lý 8085 của Intel là một bộ xử lý 8 bit do Intel đưa ra. Nó đã được cải tiến và phát triển thành nhiều bộ vi xử lý. Với phương diện tìm hiểu về vi xử lý, 8085 là bộ vi xử lý thích hợp nhất khi ta bắt đầu vào kỹ thuật vi xử lý.

Bộ vi xử lý 8085 có sơ đồ cấu trúc cho ở hình 5.21.

Trong sơ đồ khối này, các chân INTR, RST 5.5, RST 6.5, RST 7.5 và Trap là các đầu vào ngắt cứng có thứ tự ưu tiên khác nhau, INTA là trả lời chấp nhận ngắt (đã lập IF).

X_1 , X_2 là hai đầu vào để nối mạch tạo xung nhịp mạch này có thể chỉ là một tụ hoặc một thạch anh. CLK out là xung nhịp có tần số bằng nửa tần số xung nhịp vào được đưa ra để đưa đến các thiết bị ngoài cần xung nhịp.

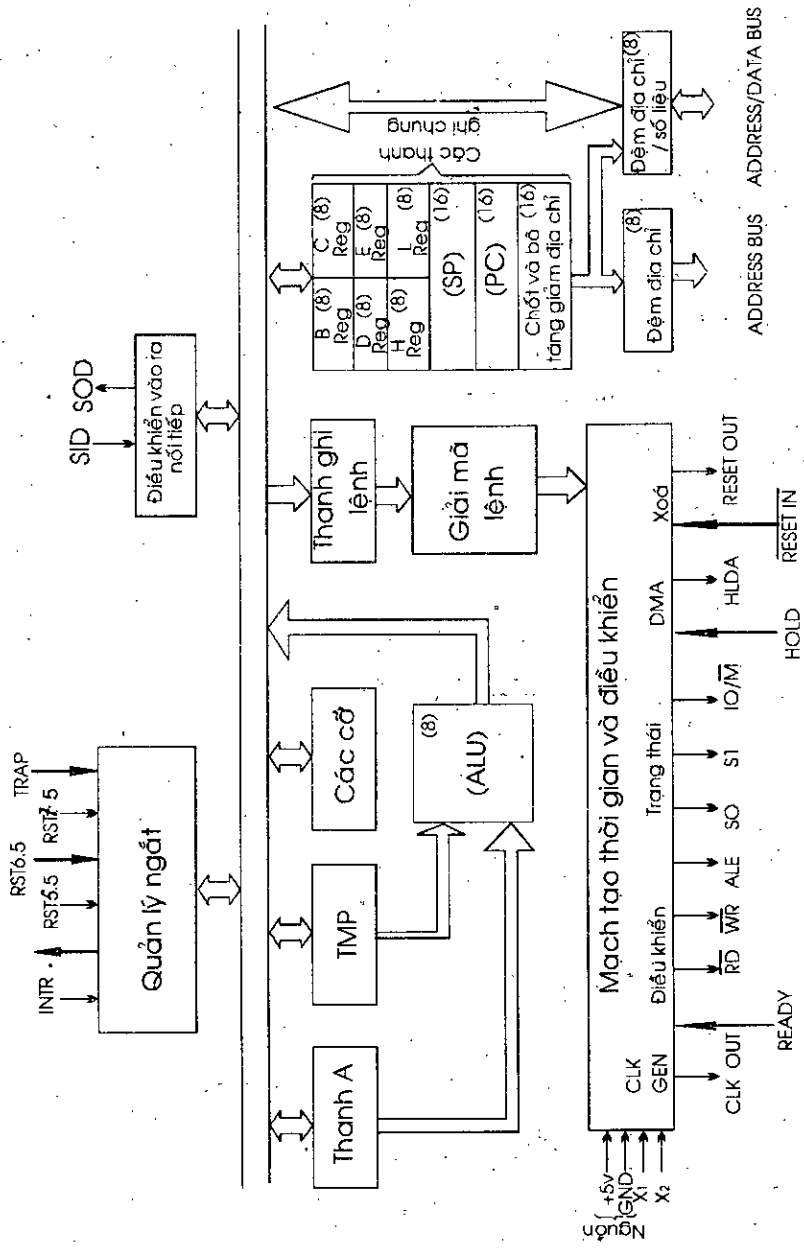
Ready là tín hiệu báo một thiết bị ngoài yêu cầu đã sẵn sàng làm việc, nếu tín hiệu này bằng 0 thì phải đợi khi ta đọc ghi với bên ngoài.

\overline{RD} là lệnh đọc, \overline{NR} là lệnh ghi thông tin với ngoại vi.

ALE báo phần thấp của địa chỉ được đưa qua bộ đệm số liệu/ địa chỉ (các chân $AD_0 \div AD_7$).

S_0 , S_1 là tín hiệu báo trạng thái của bộ xử lý.

Hold và HLDA là các tín hiệu yêu cầu và chấp nhận treo.



Hình 5.21 : Cấu trúc của 8085.

Tín hiệu xóa đưa vào để xóa tất cả các thanh ghi trong bộ vi xử lý và nó tạo ra tín hiệu xóa dẫn đến các ngoại vi cần thiết.

$A_8 \div A_{15}$ các bit cao của mã địa chỉ.

$AD_0 \div AD_7$ các bit số liệu ($D_0 \div D_7$) và các bit thấp của mã địa chỉ ($A_0 \div A_7$).

SID, SOD là các chân số liệu vào và ra theo kiểu nối tiếp từng bit.

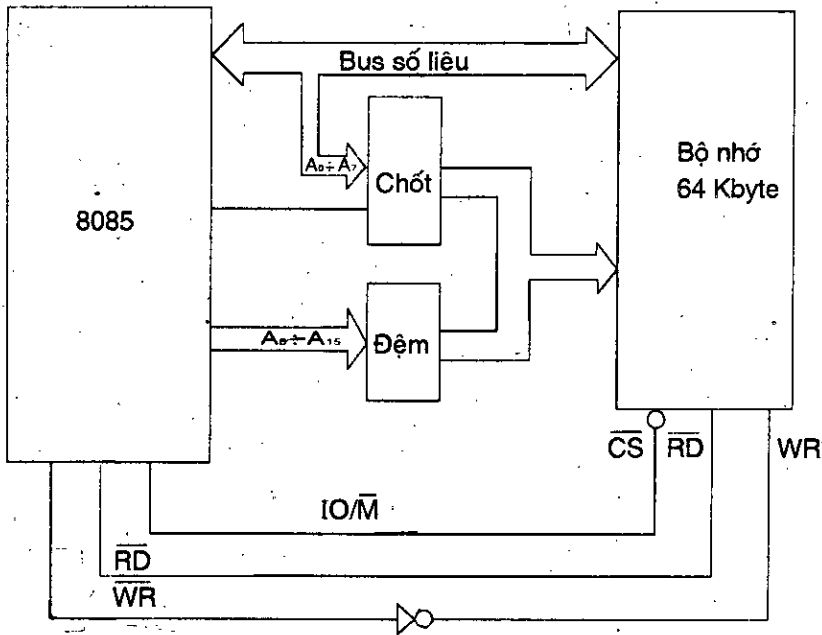
5.5. VÀO RA CƠ BẢN VỚI BỘ VI XỬ LÝ

Nói đến vào ra cơ bản với bộ vi xử lý là ta nói đến vào ra giữa bộ vi xử lý với bộ nhớ và với một thanh ghi đại diện cho một cửa vào hoặc ra số liệu. Thanh ghi này có thể là thanh ghi đệm của một mạch điều khiển ghép nối với một thiết bị vào ra số liệu thực tế nào đó.

Vì trong bộ nhớ có sẵn mạch giải mã địa chỉ cho đến các chân địa chỉ (thường qua mạch chốt địa chỉ) được dẫn thẳng đến các chân địa chỉ của bộ nhớ. Nếu số chân địa chỉ của bộ nhớ ít hơn số chân ra địa chỉ của bộ vi xử lý thì ta nối các bit thấp của địa chỉ đến bộ nhớ còn các bit cao ta cho qua mạch giải mã địa chỉ để chọn bộ nhớ, các đầu ra mạch giải mã địa chỉ này nối đến các chân chọn vô của bộ nhớ. Tín hiệu ghi đọc cần dẫn đến bộ nhớ với mức tích cực thích hợp. Tín hiệu IO/M sẽ được nối đến mạch giải mã chọn bộ nhớ hoặc đến chọn vô nếu chỉ dùng một bộ nhớ. Các đường số liệu của bộ vi xử lý thường qua đệm để nối đến các đường số liệu của bộ nhớ.

Để làm việc với bộ nhớ, người sử dụng nhớ phải dùng đúng lệnh làm việc với bộ nhớ. Ví dụ với 8085 ta có thể dùng lệnh MOV để dịch chuyển số liệu giữa một thanh ghi trong bộ vi xử lý với bộ nhớ, hoặc dùng LDA để đọc số liệu từ bộ nhớ, STA để ghi số liệu ra bộ nhớ.

Hình 5.22 là sơ đồ minh họa mạch nối 8085 với mạch nhớ 64Kbyte (có 10 chân địa chỉ).



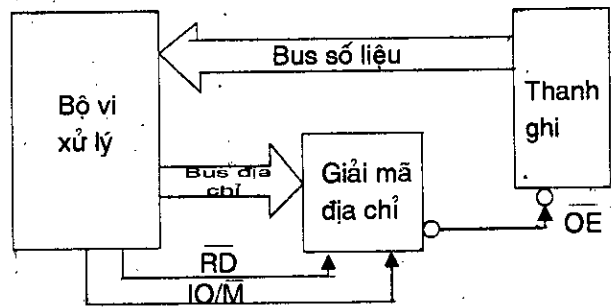
Hình 5.22 : Cách nối 8085 với bộ nhớ 64Kbyte.

Để nối bộ xử lý với một thanh ghi, ta có hai cách nối là nối có hội thoại và nối không hội thoại (handshaking).

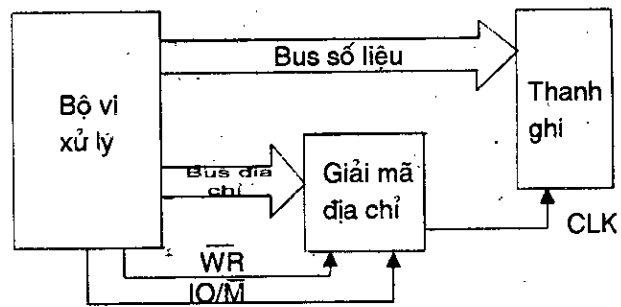
Nối không hội thoại là nối mà không cần biết trên thanh ghi đã có số liệu hay chưa. Lúc này ta chỉ cần một mạch giải mã địa chỉ cùng với tín hiệu đọc \overline{RD} hoặc \overline{WR} và I_0/\overline{M} để đọc hoặc ghi vào thanh ghi. Hình 5.23 cho ta minh họa trong trường hợp này.

Khi vào ra có hội thoại, người ta phải dùng thêm, tối thiểu, một Flip-Flop làm cờ báo tình trạng của thanh ghi. Ta định nghĩa thanh ghi là rỗng nếu chưa ghi số liệu vào nó hoặc vừa đọc số liệu từ nó ra, thanh ghi là đầy nếu ta vừa ghi số liệu vào nó mà chưa đọc ra. Thanh ghi dùng cho cách ghép này buộc phải có chốt và có điều khiển đầu ra. Khi thanh ghi rỗng Flip-Flop cờ bị xóa về 0. Khi thanh ghi đầy thì nó được lập lên 1. Trạng thái của Flip-Flop cờ có thể được đọc vào bộ vi xử lý như là ta đọc từ một cửa không hội thoại, bằng cách ta nối đầu ra của nó với một bit tùy ý của đường truyền số liệu qua một mạch 3 trạng thái, mà mạch này cho tín hiệu truyền qua khi được điều khiển

từ một đầu ra xác định của mạch giải mã địa chỉ. Nguyên tắc này được gọi là vào ra bằng ngắt mềm hay điều khiển bằng chương trình.

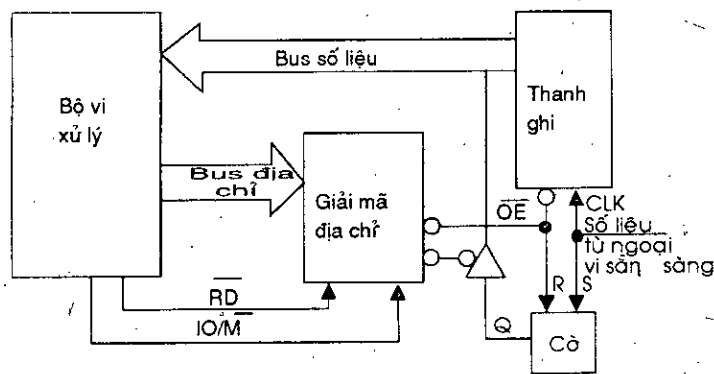


a)



b)

Hình 5.23 : Ghép vào và ghép ra không hội thoại.



Hình 5.24 : Ví dụ về ghép vào có hội thoại.

Trạng thái của Flip-Flop này cũng có thể được nối đến một chân ngắt cứng của bộ vi xử lý buộc bộ vi xử lý phải dừng để nhận số liệu vào hoặc đưa số liệu ra. Vào ra bằng cách này gọi là vào ra bằng ngắt cứng.

Hình 5.24 minh họa một mạch ghép vào có hội thoại bằng ngắt mềm.

Cần phải chú ý rằng, khi ghép nối với thanh ghi ta cần phải sử dụng các lệnh làm việc với ngoại vi để đọc ghi thông tin từ thanh ghi. Ví dụ với 8085 lệnh IN cho phép đọc số liệu từ thanh ghi, lệnh OUT cho phép ghi số liệu ra thanh ghi.

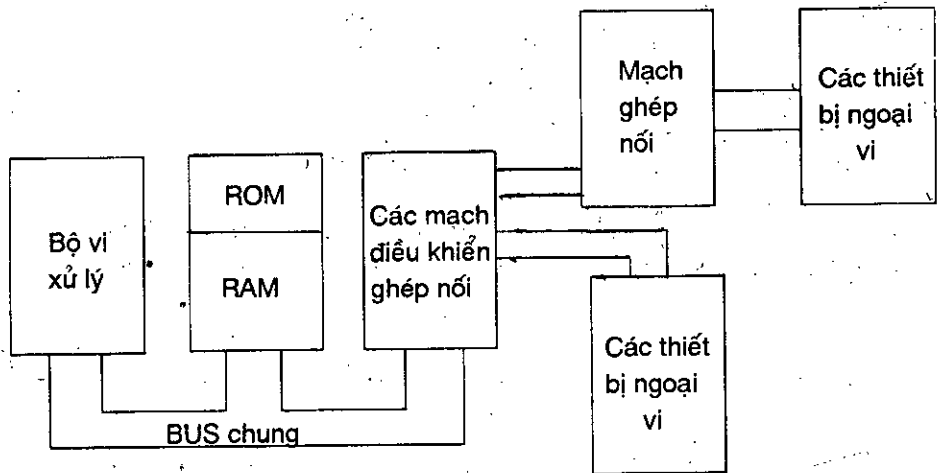
Từ khái niệm về vào ra cơ sở này, nếu thêm các mạch ghép nối với các ngoại vi thực tế, các mạch quản lý vào ra cho phép ta vào ra nhanh hơn, xa hơn... với chất lượng vào ra tốt hơn thì ta sẽ có thể ghép nối bộ xử lý với rất nhiều chủng loại ngoại vi có trong thực tế, cho phép ứng dụng nó ở nhiều lĩnh vực kinh tế, kỹ thuật và công nghệ. Các mạch ghép nối này không trình bày ở đây, nếu bạn muốn tìm hiểu có thể đọc trong các sách về kỹ thuật máy tính hoặc kỹ thuật vi xử lý.

5.6. MỘT SỐ ỨNG DỤNG CỦA BỘ VI XỬ LÝ

5.6.1. Máy vi tính

Máy vi tính là một máy tính có CPU là một bộ vi xử lý và có các vi mạch chức năng phục vụ cho việc ghép nối với các ngoại vi. Do khả năng của vi mạch điện tử, các bộ vi xử lý cũng như các mạch chức năng ngày càng phức tạp nên khả năng của máy vi tính ngày càng lớn.

Trong máy vi tính người ta luôn sử dụng các bộ nhớ bán dẫn và cấu hình chuẩn của nó thường cho bởi hình 5.25. Ở đây các thiết bị vào ra bàn phím, màn hình, con chuột, ổ đĩa...



Hình 5.25 : Cấu trúc chung của máy vi tính.

5.6.2. Thiết bị điều khiển số

Một thiết bị điều khiển số một đối tượng nào đấy thường là một máy vi tính có ngoại vi đơn giản và có mạch ghép nối với các đầu đo và cơ cấu chấp hành.

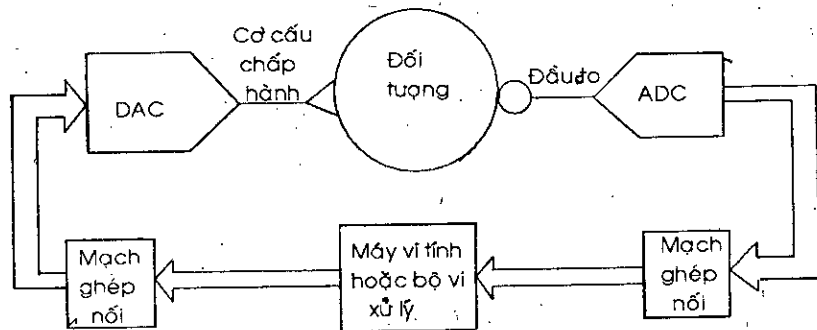
Máy vi tính này thường chỉ là một bảng mạch với ngoại vi là một số phím điều khiển và bảng đèn chỉ thị. Máy vi tính này nhiều khi là một vi mạch (onechip) như vi mạch 8156 của Intel.

Mạch nối ghép với các đầu đo thì thường là một mạch vào ra cơ sở nối với một mạch chuyển đổi từ tương tự sang số (ADC) để chuyển đổi tín hiệu tương tự từ đầu đo thành số đưa vào máy vi tính.

Mạch nối ghép với cơ cấu chấp hành thường là mạch ghép nối cơ sở và một bộ biến đổi số - tương tự (DAC) để chuyển đổi từ số trong máy tính ra tín hiệu tương tự tác động vào cơ cấu chấp hành.

Nếu đầu đo và cơ cấu chấp hành làm việc với tín hiệu số thì ta bỏ ADC và DAC trong sơ đồ trên.

Cùng với khả năng của máy tính, với những chương trình thích hợp và với các mạch ghép nối thích hợp bộ vi xử lý được ứng dụng để tạo ra một tín hiệu mong muốn hoặc làm thiết bị xử lý tin.



Hình 5.26 : Nguyên lý chung điều khiển số.

TÀI LIỆU THAM KHẢO

- [1] Л.М. Гольденберг
Импульсные и цифровые устройства. Изд.Связь 1973
- [2] И.М. Степаненко
Основы Теории Транзисторов и транзисторных схем. Изд.Энергия 1973
- [3] А.Т. Алексенко
Основы микросхемотехники. Изд.Советское радио, 1977
- [4] U. Tietze, Ch. Schenk
Halbleiter Schaltungstechnik
Springer. Verlag Berlin - Newyork, 1980
- [5] Tập thể tác giả : Nguyễn Xuân Quỳnh...
Điện tử công nghiệp 1, 2
Nhà xuất bản Đại học và Giáo dục chuyên nghiệp 1988
- [6] Забродии Ю. С.
Промышленная электроника.
Изд.Энергия, Москва, 1982
- [7] Руденко В.С. и другие
Основы преобразовательной техники.
Изд.Москва Высшая школа, 1980
- [8] Đỗ Xuân Thu
Dụng cụ bán dẫn và vi điện tử
Nhà xuất bản Đại học và Trung học chuyên nghiệp, 1985
- [9] The art electronics, Paul Horowitz, Winfield Hill
Cambridge - London - Newyork 1980 - 1983

MỤC LỤC

	<i>Trang</i>
<i>Lời nói đầu</i>	3
CHƯƠNG 1. MỞ ĐẦU	
1.1. Các đại lượng cơ bản	5
1.2. Tín tức và tín hiệu	9
1.2.1. Tín tức	9
1.2.2. Tín hiệu	10
1.2.3. Các tính chất của tín hiệu theo cách biểu diễn thời gian	11
1.3. Các hệ thống điện tử điển hình	14
1.3.1. Hệ thống thông tin thu phát	14
1.3.2. Hệ thống đo lường điện tử	15
1.3.3. Hệ thống tự điều chỉnh	16
CHƯƠNG 2. KỸ THUẬT TƯƠNG TỰ	
2.1. Chất bán dẫn điện - phân tử một mặt ghép p - n	18
2.1.1. Chất bán dẫn nguyên chất và chất bán dẫn tạp chất	18
2.1.2. Mặt ghép p - n và tính chỉnh lưu của diốt bán dẫn	22
2.1.3. Vài ứng dụng điển hình của diốt bán dẫn	27
2.2. Phân tử hai mặt ghép p - n	34
2.2.1. Nguyên lý làm việc và các tham số của tranzito bipolar	35
2.2.2. Các dạng mắc mạch cơ bản của tranzito	39
2.2.3. Phân cực và ổn định nhiệt điểm công tác của tranzito	43
2.2.4. Tranzito trường (FET)	55
2.3. Khuếch đại	63
2.3.1. Những vấn đề chung	63
2.3.2. Khuếch đại dùng tranzito lưỡng cực	70
2.3.3. Khuếch đại dùng tranzito trường (FET)	79
2.3.4. Ghép giữa các tầng khuếch đại	84
2.3.5. Khuếch đại công suất	90
2.3.6. Khuếch đại tín hiệu biến thiên chậm	98
2.4. Khuếch đại dùng vi mạch thuật toán	107
2.4.1. Khái niệm chung	107
2.4.2. Bộ khuếch đại đảo	110
2.4.3. Bộ khuếch đại không đảo	110
2.4.4. Mạch cộng	111
2.4.5. Mạch trừ	112
2.4.6. Bộ tích phân	113
2.4.7. Bộ vi phân	114
2.4.8. Các biến đổi hàm số	114
2.4.9. Bộ lọc	115

2.5.	<i>Tạo dao động điều hòa</i>	117
2.5.1.	Nguyên lí chung tạo dao động điều hòa	117
2.5.2.	Máy phát dao động hình sin dùng hệ tự dao động gắn với hệ bảo toàn tuyến tính	119
2.5.3.	Tạo tín hiệu hình sin bằng phương pháp biến đổi từ một dạng tín hiệu tuần hoàn khác	123
2.6.	<i>Nguồn một chiều</i>	127
2.6.1.	Khái niệm chung	127
2.6.2.	Lọc các thành phần xoay chiều của dòng điện ra tải	127
2.6.3.	Đặc tuyến ngoài của bộ chỉnh lưu	129
2.6.4.	Ổn định điện áp và dòng điện	130
2.6.5.	Bộ ổn áp tuyến tính IC	141
2.7.	<i>Phần tử nhiều mặt ghép p - n</i>	145
2.7.1.	Nguyên lí làm việc, đặc tuyến và tham số của tiristo	145
2.7.2.	Các mạch khống chế điển hình dùng tiristo	147
2.7.3.	Vài dụng cụ chỉnh lưu có cấu trúc 4 lớp	150

CHƯƠNG 3. KỸ THUẬT XUNG - SỐ

3.1.	<i>Khái niệm chung</i>	153
3.1.1.	Tín hiệu xung và tham số	153
3.1.2.	Chế độ khóa của tranzito	154
3.1.3.	Chế độ khóa của khuếch đại thuật toán	157
3.2.	<i>Các mạch không đồng bộ hai trạng thái ổn định</i>	160
3.2.1.	Trigơ đối xứng (RS-trigơ) dùng tranzito	160
3.2.2.	Trigơ SMIT dùng tranzito	161
3.2.3.	Trigơ SMIT dùng IC tuyến tính	163
3.3.	<i>Mạch không đồng bộ một trạng thái ổn định</i>	164
3.3.1.	Đa hài đợi dùng tranzito	165
3.3.2.	Đa hài đợi dùng IC thuật toán	166
3.4.	<i>Mạch không đồng bộ hai trạng thái không ổn định</i>	168
3.4.1.	Đa hài dùng tranzito	168
3.4.2.	Đa hài dùng IC tuyến tính	170
3.5.	<i>Bộ tạo dao động Blocking</i>	172
3.6.	<i>Mạch tạo xung tam giác</i>	174
3.6.1.	Các vấn đề chung	174
3.6.2.	Mạch tạo xung tam giác dùng tranzito	177
3.6.3.	Mạch tạo xung tam giác dùng vi mạch thuật toán	178
3.7.	<i>Cơ sở đại số logic và các phần tử logic cơ bản</i>	181
3.7.1.	Cơ sở đại số logic	181
3.7.2.	Các phần tử logic cơ bản	186
3.7.3.	Các thông số đặc trưng của phần tử IC logic	191
3.8.	<i>Các phần tử logic thông dụng</i>	192
3.8.1.	Phần tử tương đương	192
3.8.2.	Phần tử khác dấu (cộng môđun 2)	193
3.8.3.	Phần tử so sánh hai số nhị phân	194
3.8.4.	Phần tử nửa tổng	195
3.8.5.	Phần tử tổng toàn phần 3 đầu vào	196
3.9.	<i>Một số hệ logic thông dụng</i>	197
3.9.1.	Các trigơ số	197

3.9.2. Bộ đếm	201
3.9.3. Bộ ghi dịch	207
3.9.4. Bộ biến đổi mã và giải mã	209
3.9.5. Bộ dồn kênh và tách kênh	216
3.9.6. Các bộ nhớ bán dẫn	219
CHƯƠNG 4. CÁC BỘ BIẾN ĐỔI ĐIỆN ÁP VÀ DÒNG ĐIỆN	
4.1. <i>Chỉnh lưu công suất lớn không điều khiển và có điều khiển</i>	222
4.1.1. Bộ chỉnh lưu 3 pha có điểm trung tính không điều khiển tải thuận trở	223
4.1.2. Bộ chỉnh lưu 3 pha có điểm trung tính tải cảm tính	224
4.1.3. Bộ chỉnh lưu 3 pha cầu tải thuận trở	225
4.1.4. Bộ chỉnh lưu 3 pha cầu tải cảm tính	227
4.2. <i>Bộ chỉnh lưu 3 pha có điều khiển</i>	228
4.2.1. Bộ chỉnh lưu 3 pha có điều khiển có điểm trung tính	228
4.2.2. Bộ chỉnh lưu 3 pha cầu dùng tiristo	229
4.3. <i>Nghịch lưu</i>	231
4.3.1. Sơ đồ nghịch lưu làm việc ở chế độ phụ thuộc	231
4.3.2. Sơ đồ nghịch lưu làm việc ở chế độ độc lập	232
4.4. <i>Các phần tử cơ bản của hệ thống điều khiển các bộ biến đổi</i>	238
4.4.1. Chức năng và những yêu cầu cơ bản đối với hệ thống điều khiển các bộ biến đổi	238
4.4.2. Hệ thống điều khiển xung - pha của các bộ biến đổi dẫn từ lưới điện	239
4.4.3. Các hệ thống điều khiển các bộ biến đổi độc lập	244
CHƯƠNG 5. BỘ VI XỬ LÝ	
5.1. <i>Khái niệm chung</i>	246
5.1.1. Mạch XOR	247
5.1.2. Một mạch cộng trừ	247
5.1.3. Một thanh ghi	250
5.1.4. Một bộ nhớ	252
5.1.5. Mạch giải mã	253
5.2. <i>Cấu trúc chung của bộ vi xử lý</i>	254
5.2.1. Khái niệm về xử lý và tính toán	254
5.2.2. Cấu trúc và nguyên lý hoạt động của bộ vi xử lý	256
5.3. <i>Tập lệnh của bộ vi xử lý</i>	261
5.4. <i>Cấu trúc của 8085</i>	262
5.5. <i>Vào ra cơ bản với bộ vi xử lý</i>	264
5.6. <i>Một số ứng dụng của bộ vi xử lý</i>	266
5.6.1. Máy vi tính	266
5.6.2. Thiết bị điều khiển số	266
<i>Tài liệu tham khảo</i>	268
<i>Mục lục</i>	269

Chịu trách nhiệm xuất bản:
Chủ tịch HĐQT kiêm Tổng Giám đốc NGÔ TRẦN ÁI
Phó Tổng Giám đốc kiêm Tổng biên tập NGUYỄN QUÝ THAO.

Biên tập lần đầu và tái bản:
DƯƠNG VĂN BẰNG

Trình bày bìa:
TẠ TRỌNG TRÍ

Sửa bản in:
VŨ THỊ XUYẾN

Chế bản:
PHÒNG CHẾ BẢN (NXB GIÁO DỤC)

KỸ THUẬT ĐIỆN TỬ

Mã số: 7B231y8 – DAI

In 2.000 bản (QĐ 01), khổ 19 x 27 cm, tại Công ty CP In Phúc Yên.

Địa chỉ : Đường Trần Phú, thị xã Phúc Yên.

Số ĐKKH xuất bản : 04 – 2008/CXB/101 – 1999/GD.

In xong và nộp lưu chiểu tháng 1 năm 2008.